



(12)发明专利

(10)授权公告号 CN 105097512 B

(45)授权公告日 2018.05.08

(21)申请号 201410163088.9

(22)申请日 2014.04.22

(65)同一申请的已公布的文献号

申请公布号 CN 105097512 A

(43)申请公布日 2015.11.25

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 韦庆松 于书坤

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 高伟 赵礼杰

(51)Int.Cl.

H01L 21/336(2006.01)

H01L 21/28(2006.01)

(56)对比文件

CN 103681496 A,2014.03.26,

US 2009/0242999 A1,2009.10.01,

CN 103151258 A,2013.06.12,

US 2003/0181015 A1,2003.09.25,

审查员 宋晶晶

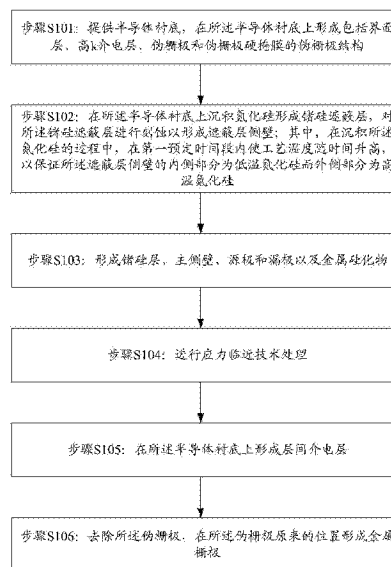
权利要求书1页 说明书7页 附图5页

(54)发明名称

一种半导体器件的制造方法

(57)摘要

本发明提供一种半导体器件的制造方法,涉及半导体技术领域。本发明的半导体器件的制造方法,通过调整形成锗硅遮蔽层的过程中的工艺温度使得形成的遮蔽层侧壁的内侧部分为低温氮化硅而外侧部分为高温氮化硅,不仅可以避免界面层的重新生长和高k介电层的晶化,改善负偏压温度不稳定性(NBTI),而且可以对伪栅极提供保护,避免在伪栅极的顶端侧翼形成金属硅化物,从而保证金属栅极的形貌,因此可以提高半导体器件的性能与良率。



1. 一种半导体器件的制造方法,其特征在于,所述方法包括:

步骤S101:提供半导体衬底,在所述半导体衬底上形成包括界面层、高k介电层、伪栅极和伪栅极硬掩膜的伪栅极结构;

步骤S102:在所述半导体衬底上沉积氮化硅形成锗硅遮蔽层,对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁;其中,在沉积所述氮化硅的过程中,在第一预定时间段内使工艺温度随时间升高,以保证所述遮蔽层侧壁的内侧部分为低温氮化硅而外侧部分为高温氮化硅,在第二预定时间段内进行碳掺杂并使碳掺杂浓度逐渐升高,以保证所述遮蔽层侧壁的内侧部分不含碳而外侧部分掺杂有碳;

步骤S103:形成锗硅层、主侧壁、源极和漏极、以及金属硅化物;

步骤S104:进行应力临近技术处理;

步骤S105:在所述半导体衬底上形成层间介电层;

步骤S106:去除所述伪栅极,在所述伪栅极原来的位置形成金属栅极。

2. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S102中,在沉积所述氮化硅的过程中,工艺温度的范围控制在500-700℃。

3. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S102中,进行碳掺杂时碳的原子百分比掺杂浓度的范围控制在0.1%-3%。

4. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S102中,所述第二预定时间段的起始点晚于或等于所述第一预定时间段的起始点。

5. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S102中,在对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁的过程中采用的刻蚀工艺为干法刻蚀,所述干法刻蚀采用的刻蚀气体包括CH<sub>4</sub>、CH<sub>3</sub>F、CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>和CF<sub>4</sub>中的至少一种。

6. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S104中,所述应力临近技术处理包括湿法刻蚀,所述湿法刻蚀采用的刻蚀液包括磷酸,并且所采用的工艺温度为100-180℃。

7. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述步骤S105包括:在所述半导体衬底上沉积介电材料层并进行CMP以暴露出所述伪栅极,其中,在所述CMP的过程中所述伪栅极在高度上被去除掉40-200Å。

8. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S101与所述步骤S102之间还包括步骤S1012:在所述伪栅极结构的两侧形成偏移侧壁。

9. 如权利要求8所述的半导体器件的制造方法,其特征在于,在所述步骤S1012中所述偏移侧壁的材料为氮化硅,并且,形成所述偏移侧壁的方法与所述步骤S102中形成所述锗硅遮蔽层的方法相同。

10. 如权利要求1所述的半导体器件的制造方法,其特征在于,在所述步骤S102中,在形成所述遮蔽层侧壁之后,还包括对所述半导体衬底的源极和漏极区域进行刻蚀以形成用于容置锗硅层的沟槽的步骤,其所采用的刻蚀工艺包括干法刻蚀或者干法刻蚀加湿法刻蚀,其中,所述干法刻蚀采用的刻蚀气体包括Cl<sub>2</sub>、HCl和HBr中的至少一种,所述湿法刻蚀采用的刻蚀液包括TMAH、NaOH和KOH中的至少一种。

## 一种半导体器件的制造方法

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件的制造方法。

### 背景技术

[0002] 在半导体技术领域中,对于0.13um以下工艺,负偏压温度不稳定性(NBTI: Negative Bias Temperature Instability)对于PMOS而言是一项重要的可靠性因素。在高k金属栅极技术中,由于高k材料的晶化、界面层重新生长、锗硅层中硼的向外扩散等的负面效应,负偏压温度不稳定性(NBTI)变得越来越严重。

[0003] 在现有的半导体器件的制造方法中,通常采用高温氮化硅(高温工艺下形成的氮化硅)或碳掺杂氮化硅(掺杂有碳的氮化硅)或低温氮化硅(低温工艺下形成的氮化硅)形成锗硅遮蔽层,通过对该锗硅遮蔽层进行刻蚀形成遮蔽层侧壁(PSR spacer)。

[0004] 基于大量实验数据,本专利的发明人发现,在形成有界面层(IL)和高k介电层(HK)条件下,高温氮化硅或碳掺杂氮化硅形成的遮蔽层侧壁会加重负偏压温度不稳定性(NBTI),而这很可能是界面层和高k介电层的降级所导致,或遮蔽层侧壁中的碳掺杂物扩散至界面层和高k介电层所导致。具体地,具有高热预算的高温氮化硅的形成过程可能导致界面层(IL)重新生长(re-growth)和高k介电层(HK)晶化(crystallization),进而加重NBTI。通常碳掺杂的碳化硅的形成温度也高于非碳掺杂的氮化硅,因此碳掺杂的碳化硅的形成过程也会造成上述问题。

[0005] 对于高k金属栅极技术,在金属硅化物以及锗硅层的形成过程中对伪栅极(多晶硅)两翼的保护对良率至关重要,而这需要具有低湿法刻蚀速率的高温氮化硅或碳掺杂氮化硅作为锗硅遮蔽层从而形成不易被湿法刻蚀损耗的遮蔽层侧壁。通常低温氮化硅具有较高的湿法刻蚀速率,如果单纯采用低温氮化硅作为遮蔽层侧壁,由于低温氮化硅的刻蚀速率过高,往往会导致遮蔽层侧壁的顶部被严重刻蚀,而这会导致在后续的金属硅化物(NiSi)工艺中在伪栅极的顶端侧翼形成金属硅化物,阻碍后续的伪栅极去除工艺,最终影响半导体器件的良率。

[0006] 由此可见,为保证NBTI需采用低温氮化硅形成遮蔽层侧壁,而未了保护伪栅极顶端侧翼则需采用高温氮化硅或碳掺杂氮化硅,二者之间存在矛盾和冲突。在现有的半导体器件的制造方法中,保证NBTI与保护伪栅极顶端侧翼之间存在的矛盾与冲突,直接制约着半导体器件的良率提升和性能改善。因此,为解决以上问题,有必要提出一种新的半导体器件的制造方法。

### 发明内容

[0007] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:

[0008] 步骤S101:提供半导体衬底,在所述半导体衬底上形成包括界面层、高k介电层、伪栅极和伪栅极硬掩膜的伪栅极结构;

[0009] 步骤S102:在所述半导体衬底上沉积氮化硅形成锗硅遮蔽层,对所述锗硅遮蔽层

进行刻蚀以形成遮蔽层侧壁；其中，在沉积所述氮化硅的过程中，在第一预定时间段内使工艺温度随时间升高，以保证所述遮蔽层侧壁的内侧部分为低温氮化硅而外侧部分为高温氮化硅；

[0010] 步骤S103:形成锗硅层、主侧壁、源极和漏极以及金属硅化物；

[0011] 步骤S104:进行应力临近技术处理；

[0012] 步骤S105:在所述半导体衬底上形成层间介电层；

[0013] 步骤S106:去除所述伪栅极,在所述伪栅极原来的位置形成金属栅极。

[0014] 可选地,在所述步骤S102中,在沉积所述氮化硅的过程中,工艺温度的范围控制在500-700℃。

[0015] 可选地,在所述步骤S102中,在沉积所述氮化硅的过程中,在第二预定时间段内进行碳掺杂并使碳掺杂浓度逐渐升高,以保证所述遮蔽层侧壁的内侧部分不含碳而外侧部分掺杂有碳。

[0016] 可选地,在所述步骤S102中,进行碳掺杂时碳的原子百分比掺杂浓度的范围控制在0.1%-3%。

[0017] 可选地,在所述步骤S102中,所述第二预定时间段的起始点晚于或等于所述第一预定时间段的起始点。

[0018] 可选的,在第一预定时间段内工艺温度随时间升高的幅度和曲线可以根据需要任意调节。同样,可选的,在第二预定时间段内C掺杂浓度随时间升高的幅度和曲线也可以根据需要任意调节。

[0019] 可选地在所述步骤S102中,在对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁(106)的过程中采用的刻蚀工艺为干法刻蚀,所述干法刻蚀采用的刻蚀气体包括CH<sub>4</sub>、CH<sub>3</sub>F、CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>和CF<sub>4</sub>中的至少一种。

[0020] 可选地,在所述步骤S102中,在形成所述遮蔽层侧壁之后,还包括对所述半导体衬底的源极和漏极区域进行刻蚀以形成用于容置锗硅层的沟槽的步骤,其所采用的刻蚀工艺包括干法刻蚀或者干法刻蚀加湿法刻蚀,其中,所述干法刻蚀采用的刻蚀气体包括Cl<sub>2</sub>、HCl和HBr中的至少一种,所述湿法刻蚀采用的刻蚀液包括TMAH、NaOH和KOH中的至少一种。

[0021] 可选地,在所述步骤S104中,所述应力临近技术处理包括湿法刻蚀,所述湿法刻蚀采用的刻蚀液包括磷酸,并且所采用的工艺温度为100-180℃。

[0022] 可选地,所述步骤S105包括:在所述半导体衬底上沉积介电材料层并进行CMP以暴露出所述伪栅极,其中,在所述CMP的过程中所述伪栅极在高度上被去除掉40-200Å。

[0023] 可选地,在所述步骤S101与所述步骤S102之间还包括步骤S1012:在所述伪栅极结构的两侧形成偏移侧壁。

[0024] 可选地,在所述骤S1012中所述偏移侧壁的材料为氮化硅,并且,形成所述偏移侧壁的方法与所述步骤S102中形成所述锗硅遮蔽层的方法相同。

[0025] 本发明的半导体器件的制造方法,通过调整形成锗硅遮蔽层的过程中的工艺温度使得形成的遮蔽层侧壁的内侧部分为低温氮化硅而外侧部分为高温氮化硅,不仅可以避免界面层的重新生长和高k介电层的晶化,改善负偏压温度不稳定性(NBTI),而且可以更好地保护伪栅极,避免在伪栅极的顶端侧翼形成金属硅化物,从而保证金属栅极的形貌,因此可以提高半导体器件的性能与良率。

## 附图说明

[0026] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0027] 附图中:

[0028] 图1A至图1G为本发明提出的半导体器件的制造方法的相关步骤形成的结构的示意性剖视图;

[0029] 图2为本发明提出的一种半导体器件的制造方法的流程图。

## 具体实施方式

[0030] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0031] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0032] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0033] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0034] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0035] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0036] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0037] 下面,参照图1A至图1G和图2来描述本发明提出的半导体器件的制造方法一个示例性方法的详细步骤。其中,图1A至图1G示出了本发明提出的半导体器件的制造方法的相关步骤形成的结构的示意性剖视图,图2为本发明的一种半导体器件的制造方法的流程图。

[0038] 步骤A1:提供半导体衬底100,在所述半导体衬底100上形成包括自下而上层叠的界面层(IL)101、高k介电层102、伪栅极103和伪栅极硬掩膜104的伪栅极结构,如图1A所示。

[0039] 其中,所述伪栅极结构包括NMOS的伪栅极结构和PMOS的伪栅极结构,如图1A所示。当然,本实施例的半导体器件也可以仅包括NMOS或PMOS,在此并不进行限定。

[0040] 其中,高k介电层102的材料可以为氧化铪( $\text{HfO}_2$ )或其他合适的材料。界面层(IL)101的材料可以为氧化物或其他合适的材料。伪栅极103的材料一般为多晶硅。伪栅极硬掩膜104的材料一般为氮化硅( $\text{SiN}$ )。

[0041] 示例性地,半导体衬底100选用单晶硅衬底。该半导体衬底100上还可以包括浅沟槽隔离、阱区等结构,此处并不进行限定。

[0042] 步骤A2:在所述伪栅极结构的两侧形成偏移侧壁105,如图1B所示。

[0043] 其中,偏移侧壁105的材料为氮化硅或其他合适的材料。

[0044] 此外,在本步骤中,在形成偏移侧壁105后,还可以对半导体衬底100进行LDD处理。

[0045] 步骤A3:在半导体衬底100上沉积氮化硅以形成锗硅遮蔽层,对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁106,如图1C所示。其中,在沉积氮化硅的工艺过程中,在第一预定时间段内调整工艺温度使工艺温度随时间逐渐升高,以保证所述遮蔽层侧壁106的内侧部分为低温氮化硅(高刻蚀速率)而外侧部分为高温氮化硅(低刻蚀速率)。示例性地,在对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁106的过程中采用的刻蚀工艺为干法刻蚀,所述干法刻蚀采用的刻蚀气体包括常见的 $\text{SiN}$ 刻蚀气体 $\text{CH}_4$ 、 $\text{CH}_3\text{F}$ 、 $\text{CH}_2\text{F}_2$ 、 $\text{CHF}_3$ 和 $\text{CF}_4$ 等中的至少一种。

[0046] 可选地,在本步骤中,在形成遮蔽层侧壁106的步骤之后,还包括对所述半导体衬底进行刻蚀以形成用于容置锗硅层的沟槽的步骤,在形成沟槽的步骤过程中采用的刻蚀工艺为干法刻蚀或者干法刻蚀加湿法刻蚀,所述干法刻蚀采用的刻蚀气体包括常见的 $\text{Si}$ 刻蚀气体 $\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{HBr}$ 等中的至少一种,所述湿法刻蚀采用的刻蚀液包括 $\text{TMAH}$ 、 $\text{NaOH}$ 和 $\text{KOH}$ 等中的至少一种。进一步地,在沉积氮化硅的工艺过程中,在第二预定时间段内进行碳掺杂并使碳掺杂浓度逐渐升高,以保证所述遮蔽层侧壁106的内侧部分不含碳而外侧部分掺杂有碳。通过这一方法控制碳(C)掺杂,可以使得遮蔽层侧壁106的内侧部分为低C掺杂氮化硅而外

侧部分为高C掺杂氮化硅,且掺杂的C离沟道距离远高于现有技术,整个遮蔽层侧壁106中的C含量远低于现有技术中的内外侧均为高C掺杂的遮蔽层侧壁的C掺杂量,因此可以避免掺杂的C扩善入界面层(IL) 102和高k介电层(HK) 101而使它们退化。

[0047] 在本实施例中,遮蔽层侧壁106就是指通过对锗硅遮蔽层进行刻蚀所得到的栅极侧壁。遮蔽层侧壁106的内侧部分指靠近伪栅极103的部分,外侧部分指远离伪栅极103的部分。经过本步骤,形成的遮蔽层侧壁106的结构如图1C所示。在图1C中,内侧部分与外侧部分的颜色深浅的差异用于示意遮蔽层侧壁106的内侧部分与外侧部分在微观结构上的不同,例如:内侧部分为低温氮化硅外侧部分为高温氮化硅,内侧部分不含碳外侧部分掺杂有碳。在这里,低温氮化硅与高温氮化硅是相对的概念,低温氮化硅的形成温度比高温氮化硅的形成温度低。

[0048] 其中,第一预定时间段小于等于沉积氮化硅的整个工艺时间,第一预定时间段可以在整个工艺时间的任意时刻开始。第二预定时间段也小于等于沉积氮化硅的整个工艺时间,第二预定时间段也可以在整个工艺时间的任意时刻开始。

[0049] 进一步地,在沉积氮化硅的工艺过程中,如果选择均进行上述的工艺温度调整和碳掺杂,则第一预定时间段与第二预定时间段的长度可以相同也可以不相同,第一预定时间段与第二预定时间段的起始点可以相同也可以不相同。优选地,第二预定时间段的起始点晚于第一预定时间段的起始点,以更好地保证遮蔽层侧壁106的内侧部分不含有碳。

[0050] 在本实施例中,在沉积氮化硅的工艺过程中,在第一预定时间段内调整工艺温度时,可以根据一定的“时间-温度曲线”进行。在第二预定时间段内进行碳掺杂并使碳掺杂浓度逐渐升高时,也可以根据一定的“时间-碳掺杂浓度曲线”进行。通过选择合适的“时间-温度曲线”和/或“时间-碳掺杂浓度曲线”,可以最终形成满足实际需要的遮蔽层侧壁106。

[0051] 在本实施例中沉积的氮化硅,具有内外两侧不同的微观结构(指工艺温度和碳掺杂浓度变化所导致的微观结构变化);由于该氮化硅在一个完整的沉积工艺中制得,并没有分成两次或更多次沉积工艺来形成,因此该氮化硅可以称作“一步温度/碳掺杂浓度升高氮化硅(One step temperature/C gradient up SiN)”。

[0052] 根据本实施例的方法形成的遮蔽层侧壁106,由于内侧部分为低温氮化硅而外侧部分为高温氮化硅,因而使得整个热预算低于现有技术中内外侧均为高温氮化硅的热预算,所以可以避免造成界面层(IL) 102重新生长(re-growth)和高k介电层(HK) 101的晶化(crystallization),进而可以避免对负偏压温度不稳定性(NBTI)造成不良影响;由于外侧部分为高温氮化硅,因此具有低的湿法刻蚀速率,可以避免在后续的金属硅化物(NiSi)工艺中在栅极的顶端侧翼形成金属硅化物从而导致伪栅极的去除工艺受到阻挡,因而可以提高器件的良率。并且,当外侧部分掺杂有碳时,具有更低的湿法刻蚀速率,可以进一步避免在栅极的顶端侧翼形成金属硅化物从而导致伪栅极去除工艺受到阻挡,而且,内侧部分为低C掺杂氮化硅而外侧部分为高C掺杂氮化硅的遮蔽层侧壁,可以避免掺杂的C扩善入界面层(IL) 102和高k介电层(HK) 101而使它们退化,因此可以进一步提高器件的良率。由此可见,本实施例解决了保证NBTI(需要采用低温氮化硅形成侧壁)与保护伪栅极顶端侧翼(需采用高温氮化硅或碳掺杂氮化硅)之间的矛盾和冲突,可以提高半导体器件的良率。

[0053] 在本实施例中,形成的遮蔽层侧壁106的厚度与现有技术中形成的遮蔽层侧壁的厚度相同。

[0054] 由于低温和低碳掺杂浓度的氮化硅有利于改善NBTI和器件性能,但不利于保护伪栅极的顶端侧翼;高温和高碳掺杂浓度的氮化硅有利于伪栅极的保护,但不利于改善NBTI和器件性能,因此,在形成氮化硅时的工艺温度和碳掺杂浓度需要被很好的控制。示例性地,在沉积所述氮化硅的过程中,工艺温度的范围控制在500-700℃;在进行碳掺杂时碳的原子百分比掺杂浓度的范围控制在0.1%-3%。

[0055] 此外,需要介绍的是,在现有技术中,存在一种将作为锗硅遮蔽层的氮化硅分成两步来形成的方法,即,第一步通过低温ALD工艺在内侧形成低温氮化硅(第一氮化硅层),第二步通过高温沉积工艺在低温氮化硅(第一氮化硅层)的外侧形成高温氮化硅(第二氮化硅层)。然而,在现有的该方法中,会在低温氮化硅和高温氮化硅之间自然地形成氧化物层,该氧化物层不利于栅极顶部侧翼的保护,并且会导致界面层的重新生长和高k介电层的晶化。本实施例的方法则由于在同一步骤中沉积氮化硅(即,在同一反应室内进行氮化硅沉积,不会接触氧气),因此不会出现自然形成氧化物的问题。

[0056] 在本步骤中,在形成遮蔽层侧壁106后,还包括在PMOS两侧的半导体衬底内形成嵌入式锗硅层(简称锗硅层)107的步骤。

[0057] 步骤A4:在遮蔽层侧壁106的外侧形成主侧壁108,如图1D所示。并且,在形成主侧壁108之后,还可以形成源极和漏极以及金属硅化物(图中未示出)。

[0058] 由于遮蔽层侧壁106的外侧部分为高温氮化硅,具有低的湿法刻蚀速率,因此,可以避免在栅极的顶端侧翼形成金属硅化物,进而可以避免后续的伪栅极去除工艺受到栅极的顶端侧翼的金属硅化物的阻挡,可以提高器件的良率。

[0059] 步骤A5:进行应力临近技术(SPT)处理,其中,伪栅极硬掩膜104和主侧壁108在SPT处理过程中被去除,如图1E所示。

[0060] 示例性地,SPT处理为湿法刻蚀,采用的刻蚀液为磷酸。并且,所采用的工艺温度可以为100-180℃。

[0061] 由于遮蔽层侧壁106的外侧部分为高温氮化硅,具有低的湿法刻蚀速率,因此,遮蔽层侧壁106可以被保留(不会被刻蚀掉)以保护伪栅极103,伪栅极103的顶端侧翼不会被破坏。

[0062] 步骤A6:在半导体衬底100上形成层间介电层109,去除所述伪栅极103,如图1F所示。

[0063] 其中,形成层间介电层109的方法包括:在半导体衬底100上沉积介电材料层并进行CMP以暴露出所述伪栅极103。其中,在CMP的过程中,出于工艺需要,一般会去除掉大约40-200Å高度的伪栅极。因此,在本实施例中,也可以允许遮蔽层侧壁或偏移侧壁在顶部有40-200Å高度的凹陷(即,损耗),这不会影响到器件的良率。

[0064] 如图1F所示,用于容置伪栅极103的沟槽在去除伪栅极103后形貌良好,且去除伪栅极103后不存在伪栅极(通常为多晶硅)的残留。而这主要是因为本实施例的遮蔽层侧壁106相对于现有技术中的低温氮化硅作为遮蔽层侧壁而言,具有更好的保护作用。

[0065] 步骤A7:在伪栅极103原来的位置形成金属栅极110,如图1G所示。

[0066] 示例性地,形成金属栅极110的方法包括:沉积金属材料层并进行CMP。

[0067] 由于之前保证了去除伪栅极后形成的沟槽的良好形貌,因此,形成的金属栅极110



具有良好的形貌,其中不会出现空洞(void)等不良,保证了器件的良率。

[0068] 在本实施例中,在步骤A7之后,还可以包括如下步骤:

[0069] 步骤A8:在层间介电层109内形成接触孔(CT)。

[0070] 其中,接触孔用于导通层间介电层上下方的组件,例如导通源极和金属互连线。

[0071] 步骤A9:形成互连结构。

[0072] 至此,完成了本实施例的半导体器件的制造方法的关键步骤的介绍,之后可以参照现有技术中的各个方法来完成整个半导体器件的制造,此处不再赘述。

[0073] 在本实施例的半导体器件的制造方法中,步骤A2(形成偏移侧壁105的步骤)也可以采用步骤A3所述的方法来实现,以更好地保护伪栅极103和高k介电层101以及界面层102,进一步提高器件的性能和良率。

[0074] 本发明实施例的半导体器件的制造方法,通过调整在形成锗硅遮蔽层的过程中的工艺温度使得形成的遮蔽层侧壁的内侧部分为低温氮化硅(高刻蚀速率氮化硅),而外侧部分为高温氮化硅(低刻蚀速率)氮化硅,不仅可以避免界面层的重新生长和高k介电层的晶化,改善负偏压温度不稳定性(NBTI),而且可以对伪栅极的顶端侧翼提供保护,避免在伪栅极的顶端侧翼形成金属硅化物,进而保证形成良好的金属栅极形貌,因此可以提高半导体器件的良率和性能。

[0075] 参照图2,其中示出了本发明提出的半导体器件的制造方法中的一种典型方法的流程图,用于简要示出整个制造工艺的流程。具体包括:

[0076] 步骤S101:提供半导体衬底,在所述半导体衬底上形成包括界面层、高k介电层、伪栅极和伪栅极硬掩膜的伪栅极结构;

[0077] 步骤S102:在所述半导体衬底上沉积氮化硅形成锗硅遮蔽层,对所述锗硅遮蔽层进行刻蚀以形成遮蔽层侧壁;其中,在沉积所述氮化硅的过程中,在第一预定时间段内使工艺温度随时间升高,以保证所述遮蔽层侧壁的内侧部分为低温氮化硅而外侧部分为高温氮化硅;

[0078] 步骤S103:形成锗硅层、主侧壁、源极和漏极以及金属硅化物;

[0079] 步骤S104:进行应力临近技术处理;

[0080] 步骤S105:在所述半导体衬底上形成层间介电层;

[0081] 步骤S106:去除所述伪栅极,在所述伪栅极原来的位置形成金属栅极。

[0082] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

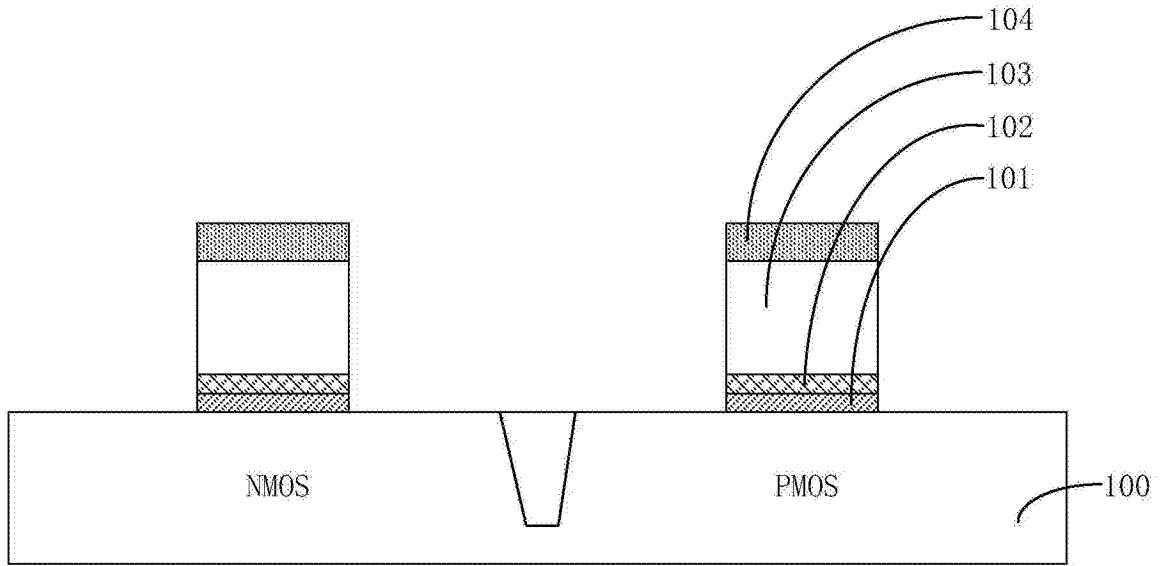


图1A

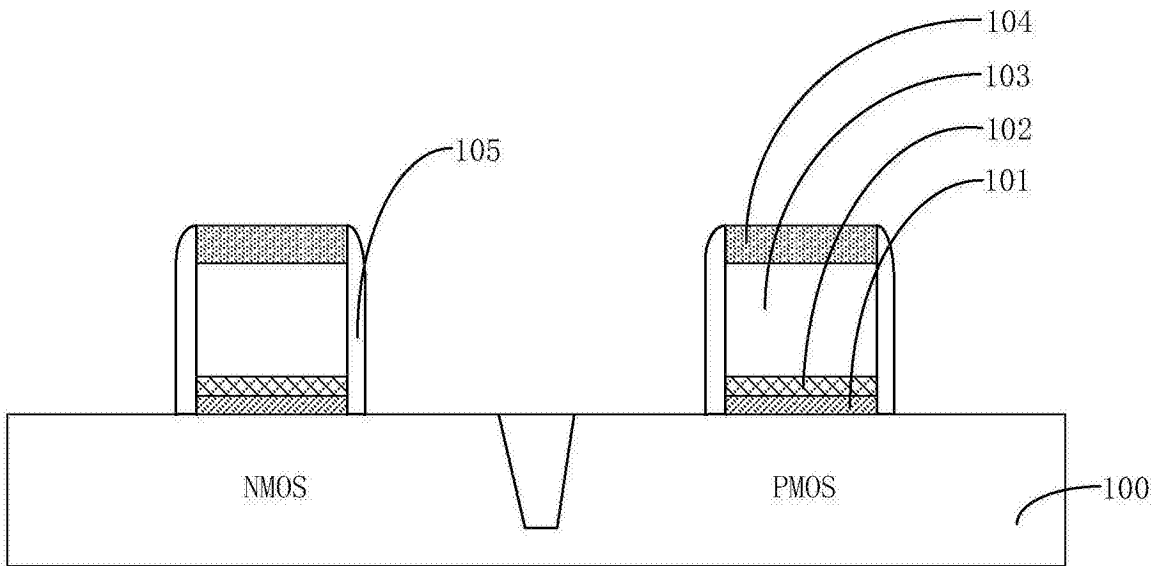


图1B

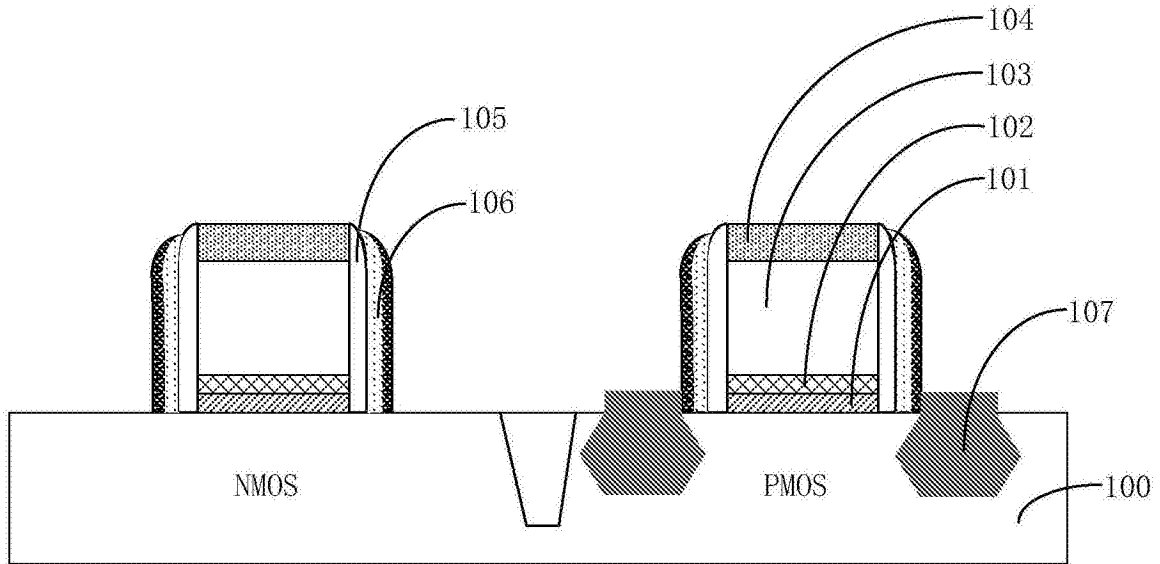


图1C

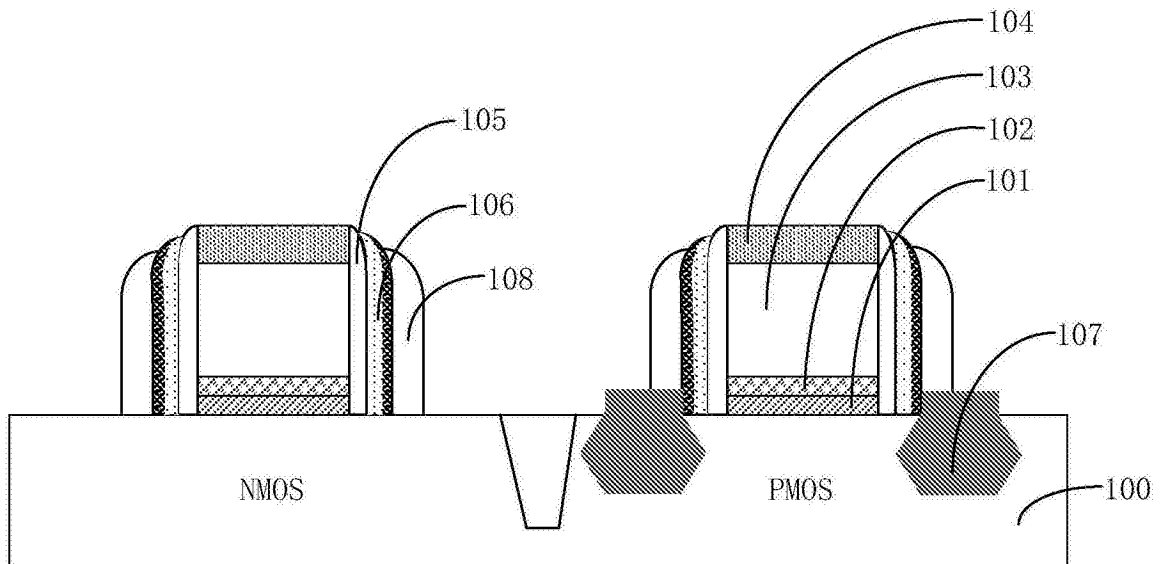


图1D

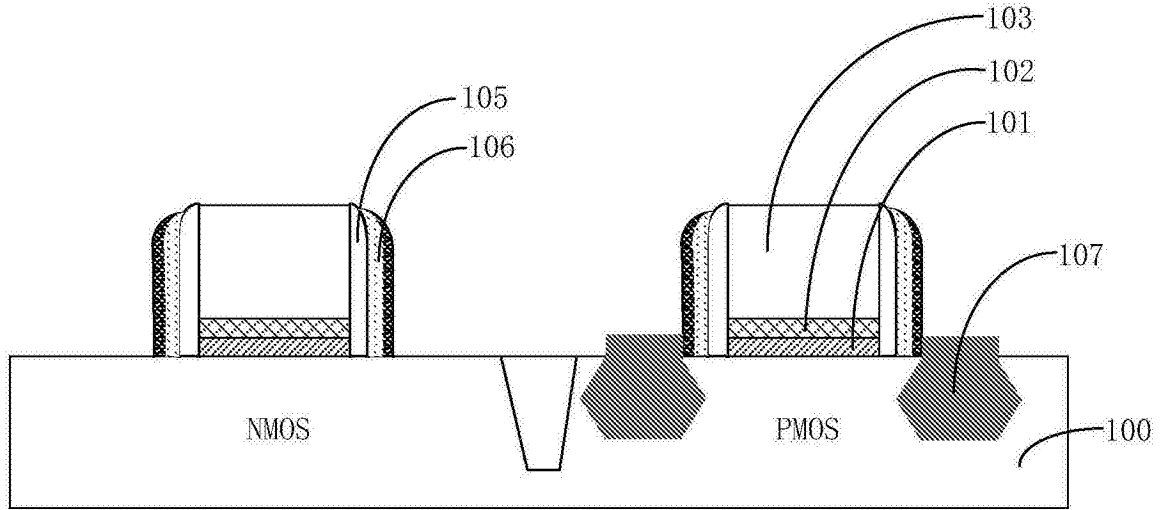


图1E

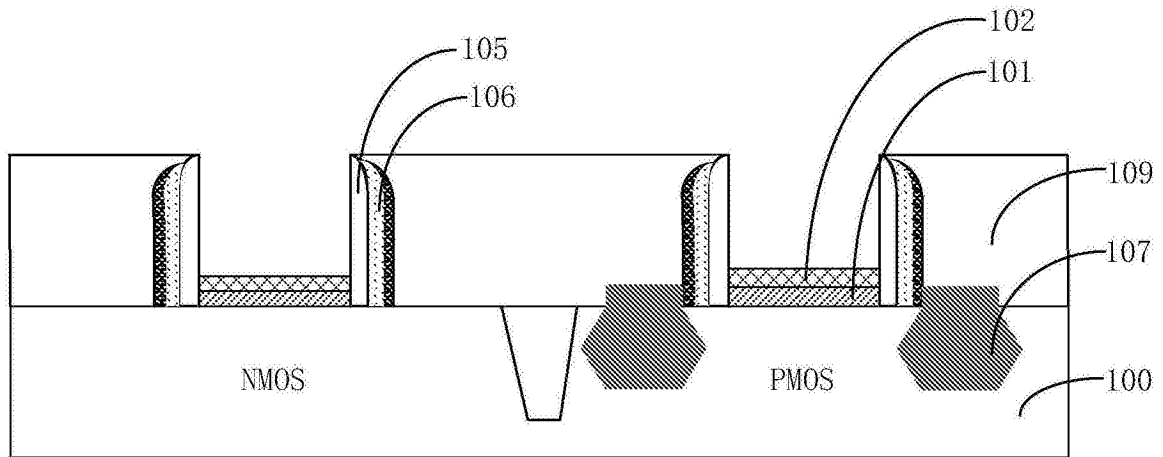


图1F

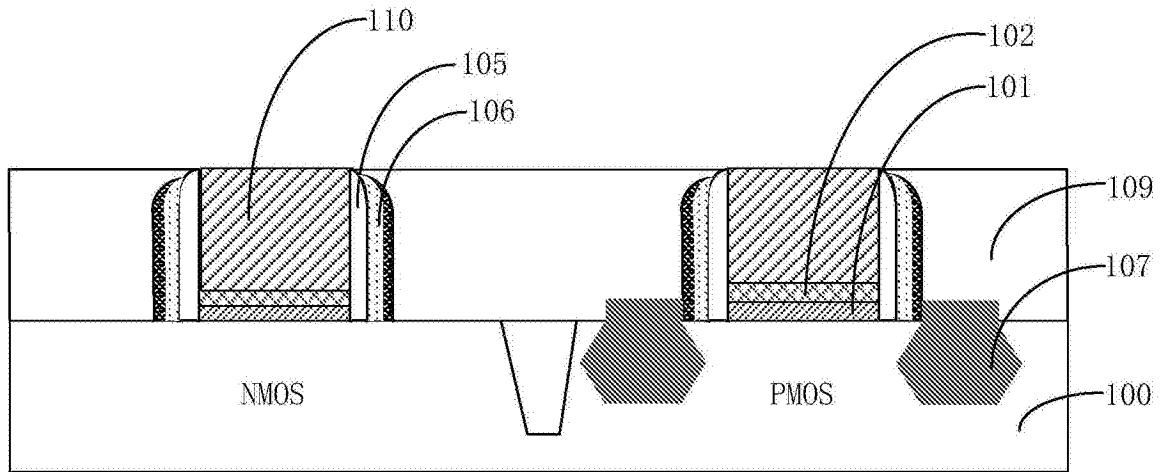


图1G

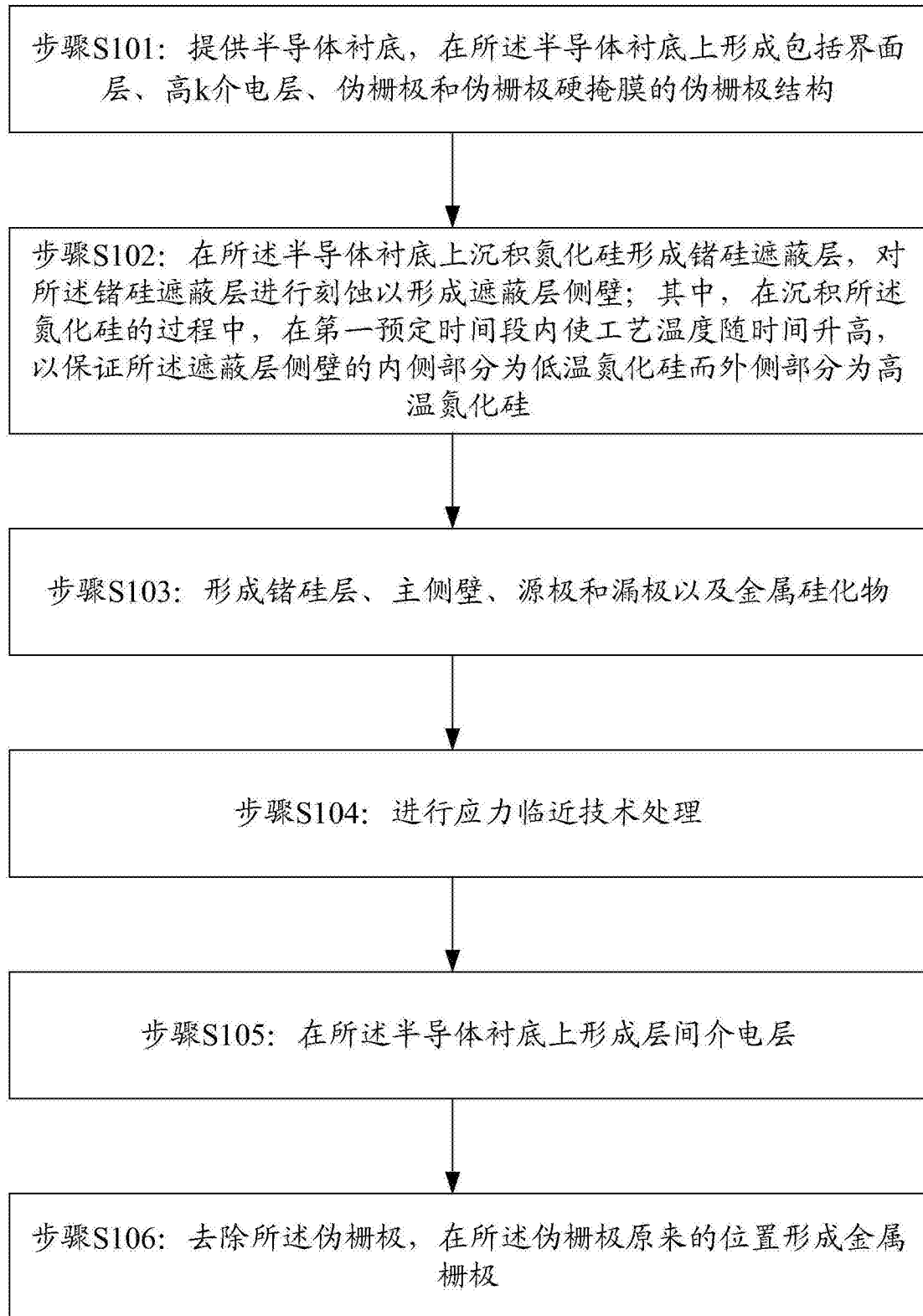


图2