



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0132017
(43) 공개일자 2016년11월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) H01L 21/02 (2006.01)
H01L 21/22 (2006.01) H01L 21/265 (2006.01)
H01L 21/324 (2006.01)
(52) CPC특허분류
H01L 21/76254 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2016-7024278
(22) 출원일자(국제) 2015년02월09일
심사청구일자 없음
(85) 번역문제출일자 2016년09월02일
(86) 국제출원번호 PCT/JP2015/000575
(87) 국제공개번호 WO 2015/136834
국제공개일자 2015년09월17일
(30) 우선권주장
JP-P-2014-046098 2014년03월10일 일본(JP)

(71) 출원인
신에쓰 한도타이 가부시키키가이샤
일본 도쿄토 치요다쿠 오테마치 2초메 2-1
(72) 발명자
아가, 히로지
일본, 군마 3790196, 안나카-시, 이소베 2-초메, 13-1, 신에쓰 한도타이 가부시키키가이샤, 이소베 공장내
코바야시, 노리히로
일본, 군마 3790196, 안나카-시, 이소베 2-초메, 13-1, 신에쓰 한도타이 가부시키키가이샤, 이소베 공장내
(74) 대리인
특허법인씨엔에스

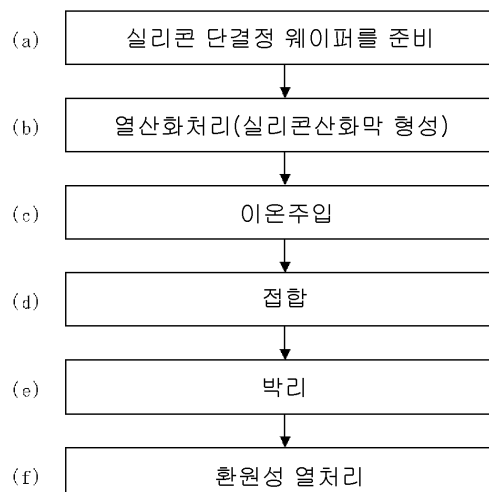
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **접합 SOI 웨이퍼의 제조방법**

(57) 요약

본 발명은, 접합 SOI 웨이퍼를 제조하는 방법에 있어서, 실리콘산화막을, 배치식 열처리로를 사용하여, 적어도 승온중에서의 열산화와 강온중에서의 열산화 중 적어도 일방을 포함하는 열산화처리를 행함으로써, 박리 후의 접합 SOI 웨이퍼의 매립산화막이 동심원형상의 산화막두께 분포가 되도록 형성하고, 다시, 본드웨이퍼의 박리 후의 접합 SOI 웨이퍼에 환원성 열처리를 행함으로써, 매립산화막의 막두께 레인지를 환원성 열처리 전의 막두께 레인지보다 작게 하는 것을 특징으로 하는 접합 SOI 웨이퍼의 제조방법이다. 이에 따라, SOI층 박리 후에 행하는 환원성 열처리에 의해 발생하는 매립산화막두께의 면내분포의 불균일을 억제할 수 있는 접합 SOI 웨이퍼의 제조방법이 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/22 (2013.01)

H01L 21/265 (2013.01)

H01L 21/324 (2013.01)

명세서

청구범위

청구항 1

실리콘 단결정으로 이루어진 본드웨이퍼와 베이스웨이퍼의 적어도 일방의 웨이퍼의 표면에 실리콘산화막을 열산화처리에 의해 형성하고, 이 본드웨이퍼의 표면에 수소이온, 희가스이온 중 적어도 1종류의 가스이온을 이온주입하여 이온주입층을 형성하고, 이 본드웨이퍼의 이온주입한 표면과 상기 베이스웨이퍼의 표면을, 상기 실리콘산화막을 개재하여 접합한 후, 상기 이온주입층에서 상기 본드웨이퍼를 박리함으로써 접합 SOI 웨이퍼를 제조하는 방법에 있어서,

상기 실리콘산화막을, 배치식 열처리로(爐)를 사용하여, 적어도 승온중에서의 열산화와 강온중에서의 열산화 중 어느 일방을 포함하는 상기 열산화처리를 행함으로써, 박리 후의 상기 접합 SOI 웨이퍼의 매립산화막이 동심원형상의 산화막두께 분포가 되도록 형성하고,

다시, 상기 본드웨이퍼의 박리 후의 상기 접합 SOI 웨이퍼에 환원성 열처리를 행함으로써, 상기 매립산화막의 막두께 레인지를 상기 환원성 열처리 전의 막두께 레인지보다 작게 하는 것을 특징으로 하는 접합 SOI 웨이퍼의 제조방법.

청구항 2

제1항에 있어서,

상기 환원성 열처리 후의 상기 매립산화막의 막두께 레인지를 1.0nm 이하로 하는 것을 특징으로 하는 접합 SOI 웨이퍼의 제조방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 환원성 열처리를 100% 아르곤가스 분위기 또는 100% 수소가스 분위기, 혹은 이들의 혼합가스 분위기하에서 행하는 것을 특징으로 하는 접합 SOI 웨이퍼의 제조방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 동심원형상의 산화막두께 분포를 오목형상의 분포로 형성하는 것을 특징으로 하는 접합 SOI 웨이퍼의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은, 이온주입 박리법을 이용하는 접합 SOI 웨이퍼의 제조방법에 관한 것이다.

배경 기술

[0002] 최근, SOI 웨이퍼의 제조방법으로서, 이온주입한 웨이퍼를 접합 후에 박리하여 SOI 웨이퍼를 제조하는 방법(이온주입 박리법: 스마트컷법(등록상표)이라고도 불리는 기술)이 새롭게 주목 받기 시작하고 있다. 이 이온주입 박리법은, 2매의 실리콘웨이퍼 중, 적어도 일방에 산화막을 형성함과 함께, 일방의 실리콘웨이퍼(본드웨이퍼)의

상면으로부터 수소이온 또는 희가스이온 등의 가스이온을 주입하고, 이 웨이퍼 내부에 미소기포층(봉입층)을 형성시킨다.

- [0003] 그 후, 이 이온을 주입한 쪽의 면을 산화막을 개재하여 타방의 실리콘웨이퍼(베이스웨이퍼)와 밀착시키고, 그 후 열처리(박리열처리)를 가해 미소기포층을 벽개면으로 하여 일방의 웨이퍼(본드웨이퍼)를 박막상으로 박리하고, 다시 열처리(결합열처리)를 가해 강고하게 결합하여 SOI웨이퍼로 하는 기술이다(특허문헌 1 참조). 이 방법에서는, 벽개면(박리면)은 양호한 경면이 되고, SOI층의 막두께의 균일성도 높은 SOI웨이퍼가 비교적 용이하게 얻어진다.
- [0004] 그러나, 이온주입 박리법에 의해 SOI웨이퍼를 제작하는 경우에 있어서는, 박리 후의 SOI웨이퍼 표면에 이온주입에 의한 데미지층이 존재하고, 또한 표면거칠기가 통상의 제품레벨인 실리콘웨이퍼의 경면에 비해 큰 것이 된다. 따라서, 이온주입 박리법에서는, 이러한 데미지층, 표면거칠기를 제거할 필요가 생긴다. 종래, 이 데미지층 등을 제거하기 위하여, 결합열처리 후의 최종공정에 있어서, 터치폴리시라 불리는 연마 마진(研磨しろ)이 매우 적은 경면연마(취한 마진(取りしろ): 100nm 정도)가 행해지고 있었다.
- [0005] 그런데, SOI층에 기계가공적 요소를 포함하는 연마를 해 버리면, 연마의 취한 마진이 균일하지 않기 때문에, 수소이온 등의 주입, 박리에 의해 달성된 SOI층의 막두께 균일성이 악화된다는 문제가 발생한다.
- [0006] 이러한 문제점을 해결하는 방법으로서, 터치폴리시 대신에 고온열처리를 행해 표면거칠기를 개선하는 평탄화처리가 행해지게 되었다.
- [0007] 예를 들어, 특허문헌 2에서는, 박리열처리 후 또는 결합열처리 후에, SOI층의 표면을 연마하는 일 없이, 수소를 포함하는 환원성 분위기하의 열처리(급속가열·급속냉각열처리(RTA: Rapid Thermal Annealing))를 가하는 것이 기재되어 있다.
- [0008] 또한, 특허문헌 3에서는, 박리열처리 후(또는 결합열처리 후)에, 산화성 분위기하의 열처리에 의해 SOI층에 산화막을 형성한 후에 이 산화막을 제거하고, 다음에 환원성 분위기하의 열처리(급속가열·급속냉각열처리(RTA처리))를 가하는 것이 기재되어 있다.
- [0009] 또한, 특허문헌 4에서는, 박리 후의 SOI웨이퍼에, 불활성가스, 수소가스, 혹은 이들의 혼합가스 분위기하에서의 평탄화열처리 후에 회생산화처리를 행함으로써, 박리면의 평탄화와 OSF의 회피를 동시에 달성하고 있다.
- [0010] 이와 같이, 터치폴리시 대신에 고온열처리를 행해 표면거칠기를 개선하는 평탄화처리가 행해지게 됨에 따라, 현재는, 직경 300mm이고 SOI층의 막두께 레인지(면내의 최대값에서 최소값을 뺀 값)가 3nm 이하인 우수한 막두께 균일성을 갖는 SOI웨이퍼가, 이온주입 박리법에 의해 양산 레벨로 얻어지고 있다.
- [0011] 또한, 최근 휴대형 단말의 보급에 따라, 반도체 디바이스의 저소비전력화, 미세화, 고기능화가 필요해졌으며, 디자인롤로 22nm세대 이후의 유력한 후보로서, SOI웨이퍼를 이용한 완전공핍형(完全空乏型)의 디바이스 개발이 행해지고 있다. 이 완전공핍형 디바이스에서는, SOI층의 막두께가 10nm 정도로 매우 얇아지는 것에 더하여, SOI층의 막두께 분포가 디바이스의 임계값전압에 영향을 준다는 점에서, SOI층의 면내 막두께 분포로서, 면내의 막두께 레인지가 1nm 이하가 될 정도의 균일성이 요구되고 있다.
- [0012] 나아가, 최근, 통상은 베이스웨이퍼와의 절연에 이용하는 매립산화막층(이하에서는, BOX막이라고도 함)에 바이어스를 가함으로써, 디바이스의 임계값전압을 제어하는 것이 제안되어 있으며, 이 경우에는 BOX막두께를 얇게 한 Thin BOX형의 SOI웨이퍼를 제조할 필요가 있고, 또한 BOX막두께의 면내분포에 관해서도 고균일(구체적으로는 막두께 레인지가 1nm 이하)로 할 필요가 있다.
- [0013] 이러한 Thin BOX형의 박막 SOI웨이퍼를 제조하는 방법에 관한 것으로, SOI층 막두께 분포의 균일화에 대해서는, 이온주입(イオンインプラ)을 다단으로 하는 방법이나, 이온주입의 다단에 더하여 SOI층 박리 후의 산화처리에 있어서, 강온산화(강온층에 산화막을 성장시키는 방법)를 실시함으로써 주입깊이에 따른 SOI층 막두께 분포와 산화에 의한 면내 취한 마진을 상쇄시키는 방법을 행함으로써 막두께 레인지 1nm 이하를 달성하고 있다(특허문헌 5 참조).
- [0014] 또한, 특허문헌 6에는, SOI웨이퍼의 매립산화막의 두께를 감소시키는 처리로서, 수소가스, 아르곤가스, 또는 이들의 혼합가스 분위기하에서 1000℃ 이상의 온도에서 열처리를 행하는 것이 기재되어 있다.

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) 일본특허공개 H5-211128호 공보
- (특허문헌 0002) 일본특허공개 H11-307472호 공보
- (특허문헌 0003) 일본특허공개 2000-124092호 공보
- (특허문헌 0004) 국제공개 제2003/009386호
- (특허문헌 0005) 일본특허공개 2013-125909호 공보
- (특허문헌 0006) 일본특허공개 2010-141127호 공보

발명의 내용

해결하려는 과제

- [0016] 한편, BOX막두께의 면내균일성에 대해서는, Thin BOX형의 박막 SOI웨이퍼를 시작(試作)하여, SOI층의 면내 막두께 레인지의 공정내 추이를 조사한 결과, SOI층 박리 후에 행하는 평탄화열처리의 환원성 분위기의 열처리에 있어서, BOX막두께의 면내분포가 악화되는 것을 알 수 있었다. 환원성의 분위기에 의한 BOX막두께 분포의 악화에 대해서는, BOX막내의 SiO_2 로부터 산소가 환원되어, BOX막두께가 감소할 때의 환원작용이 면내에서 상이하여, 면내 막두께 분포가 형성되는 것에 따른다.
- [0017] 이러한 BOX막두께의 환원작용에 의해 BOX막두께의 면내분포가 발생하는 요인으로는, 환원성 열처리공정 중의 승강온중 및 고온유지중인 면내의 온도분포나, 환원되어 외방확산된 산소의 기압의 분포에 따라 다른데, 종형로(爐)인 배치식 열처리로(爐)에 있어서는 동심원형상의 분포가 되기 쉬운 점을 들 수 있다.
- [0018] 이는, 배치식의 열처리로에 있어서는, 열원이 되는 히터에 웨이퍼 외주부가 가까워, 웨이퍼 중심부와 외주부에서 온도차가 발생하기 쉬운 것 및, 프로세스가스가 보트와 튜브 사이를 흐르기 때문에, 웨이퍼 중심부와 외주부에서 산소분압이 발생하기 쉬운 것 등이 원인으로 추측된다. 이러한 환원성 분위기하의 열처리(환원성 열처리)에 의한 BOX막두께 분포의 불균일은, BOX막의 두께에 관계없이 발생하는데, 특히 Thin BOX형의 박막 SOI웨이퍼에서는, 보다 높은 균일성이 요구되므로, 큰 문제가 된다.
- [0019] 본 발명은 상기 서술한 바와 같은 문제를 감안하여 이루어진 것으로, SOI층 박리 후에 행하는 환원성 열처리에 의해 발생하는 매립산화막두께의 면내분포의 불균일을 억제할 수 있는 접합 SOI웨이퍼의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0020] 상기 목적을 달성하기 위하여, 본 발명에 따르면, 실리콘 단결정으로 이루어진 본드웨이퍼와 베이스웨이퍼의 적어도 일방의 웨이퍼의 표면에 실리콘산화막을 열산화처리에 의해 형성하고, 이 본드웨이퍼의 표면에 수소이온, 회가스이온 중 적어도 1종류의 가스이온을 이온주입하여 이온주입층을 형성하고, 이 본드웨이퍼의 이온주입한 표면과 상기 베이스웨이퍼의 표면을, 상기 실리콘산화막을 개재하여 접합한 후, 상기 이온주입층에서 상기 본드웨이퍼를 박리함으로써 접합 SOI웨이퍼를 제조하는 방법에 있어서, 상기 실리콘산화막을, 배치식 열처리로를 사용하여, 적어도 승온중에서의 열산화와 강온중에서의 열산화 중 어느 일방을 포함하는 상기 열산화처리를 행함으로써, 박리 후의 상기 접합 SOI웨이퍼의 매립산화막이 동심원형상의 산화막두께 분포가 되도록 형성하고, 다시, 상기 본드웨이퍼의 박리 후의 상기 접합 SOI웨이퍼에 환원성 열처리를 행함으로써, 상기 매립산화막의 막두께 레인지를 상기 환원성 열처리 전의 막두께 레인지보다 작게 하는 것을 특징으로 하는 접합 SOI웨이퍼의 제조방법을 제공한다.
- [0021] 본드웨이퍼박리 후의 접합 SOI웨이퍼에 환원성 열처리를 행한 경우, 매립산화막두께는 동심원형상의 면내분포가 되기 쉽다. 따라서, 이와 같이 환원성 열처리에 의해 형성되는 매립산화막두께의 면내분포를 상쇄하는 면내분포를, 실리콘산화막 형성시에 형성함으로써, 균일성이 양호한 접합 SOI웨이퍼를 확실하게 얻을 수 있다.
- [0022] 이때, 상기 환원성 열처리 후의 상기 매립산화막의 막두께 레인지를 1.0nm 이하로 할 수 있다.

- [0023] 본 발명의 방법이면, 확실하게 이러한 양호한 막두께 레인지를 갖는 SOI 웨이퍼를 얻을 수 있다.
- [0024] 또한 이때, 상기 환원성 열처리를 100% 아르곤가스 분위기 또는 100% 수소가스 분위기, 혹은 이들의 혼합가스 분위기하에서 행할 수 있다.
- [0025] 본 발명의 방법에 있어서, 상기 가스 분위기하에서 환원성 열처리를 실시하는 것이 호적하다.
- [0026] 이때, 상기 동심원형상의 산화막두께 분포를 오목형상의 분포로 형성할 수 있다.
- [0027] 본드웨이퍼의 박리 후의 접합 SOI 웨이퍼의 환원성 열처리에 있어서, 매립산화막의 막두께 분포는 동심원상의 볼록형상이 되기 쉬우므로, 미리, 매립산화막의 막두께 분포를 오목형상으로 해 둠으로써 막두께 분포의 불균일을 상쇄할 수 있고, 매립산화막의 균일성이 양호한 접합 SOI 웨이퍼를 보다 확실하게 얻을 수 있다.

발명의 효과

- [0028] 본 발명의 SOI 웨이퍼의 제조방법이면, SOI층 박리 후에 행하는 환원성 열처리에 의해 발생하는 매립산화막두께의 면내분포의 불균일을 억제할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 접합 SOI 웨이퍼의 제조방법의 공정플로우도이다.
- 도 2는 BOX막두께 분포가 오목형상이 되도록 실리콘산화막을 형성한 경우(실시예)의, 본 발명의 접합 SOI 웨이퍼의 제조방법의 공정플로우도이다.
- 도 3은 비교예에 있어서의 접합 SOI 웨이퍼의 제조방법의 공정플로우의 간략도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 상기 서술한 바와 같이, 본드웨이퍼박리 후의 환원성 열처리에 의해, 매립산화막(BOX막)의 면내 막두께 분포가 악화된다는 문제가 있다.
- [0031] 이에, 본 발명자들은 예의 검토를 거듭한 결과, 환원성 열처리에 의해 형성되는 매립산화막두께의 면내분포를 상쇄하는 면내분포를, 실리콘산화막 형성시에 형성함으로써, 매립산화막의 균일성이 높은 접합 SOI 웨이퍼를 확실하게 얻을 수 있는 것에 상도하였다.
- [0032] 나아가, 본 발명자들은, 실리콘산화막 형성시에, 배치식 열처리로 내에서, 적어도 승온중에서의 열산화와 강온중에서의 열산화 중 적어도 일방을 포함하는 열산화처리를 행함으로써, 환원성 열처리에 의해 형성되는 면내분포의 악화를 상쇄할 수 있는 것에 상도하여, 본 발명을 완성시켰다.
- [0033] 이하, 본 발명에 대하여 상세하게 설명한다.
- [0034] 본 발명에 있어서의 SOI 웨이퍼를 제조하는 방법은, 이온주입 박리법을 이용한다. 도 1은, 이온주입 박리법을 이용한 본 발명의 접합 SOI 웨이퍼의 제조방법의 공정플로우도를 나타낸다.
- [0035] 먼저, 도 1의 공정(a)에서는, 본드웨이퍼와 지지기판이 되는 베이스웨이퍼로서 예를 들어 경면연마된 실리콘 단결정웨이퍼를 준비한다.
- [0036] 다음에, 도 1의 공정(b)에서는, 배치식 열처리로를 사용하여, 열산화처리에 의해 본드웨이퍼에 실리콘산화막을 형성한다. 이 실리콘산화막은, 베이스웨이퍼에만 형성할 수도 있고, 양 웨이퍼에 형성할 수도 있다.
- [0037] 본 발명에 있어서, 이 실리콘산화막을 형성하는 열산화처리공정에서는, 적어도 승온중에서의 열산화와 강온중에서의 열산화 중 적어도 일방을 포함하는 열산화처리를 행함으로써, 박리 후의 접합 SOI 웨이퍼의 매립산화막이 동심원형상의 산화막두께 분포가 되도록 실리콘산화막을 형성한다.
- [0038] 배치식 열처리로에서는, 강온시에 열산화처리를 행하면 볼록형상의 산화막두께 분포가 면내에서 형성되기 쉽다. 이는, 배치식 열처리로의 강온중에는 실리콘 단결정웨이퍼 외주부 쪽이 중앙부보다 방열되기 쉬워, 상대적으로 저온이 되기 때문이다. 따라서, 강온중에 산화처리하면, 실리콘산화막(박리 후의 BOX막)의 면내분포를 동심원상의 볼록형상으로 할 수 있다.
- [0039] 나아가, 강온산화에 의해 형성되는 볼록형상의 크기는, 강온산화할 때의 온도가 높을수록, 초기온도와 산화종료까지의 온도차가 클수록, 온도구배가 강할수록, 배치 내의 상면의 웨이퍼와의 간극의 크기(슬롯간격)가 좁을수록

록 중심부와 외주부에서의 막두께차가 커진다. 따라서, 이들 파라미터를 적절하게 선택함으로써 원하는 면내분포를 가진 불록형상의 산화막이 얻어진다. 또한 이때, 필요에 따라 등온유지중인 산화를 조합할 수도 있다.

- [0040] 반대로, 승온시에 산화처리를 행하면 동심원상의 오목형상의 산화막두께 분포를 면내에서 형성할 수 있다. 승온은 웨이퍼의 주변부로부터 고온화되기 때문이다. 이때에도, 상기 서술한 바와 같이, 승온산화할 때의 온도, 온도차, 온도구배, 슬롯간격 등의 파라미터를 적절하게 선택함으로써 원하는 면내분포를 가진 오목형상의 산화막이 얻어진다. 또한 이때에도, 필요에 따라 등온유지중인 산화를 조합할 수 있다.
- [0041] 이와 같이, 동심원상의 불록형상의 산화막두께 분포는, 승온산화를 행하지 않고 강온산화만을 행하고, 필요에 따라 등온유지중인 산화를 조합함으로써 형성할 수 있고, 동심원상의 오목형상의 산화막두께 분포는, 강온산화를 행하지 않고 승온산화만을 행하고, 필요에 따라 등온유지중인 산화를 조합함으로써 형성할 수 있다. 또한, 승온산화와 강온산화를 적당히 조합한다면, 원하는 동심원상의 막두께 분포를 갖는 산화막을 정도 좋게 형성할 수 있다.
- [0042] 다음에, 도 1의 공정(c)에서는, 수소이온, 희가스이온 등의 가스이온을 주입하여, 본드웨이퍼의 내부에 이온주입층을 형성한다.
- [0043] 다음에, 도 1의 공정(d)에서는, 본드웨이퍼의 이온주입된 층의 표면과 베이스웨이퍼의 표면을 실리콘산화막을 개재하여 밀착시켜 접합한다.
- [0044] 한편, 접합하기 전에, 웨이퍼의 표면에 부착되어 있는 파티클 및 유기물을 제거하기 위하여, 양 웨이퍼에 접합 전에 세정을 행할 수도 있다.
- [0045] 다음에, 도 1의 공정(e)에서는, 이온주입층을 경계로 하여 본드웨이퍼를 박리시키고, 베이스웨이퍼 상에 매립실리콘산화막과 SOI층을 형성하여, 접합 SOI웨이퍼를 얻는다.
- [0046] 또한 도 1에는 하고 있지 않으나, 박리공정(e) 후에 회생산화처리(열산화 후, 형성한 열산화막을 제거) 등을 행하여, 이온주입층의 데미지층을 제거할 수도 있다.
- [0047] 그 후, 도 1의 공정(f)에서는, 환원성 분위기하에서 열처리(환원성 열처리)를 행한다. 한편, 본 발명의 환원성 분위기란, 열처리에 의해 BOX 내의 SiO₂로부터 산소가 환원되어, BOX막두께가 감소하는 현상이 발생하는 분위기를 의미하며, 구체적으로는, 100%아르곤가스 분위기나 100%수소가스 분위기, 혹은, 이들의 혼합가스 분위기 등을 호적한 예로서 들 수 있으나, 이것으로 한정되는 것은 아니다.
- [0048] 이온주입 박리법에 의해 SOI웨이퍼를 제작할 때, 박리 후의 접합 SOI웨이퍼에 박리면의 평탄화나 데미지 제거를 목적으로 하는 환원성 열처리를 행하는 경우, 웨이퍼의 외주부의 BOX막의 절삭량이 커지기 쉽다는 점에서, 환원성 열처리 후의 BOX막두께 분포는, 통상은 동심원상의 불록형상으로 되기 쉽다. 물론, 열처리조건에 따라서는 동심원상의 오목형상이 되는 경우도 있다.
- [0049] 따라서, 본 발명과 같이 환원성 열처리 후의 BOX막두께 분포나 환원성 열처리에 의한 BOX막두께의 절삭량의 분포에 따라, BOX산화시(열산화처리공정(b))의 열처리조건으로서, 승온산화나 강온산화를 적절하게 조합함으로써, 환원성 열처리 후의 BOX산화막두께 분포를 균일화할 수 있다.
- [0050] 또한, 상기 서술한 바와 같이, 환원성 열처리 후의 BOX막두께 분포는, 통상은 동심원상의 불록형상이 되기 쉬우므로, 접합 전에 형성하는 실리콘산화막의 동심원형상의 산화막두께 분포를 오목형상의 분포로 형성하는 것이 바람직하다.
- [0051] 이와 같이 하면, 균일성이 높은 BOX막을 갖는 접합 SOI웨이퍼를 용이하게 얻을 수 있다.
- [0052] 도 2에, 접합 전의 열산화처리공정(b)에 있어서, 박리공정(e) 후의 BOX막두께 분포가 오목형상이 되도록 실리콘산화막을 형성한 경우의 본 발명의 제조방법을 나타낸다.
- [0053] 이 경우, 도 2의 (b)에 나타내는 바와 같이, 실리콘 단결정으로 이루어진 본드웨이퍼(10)에 동심원상의 오목형상의 막두께 분포를 갖는 실리콘산화막(11)이 형성된다.
- [0054] 그리고 이와 같이, 열산화처리공정(b)에서 오목형상의 실리콘산화막두께 분포를 형성한 경우, 도 2의 (e)에 나타내는 바와 같이, 박리공정(e) 후, 베이스웨이퍼(12)와 SOI층(14) 사이에 동심원상의 오목형상의 매립산화막(BOX막)(13)을 갖는 접합 SOI웨이퍼(15)를 얻을 수 있다.
- [0055] 그리고, 도 2의 (e)에서 얻어진 접합 SOI웨이퍼(15)에 환원성 열처리공정(f)을 실시하면, 이 환원성 열처리로

형성될 블록형상의 BOX막두께 분포가, 미리 형성되어 있는 오목형상의 BOX막두께 분포에 의해 상쇄되어, 환원성 열처리에 의한 균일성의 악화를 억제할 수 있다. 그 결과, 도 2의 (f)에 나타내는 바와 같이, BOX막의 균일성이 높은 접합 SOI웨이퍼를 얻을 수 있다.

[0056] 도 2에서는, 환원성 열처리로 형성되는 BOX막두께 분포가 블록형상이 되는 것을 전제로 하여 설명하였으나, 환원성 열처리로 형성되는 BOX막두께 분포가 오목형상이 되는 경우, 열산화처리공정(b)에서, 박리 후의 BOX막두께 분포가 블록형상이 되도록 실리콘산화막(11)을 형성하면 된다.

[0057] 또한, 본 발명에서는, 환원성 열처리 후의 매립산화막(BOX막)의 막두께 레인지를 1.0nm 이하로 할 수 있다.

[0058] 이러한 제조방법이면, 최근, Thin BOX형의 박막 SOI웨이퍼에 요구되고 있는 BOX막두께 레인지 1nm 이하를 충분히 만족하고, 더 나아가, 0.5nm 이하도 만족하는, 보다 균일성이 높은 접합 SOI웨이퍼를 얻을 수 있다.

[0059] 실시예

[0060] 이하, 본 발명의 실시예 및 비교예를 들어 본 발명을 보다 구체적으로 설명하나, 본 발명은 이것들로 한정되는 것은 아니다.

[0061] (실시예)

[0062] 직경 300mm의 실리콘 단결정으로 이루어진 본드웨이퍼에만 실리콘산화막(박리 후에 BOX막이 되는 실리콘산화막)을 두께 30nm로 제작 후(도 1의 (b)), 수소이온주입을 행하였다(도 1의 (c)).

[0063] 실리콘산화막의 형성은, 배치식 열처리를 사용하여, 900℃~950℃의 승온중 및, 950℃에서의 등온유지중에 있어서 산소가스를 도입하여, 드라이산화의 승온산화를 행하였다. 또한, 승온산화의 효과를 높이기 위하여, 900℃~950℃의 승온산화중인 승온 레이트를 1℃/min로 하였다.(한편, 산화로에 웨이퍼를 투입할 때의 온도는 600℃에서, 600℃~900℃의 승온 레이트는 5℃/min로 하였다.)

[0064] 승온산화 후의 실리콘산화막의 면내분포는 면내레인지로 0.8nm, 분포는, 도 2의 (b)와 같이, 외주부가 중심부보다 두꺼운 오목형상의 동심원형상분포였다.

[0065] 수소이온주입은 2회 분할주입으로 하고, 1회째의 주입으로서 H^+ , 30keV, $2.6e16cm^{-2}$, 주입각도 0도, 노치 오리엔테이션 각도 0도의 주입을, 2회째의 주입으로서 H^+ , 30keV, $2.6e16cm^{-2}$, 주입각도 0도, 노치 오리엔테이션 각도 90도로 주입을 행하였다.

[0066] 수소이온주입 후, 베이스웨이퍼와 접합하고(도 1의 (d)), 500℃에서 30분의 질소분위기 열처리에 의해, 수소이온주입층에서 박리하였다(도 1의 (e)). 박리 직후의 SOI층의 막두께는 330nm였다.

[0067] 그 후, 900℃의 파이로제닉산화처리를 행하여 박리면에 250nm의 열산화막(희생산화막)을 형성한 후, 형성된 산화막을 10% HF수용액으로 제거함으로써, 이온주입의 데미지층을 제거하였다.

[0068] 그 후, 표면을 평탄화하기 위하여, 1200℃에서 1시간, 100%Ar분위기의 환원성 열처리를 행하였다(도 1의 (f)).

[0069] 환원성 열처리 후의 BOX막두께는 25nm까지 박막화되었고, BOX막두께 면내분포는 막두께 레인지: 0.4nm로 환원성 열처리 전보다 개선되어, 도 2의 (f)와 같은 BOX막의 균일성이 높은 접합 SOI웨이퍼를 얻었다.

[0070] 다시 그 후, 950℃의 파이로제닉산화처리를 행하여 400nm의 열산화막(희생산화막)을 형성한 후, 형성된 열산화막을 10%HF수용액으로 제거하여, 10nm($\pm 0.5nm$)의 SOI층을 제작하였다. 이 희생산화막제거 후(박막화 후)의 BOX막두께는, 환원성 열처리 후와 동일하게 BOX막의 균일성이 높고 양호한 접합 SOI웨이퍼였다.

[0071] (비교예)

[0072] 종래와 같이 일정온도 950℃에 의한 본드웨이퍼의 산화를 행하지 않은 것을 제외하고는, 실시예와 동일한 조건으로 접합 SOI웨이퍼를 제작하였다.

[0073] 이때, 도 3의 (b)에 나타내는 바와 같이, 본드웨이퍼(110) 표면의 실리콘산화막(111)의 면내분포는 균일한 분포였다. 또한, 실리콘산화막(111)의 면내분포는 면내레인지로 0.2nm였다. (한편, 열산화처리로에 웨이퍼를 투입할 때의 온도는 600℃에서, 600℃~950℃의 승온 레이트는 5℃/min로 하고, 950℃에 도달한 후에 산소가스를 도입하여, 일정온도에서 드라이산화를 행하였다.)

[0074] 그 후, 실시예와 동일하게 열처리에 의한 박리를 행하여 접합 SOI웨이퍼(115)를 제작하였는데, 이 시점에서는

베이스웨이퍼(112)와 SOI층(114) 사이의 BOX막(113)의 막두께의 면내분포는, 도 3의 (e)에 나타내는 바와 같이 균일하였다.

[0075] 그 후, 실시예와 동일한 환원성 열처리를 행한 결과, BOX막(113)의 막두께 면내분포는 막두께 레인지: 1.1nm로 환원성 열처리 전보다 악화되었으며, 도 3의 (f)와 같이, 동심원상의 볼록형상의 면내분포가 되었다.

[0076] 다시 그 후, 950℃의 파이로제닉산화처리를 행하여 400nm의 열산화막(희생산화막)을 형성한 후, 형성된 열산화막을 10% HF수용액으로 제거하여, 10nm(±0.5nm)의 SOI층을 제작하였다.

[0077] 이때의 BOX막의 막두께 레인지도 1nm를 초과하였다.

[0078] 상기 실시예, 비교예의 실리콘산화막 형성조건, 이온주입 박리조건, 환원성 열산화처리조건, 희생산화처리조건, 및 결과를 표 1에 나타낸다.

표 1

[0079]	실시예	비교예
본드웨이퍼	직경 300mm φ, <100>, 표면산화막 30nm, 승온산화 있음 산화온도: 900℃→950℃ + 950℃ 유지 승온 레이트: 1℃/min 산화막두께 레인지: 0.8nm 분포: 동심원상 오목분포	직경 300mm φ, <100>, 표면산화막 30nm, 승온산화 없음 산화온도: 950℃ 유지 산화막두께 레인지: 0.2nm 분포: 균일
베이스웨이퍼	직경 300mm, <100>, 표면산화막 없음	
분할 주입	2회 분할	2회 분할
1회째 주입 조건	H ⁺ , 30keV, 2.6e16cm ⁻² , 주입각도 0도, 노치 오리엔테이션 각도 0도	H ⁺ , 30keV, 2.6e16cm ⁻² , 주입각도 0도, 노치 오리엔테이션 각도 0도
2회째 주입 조건	H ⁺ , 30keV, 2.6e16cm ⁻² , 주입각도 0도, 노치 오리엔테이션 각도 90도	H ⁺ , 30keV, 2.6e16cm ⁻² , 주입각도 0도, 노치 오리엔테이션 각도 90도
박리열처리	500℃, 30분, 질소분위기	
박리 직후의 SOI 막두께	330nm	330nm
희생산화처리 (열산화+산화막 제거)	900℃, 파이로제닉 산화, 열산화막두께: 250nm 10% HF 수용액으로 제거	900℃, 파이로제닉 산화, 열산화막두께: 250nm 10% HF 수용액으로 제거
환원성 열처리 전의 BOX막두께	31nm 면내레인지: 0.8nm	31nm 면내레인지: 0.2nm
환원성 열처리	Ar, 1200℃, 1시간	Ar, 1200℃, 1시간
희생산화처리 (열산화+산화막 제거)	950℃, 파이로제닉 산화, 열산화막두께: 400nm 10% HF 수용액으로 제거	950℃, 파이로제닉 산화, 열산화막두께: 400nm 10% HF 수용액으로 제거
박막화 후의 SOI 막두께	10nm	10nm
박막화 후(환원성 열처리 후)의 BOX 막두께	25nm 면내레인지: 0.4nm 분포: 균일	25nm 면내레인지: 1.1nm 분포: 동심원 볼록분포

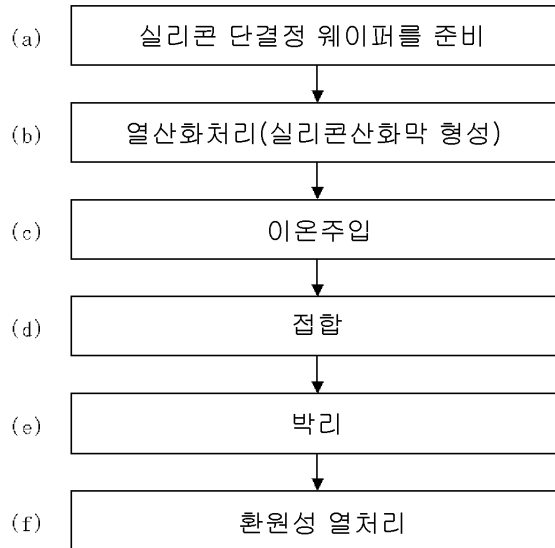
[0080] 표 1을 통해, 실시예에서는 BOX막두께 분포가 막두께 레인지로 0.5nm를 하회하여 양호한 면내분포가 얻어졌던 것에 반해, 비교예에서는 1.1nm가 되어 최근의 BOX막두께 레인지 1nm 이하라는 요구를 만족하는 면내분포를 얻지 못했음을 알 수 있었다.

[0081] 한편, 본 발명은, 상기 실시형태로 한정되는 것은 아니다. 상기 실시형태는 예시이며, 본 발명의 특허청구범위

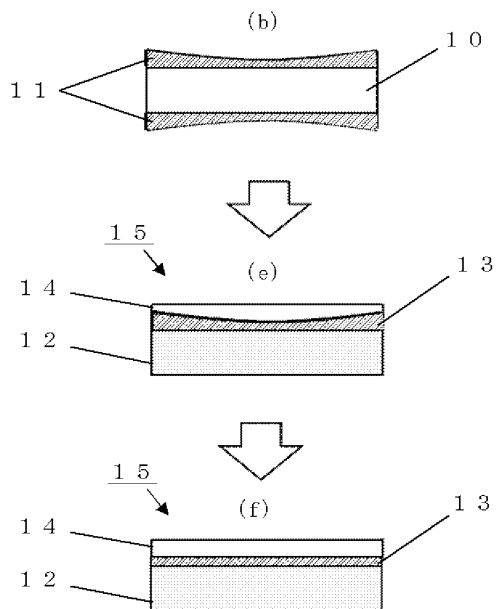
에 기재된 기술적 사상과 실질적으로 동일한 구성을 가지며, 동일한 작용효과를 나타내는 것은, 어떠한 것이어도 본 발명의 기술적 범위에 포함된다.

도면

도면1



도면2



도면3

