

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7578862号
(P7578862)

(45)発行日 令和6年11月6日(2024.11.6)

(24)登録日 令和6年10月28日(2024.10.28)

(51)国際特許分類 F I
 H 0 1 L 21/338 (2006.01) H 0 1 L 29/80 H
 H 0 1 L 29/778 (2006.01)
 H 0 1 L 29/812 (2006.01)

請求項の数 13 (全29頁)

(21)出願番号	特願2024-509855(P2024-509855)	(73)特許権者	520133916 ヌヴォンテクノロジージャパン株式会社 京都府長岡京市神足焼町1番地
(86)(22)出願日	令和5年2月20日(2023.2.20)	(74)代理人	100109210 弁理士 新居 広守
(86)国際出願番号	PCT/JP2023/006048	(74)代理人	100137235 弁理士 寺谷 英作
(87)国際公開番号	WO2023/181749	(74)代理人	100131417 弁理士 道坂 伸一
(87)国際公開日	令和5年9月28日(2023.9.28)	(72)発明者	神田 裕介 日本国富山県魚津市東山800番地 ア ットフィールズテクノロジー株式会社社内
審査請求日	令和6年6月21日(2024.6.21)	(72)発明者	清水 順 日本国富山県魚津市東山800番地 ア 最終頁に続く
(31)優先権主張番号	63/323,736		
(32)優先日	令和4年3月25日(2022.3.25)		
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板の上方に設けられた、III族窒化物半導体からなるバックバリア層と、
 前記バックバリア層の上方に設けられ、ガリウム窒化物半導体からなり、前記バックバリア層よりバンドギャップが小さいチャンネル層と、

前記チャンネル層の上方に設けられ、Alを含むIII族窒化物半導体からなり、前記チャンネル層よりバンドギャップが大きい第1バリア層と、

前記チャンネル層の上面に設けられた第1リセス部を埋めるように設けられ、Alを含むIII族窒化物半導体からなり、前記チャンネル層よりバンドギャップが大きい第2バリア層と、

前記チャンネル層と前記第1バリア層との界面の前記チャンネル層側および前記チャンネル層と前記第2バリア層との界面の前記チャンネル層側に発生する二次元電子ガスと、

前記第1バリア層の上方に間隔を空けて設けられ、それぞれが前記二次元電子ガスに電氣的に接続されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極と間隔を空けて、前記第2バリア層の上方に設けられたゲート電極と、を備え、

前記第1バリア層のIn組成率は、0以上、前記第2バリア層のIn組成率未満であり、前記第1バリア層のAl組成率は、前記第2バリア層のAl組成率以上である、半導体装置。

10

20

【請求項 2】

前記第 2 バリア層の格子定数平均値は、前記チャネル層の格子定数平均値より小さく、前記第 1 バリア層の格子定数平均値より大きい、
請求項 1 に記載の半導体装置。

【請求項 3】

前記チャネル層の格子定数平均値は、前記第 2 バリア層の格子定数平均値より小さく、前記第 1 バリア層の格子定数平均値以上である、
請求項 1 に記載の半導体装置。

【請求項 4】

前記ゲート電極の下方の前記第 1 バリア層の上面には第 2 リセス部が設けられ、
前記ゲート電極は、前記第 2 リセス部の底面に接触している、
請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

10

【請求項 5】

前記第 2 リセス部は、前記第 1 バリア層を貫通し、
前記ゲート電極は、前記第 2 バリア層に接触している、
請求項 4 に記載の半導体装置。

【請求項 6】

前記基板の平面視において、前記第 2 バリア層は、前記ゲート電極の前記ドレイン電極側端から前記ドレイン電極側に有限の第 1 長さ分張り出している、
請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

20

【請求項 7】

前記平面視において、前記第 2 バリア層は、前記ゲート電極の前記ソース電極側端から前記ソース電極側に有限の第 2 長さ分張り出しており、
前記第 1 長さは、前記第 2 長さより長い、
請求項 6 に記載の半導体装置。

【請求項 8】

前記基板の平面視において、前記ゲート電極は、前記第 2 バリア層の前記ソース電極側端よりも前記ソース電極側に張り出している、
請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記平面視において、前記ゲート電極は、前記第 2 バリア層の前記ドレイン電極側端よりも前記ドレイン電極側に張り出している、
請求項 8 に記載の半導体装置。

30

【請求項 10】

前記第 2 バリア層の厚さは、前記平面視における、前記ゲート電極の前記ドレイン電極側端位置の方が、前記ゲート電極の前記ソース電極側端位置よりも厚い、
請求項 6 に記載の半導体装置。

【請求項 11】

前記第 2 バリア層の前記ソース電極側または前記ドレイン電極側の側面は、前記第 1 バリア層の下面との間隔が前記第 2 バリア層の端部から中心部に向かって広がるように傾斜しており、
前記側面と前記下面とが為す角は、鋭角である、
請求項 6 に記載の半導体装置。

40

【請求項 12】

前記第 1 バリア層は、最下層にスペーサ層を含む複数層で構成されており、
前記スペーサ層のバンドギャップは、前記第 1 バリア層内の前記スペーサ層以外のいずれかの層のバンドギャップより大きい、
請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記ゲート電極の下方の前記第 1 バリア層の上面には前記スペーサ層に至る第 3 リセス

50

部が設けられ、

前記ゲート電極は、前記第3リセス部の底面に接触している、
請求項12に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、特に、III族窒化物半導体を用いたIII族窒化物半導体装置に関する。

【背景技術】

【0002】

III族窒化物半導体、特に、窒化ガリウム(GaN)または窒化アルミニウムガリウム(AlGaN)を用いたIII族窒化物半導体装置は、材料のバンドギャップの広さから、高い絶縁破壊電圧を有する。また、III族窒化物半導体装置では、AlGaN/GaN等のヘテロ構造を容易に形成できる。

【0003】

AlGaN/GaNヘテロ構造では、材料間での格子定数差から発生するピエゾ分極とAlGaNおよびGaNの自発分極とにより、AlGaN/GaN界面のGaN層側に高密度の電子(以下「2DEG(2 Dimensional Electron Gas): 2次元電子ガス」と称する)によるチャンネルが形成される。この2次元電子ガスのチャンネルを利用したIII族窒化物半導体装置は、電子飽和速度が比較的高く、かつ、耐絶縁性が比較的高く、熱伝導率も比較的高いことから、高周波パワーデバイスに應用されている。

【0004】

これらのIII族窒化物半導体装置において特性を高めるためには、ゲート寸法(以下、Lgで表す)の微細化が有効である。しかし、一般的に微細化によりLg<0.25μmとなると、ゲート下部の空乏層が広がりにくくなる。このため、短チャンネル効果と呼ばれるゲートオフ時の漏れ電流(ソースとドレインとの間のオフリーク電流)が流れてしまう現象が発生してしまう課題がある。そのため、短チャンネル効果は、出来る限り抑制するとよい。

【0005】

特許文献1には、チャンネル層にリセス部が設けられた窒化物半導体装置が開示されている。当該窒化物半導体装置は、リセス部以外の領域に設けられた第1キャリア供給層と、リセス部と第1キャリア供給層とを覆うように積層された第2キャリア供給層と、リセス部の上部に設けられたゲート電極と、を備えている。また、第2キャリア供給層は、第1キャリア供給層よりバンドギャップが小さい。

【先行技術文献】

【特許文献】

【0006】

【文献】国際公開第2013/008422号

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記特許文献1に記載された窒化物半導体装置によれば、ゲート電極下部の2DEGの電子密度と、ゲート電極下部以外の2DEGの電子密度とが同時に変動してしまう。つまり、ゲート電極下部の2DEGの電子密度を独立で制御できない。このため、チャンネルの狭窄が不十分となり、短チャンネル効果を抑制することができないという課題がある。

【0008】

本開示は、このような課題を鑑みてなされたものであり、短チャンネル効果を抑制することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 9 】

上記目的を達成するために、本開示に係る半導体装置の一態様は、基板と、前記基板の上方に設けられた、III族窒化物半導体からなるバックバリア層と、前記バックバリア層の上方に設けられ、ガリウム窒化物半導体からなり、前記バックバリア層よりバンドギャップが小さいチャンネル層と、前記チャンネル層の上方に設けられ、Alを含むIII族窒化物半導体からなり、前記チャンネル層よりバンドギャップが大きい第1バリア層と、前記チャンネル層の上面に設けられた第1リセス部を埋めるように設けられ、Alを含むIII族窒化物半導体からなり、前記チャンネル層よりバンドギャップが大きい第2バリア層と、前記チャンネル層と前記第1バリア層または前記第2バリア層との界面の前記チャンネル層側に発生する二次元電子ガスと、前記第1バリア層の上方に間隔を空けて設けられ、それぞれが前記二次元電子ガスに電氣的に接続されたソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極と間隔を空けて、前記第2バリア層の上方に設けられたゲート電極と、を備え、前記第1バリア層のIn組成率は、0以上、前記第2バリア層のIn組成率未満であり、前記第1バリア層のAl組成率は、前記第2バリア層のAl組成率以上である。

10

【発明の効果】

【 0 0 1 0 】

本開示に係る半導体装置によると、短チャンネル効果を抑制することができる。

【図面の簡単な説明】

【 0 0 1 1 】

20

【図1】図1は、実施の形態1に係る半導体装置の構成を示す断面図である。

【図2】図2は、実施の形態1の実施例1に係る半導体装置のゲート電極下部のエネルギーバンド図の伝導帯の模式図である。

【図3】図3は、実施の形態1の実施例2に係る半導体装置のゲート電極下部のエネルギーバンド図の伝導帯の模式図である。

【図4】図4は、実施の形態1の変形例1に係る半導体装置の構成を示す断面図である。

【図5】図5は、実施の形態1の変形例2に係る半導体装置の構成を示す断面図である。

【図6】図6は、実施の形態2に係る半導体装置の構成を示す断面図である。

【図7】図7は、実施の形態2の変形例1に係る半導体装置の構成を示す断面図である。

【図8】図8は、実施の形態2の変形例2に係る半導体装置の構成を示す断面図である。

30

【図9】図9は、実施の形態3に係る半導体装置の構成を示す断面図である。

【図10】図10は、実施の形態3の変形例に係る半導体装置の構成を示す断面図である。

【図11】図11は、実施の形態4に係る半導体装置の構成を示す断面図である。

【図12】図12は、実施の形態4の変形例に係る半導体装置の構成を示す断面図である。

【図13A】図13Aは、各実施の形態および各変形例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図13B】図13Bは、各実施の形態および各変形例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図13C】図13Cは、各実施の形態および各変形例に係る半導体装置の製造方法の一工程を説明するための断面図である。

40

【図13D】図13Dは、各実施の形態および各変形例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図13E】図13Eは、各実施の形態および各変形例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、本開示の一態様に係る半導体装置等の具体的な実施の形態について、図面を参照しながら説明する。

【 0 0 1 3 】

なお、以下で説明する実施の形態は、いずれも本開示の一具体例を示すものである。し

50

たがって、以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0014】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

【0015】

また、本明細書において、平行または垂直などの要素間の関係性を示す用語、および、矩形などの要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する表現である。

【0016】

また、本明細書において、半導体装置の構成における「上方」および「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構造における積層順を基に相対的な位置関係により規定される用語である。また、「上方」および「下方」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。

【0017】

また、本明細書および図面において、X軸、Y軸およびZ軸は、三次元直交座標系の三軸を示している。各実施の形態では、半導体装置が有する基板が含む主面（上面）に平行な二軸をX軸およびY軸とし、この主面に直交する方向をZ軸方向としている。具体的には、ソース電極、ゲート電極およびドレイン電極がこの順で並ぶ方向、すなわち、いわゆるゲート長方向をX軸方向としている。以下で説明する実施の形態において、Z軸正方向を「上方」と記載し、Z軸負方向を「下方」と記載する場合がある。また、本明細書において「平面視」とは、特に断りのない限り、半導体装置が有する基板の主面（上面）をZ軸正方向から見たときのことをいう。

【0018】

また、本明細書において、「第1」、「第2」などの序数詞は、特に断りの無い限り、構成要素の数または順序を意味するものではなく、同種の構成要素の混同を避け、区別する目的で用いられている。

【0019】

また、本明細書において、III族窒化物半導体とは、1種類以上のIII族元素と窒素とを含む半導体である。III族元素は、例えば、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）などである。III族窒化物半導体の例としては、GaN、AlN、InN、AlGaN、InGaN、AlInGaNなどである。III族窒化物半導体には、シリコン（Si）、リン（P）などのIII族以外の元素が1種類以上含まれていてもよい。なお、以下の説明において、特に断り無く、III族窒化物半導体をAlInGaNと表記した場合には、III族窒化物半導体は、Al、In、GaおよびNのいずれも含んでいることを意味する。AlGaN、GaN等の他の表記についても同様である。

【0020】

また、III族窒化物半導体からなる層、および、III族窒化物半導体によって構成される層とは、当該層が実質的にIII族窒化物半導体のみを含んでいることを意味する。ただし、当該層には、例えば製造上混入を避けられない元素など他の元素が不純物として、1at%以下の割合で含まれていてもよい。

【0021】

また、本明細書において、窒化物半導体（層）のIII族元素の組成率とは、窒化物半導体に含まれる複数のIII族元素のうちの、対象となるIII族元素の原子数の比を表

10

20

30

40

50

している。例えば、窒化物半導体層が $Al_a In_b Ga_c N$ ($a + b + c = 1$ 、 $a > 0$ 、 $b > 0$ 、 $c > 0$) からなる場合、当該窒化物半導体層の Al 組成率は、 $a / (a + b + c)$ で表すことができる。同様に、In 組成率、Ga 組成率はそれぞれ、 $b / (a + b + c)$ 、 $c / (a + b + c)$ で表される。

【0022】

(実施の形態1)

まず、実施の形態1に係る半導体装置について、図1を用いて説明する。図1は、実施の形態1に係る半導体装置100の構成を示す断面図である。

【0023】

半導体装置100は、III族窒化物半導体を用いて形成された窒化物半導体装置である。本実施の形態では、半導体装置100が高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)である場合について説明する。

10

【0024】

図1に示すように、半導体装置100は、基板101と、バッファ層102と、バックバリア層103と、チャンネル層104と、第1バリア層105と、第2バリア層106と、ゲート電極121と、ソース電極122と、ドレイン電極123と、第1の2DEG111と、第2の2DEG112と、を備える。

【0025】

実施の形態1に係る半導体装置100では、例えば、ゲートの閾値電圧は-3Vである。一例として、ソース電極122には0V、ドレイン電極123には+30V、ゲート電極121にはおおよそ-3Vから+1Vの間の電位を印加することによって半導体装置100を動作させる。なお、ドレイン電極123に印加する電位は、20V以上50V以下の範囲の電位であってもよい。また、ゲートの閾値電圧、順方向電圧および動作方法に応じて、各電極に印加する電位の値および範囲を調整してもよい。

20

【0026】

基板101は、例えば、主面が(111)面であるSiからなる基板である。基板101は、Siからなる基板に限らず、サファイア(Sapphire)、SiC、GaN、または、AlN等からなる基板であってもよい。

【0027】

バッファ層102は、基板101の上方に設けられている。例えば、バッファ層102は、基板101の上面に接触して設けられている。バッファ層102は、例えば、III族窒化物半導体からなる。一例として、バッファ層102は、厚さ2 μ mのAlNおよびAlGaNの複数の積層構造からなる。例えば、バッファ層102は、炭素濃度が $1E-19$ atoms \cdot cm $^{-3}$ 以上の領域を含むIII族窒化物半導体層によって構成される。あるいは、バッファ層102は、 $Al_{1-x}Ga_xN$ ($0 < x < 0.8$) 層を複数層積層した構造を有してもよい。なお、バッファ層102の厚さおよび炭素濃度は、上記例に限定されない。

30

【0028】

また、バッファ層102は、超格子構造を含んでもよい。具体的には、バッファ層102は、AlNとAlGaNとを1ペアとして、20以上100以下のペアが積層されて構成されてもよい。また、バッファ層102は、GaN、AlGaN、AlN、InGaN、または、AlInGaN等のIII族窒化物半導体の単層または複数層によって構成されていてもよい。なお、バッファ層102は設けられていなくてもよい。

40

【0029】

バックバリア層103は、基板101の上方に設けられた、III族窒化物半導体からなる層である。バックバリア層103は、チャンネル層104よりバンドギャップが大きく、バッファ層102の上面に接触して設けられている。バックバリア層103は、例えば、厚さが1000nm以上1395nm以下で、Al組成率が5%の $Al_{0.05}Ga_{0.95}N$ によって構成される。なお、バックバリア層103は、 $Al_{0.05}Ga_{0.95}N$

50

に限らない。バックバリア層 103 の Al 組成率は、1%以上10%以下であってもよい。また、バックバリア層 103 は、In を含んでもよい。なお、バックバリア層 103 には Fe、Mg または C をドーピングして、バックバリア層 103 のポテンシャルを持ち上げてよい。

【0030】

チャンネル層 104 は、バックバリア層 103 の上方に設けられている。例えば、チャンネル層 104 は、バックバリア層 103 の上面に接触して設けられている。チャンネル層 104 は、ガリウム窒化物半導体 (GaN) からなる。チャンネル層 104 は、バックバリア層 103 よりバンドギャップが小さい。チャンネル層 104 は、例えば、厚さ 100 nm の GaN によって構成される。なお、チャンネル層 104 の層厚は、20 nm 以上 150 nm 以下であってもよい。また、チャンネル層 104 は、一部に n 型の不純物が含まれていてもよい。

10

【0031】

第 1 バリア層 105 は、チャンネル層 104 よりバンドギャップが大きく、チャンネル層 104 の上方に設けられている。例えば、第 1 バリア層 105 は、チャンネル層 104 および第 2 バリア層 106 の各上面に接触して設けられている。第 1 バリア層 105 は、Al を含む III 族窒化物半導体からなる。なお、第 1 バリア層 105 は、AlGaN に限らず、AlInGaN 等の III 族窒化物半導体によって構成されていてもよい。また、第 1 バリア層 105 には、n 型の不純物が含まれていてもよい。

【0032】

なお、第 1 バリア層 105 上にはキャップ層として、例えば GaN からなる厚さが約 1 nm 以上約 2 nm 以下の層が設けられていてもよい。

20

【0033】

第 2 バリア層 106 は、第 1 リセス部 107 を埋めるように設けられている。具体的に言い換えると、第 2 バリア層 106 は、ゲート電極 121 の直下方向の第 1 バリア層 105 とチャンネル層 104 との間のチャンネル層 104 側に埋め込まれるように設けられている。なお、「直下方向」とは、平面視で重なる位置であることを意味する。

【0034】

本実施の形態では、第 2 バリア層 106 は、第 1 リセス部 107 を完全に埋めるように設けられている。このため、第 2 バリア層 106 の上面とチャンネル層 104 の上面 (第 1 リセス部 107 より外側の部分) とは、面一になっている。また、XZ 断面における第 2 バリア層 106 の断面形状と、第 1 リセス部 107 の断面形状とが実質的に一致している。

30

【0035】

なお、第 1 リセス部 107 は、チャンネル層 104 の上面に設けられている。第 1 リセス部 107 は、チャンネル層 104 の上面 (ここでは、チャンネル層 104 と第 1 バリア層 105 との界面) から基板 101 側に凹んだ凹部である。第 1 リセス部 107 は、平面視において、ゲート電極 121 と重なる位置に設けられている。言い換えると、第 1 リセス部 107 は、ゲート電極 121 の直下方向に位置している。

【0036】

本実施の形態では、図 1 に示すように、第 1 リセス部 107 の断面形状 (XZ 断面) が矩形である。すなわち、第 1 リセス部 107 の底面は、基板 101 の主面に平行である。また、第 1 リセス部 107 の側面は、基板 101 の主面に対して垂直である。なお、第 1 リセス部 107 の形状は、矩形には限定されない。例えば、第 1 リセス部 107 の側面は、基板 101 の主面に対して傾斜していてもよい。

40

【0037】

第 2 バリア層 106 は、Al を含む III 族窒化物半導体からなる。具体的には、第 2 バリア層 106 は、Al および In を含む III 族窒化物半導体からなる。第 2 バリア層 106 は、チャンネル層 104 よりバンドギャップが大きい。第 2 バリア層 106 には、n 型の不純物が含まれていてもよい。

【0038】

50

なお、図 1 には示されていないが、平面視におけるゲート電極 1 2 1 とドレイン電極 1 2 3 との間には、フィールドプレート電極が設けられてもよい。フィールドプレート電極が設けられた場合は、第 2 バリア層 1 0 6 は、フィールドプレート電極の直下方向に設けられてもよい。

【 0 0 3 9 】

ゲート電極 1 2 1 は、ソース電極 1 2 2 およびドレイン電極 1 2 3 との間に、各々とは間隔を空けて設けられている。本実施の形態では、ゲート電極 1 2 1 は、第 1 バリア層 1 0 5 の上方に設けられている。具体的には、ゲート電極 1 2 1 は、第 1 バリア層 1 0 5 の上面に接触して設けられている。

【 0 0 4 0 】

ゲート電極 1 2 1 は、導電性材料を用いて形成される。例えば、ゲート電極 1 2 1 は、TiN と Al とを順に積層した積層構造からなる多層電極膜である。なお、ゲート電極 1 2 1 は、TiN と Al とに限らず、TiN、WN、Ta₂N₅ もしくは HfN 等の導電性金属窒化膜、TiC、WC もしくは HfC 等の導電性金属炭化膜、または、Ti、Ta、W、Ni、Pd、Pt、Hf、Ru、Au もしくは Cu 等の金属単体もしくは合金でもよい。あるいは、ゲート電極 1 2 1 は、これらの元素を含んだ化合物でもよいし、複数の積層構造からなる多層電極膜であってもよい。

【 0 0 4 1 】

また、ゲート電極 1 2 1 のゲート長 L_g は、 $0.10 \mu\text{m}$ である。なお、ゲート電極 1 2 1 のゲート長 L_g は、 $0.15 \mu\text{m}$ に限らず、 $0.01 \mu\text{m}$ 以上 $0.25 \mu\text{m}$ 以下であってもよい。

【 0 0 4 2 】

また、ゲート電極 1 2 1 は、第 1 バリア層 1 0 5 と接触してショットキー接合している。なお、第 1 バリア層 1 0 5 とゲート電極 1 2 1 との間には絶縁膜が設けられてもよく、あるいは、p 型の窒化物半導体層が設けられてもよい。

【 0 0 4 3 】

ソース電極 1 2 2 とドレイン電極 1 2 3 とは、第 1 バリア層 1 0 5 の上方に間隔を空けて設けられている。具体的には、ソース電極 1 2 2 とドレイン電極 1 2 3 とは、間にゲート電極 1 2 1 を挟んで対向するように設けられている。

【 0 0 4 4 】

ソース電極 1 2 2 とドレイン電極 1 2 3 とは、導電性材料を用いて形成される。例えば、ソース電極 1 2 2 とドレイン電極 1 2 3 とは、Ti と Al とを順に積層した積層構造からなる多層電極膜である。なお、ソース電極 1 2 2 とドレイン電極 1 2 3 とは、Ti、Al の積層構造に限らず、Ti、Ta、Hf、Ru、Al もしくは W 等の金属単体もしくは合金、または、TiN、WN、Ta₂N₅ 等の導電性金属窒化膜でもあってもよい。

【 0 0 4 5 】

なお、第 1 バリア層 1 0 5 および / またはチャネル層 1 0 4 の一部を除去したりセス部を形成して、形成したりセス部内に Si などのドナーを含んだ n 型の不純物を含んだコンタクト層を設けてもよい。また、n 型の不純物を含んだコンタクト層は、プラズマ処理、イオン注入または再成長等により形成されてもよい。

【 0 0 4 6 】

また、ソース電極 1 2 2 とドレイン電極 1 2 3 とは、チャネル層 1 0 4 と第 1 バリア層 1 0 5 および第 2 バリア層 1 0 6 との界面のチャネル層 1 0 4 側に発生する 2 DEG に電氣的に接続されている。具体的には、ソース電極 1 2 2 とドレイン電極 1 2 3 とは、第 1 の 2 DEG 1 1 1 と電氣的にオーミック接続されている。

【 0 0 4 7 】

本実施の形態では、第 1 バリア層 1 0 5 および第 2 バリア層 1 0 6 の各々とチャネル層 1 0 4 との界面のチャネル層 1 0 4 側には、ピエゾ分極および自発分極の影響により、2 DEG が発生する。具体的には、第 1 バリア層 1 0 5 とチャネル層 1 0 4 との界面には、第 1 の 2 DEG 1 1 1 が発生する。第 2 バリア層 1 0 6 とチャネル層 1 0 4 との界面に第

10

20

30

40

50

2の2DEG112が発生する。

【0048】

ここで、第1バリア層105のIn組成率は、0以上、第2バリア層106のIn組成率未満である。すなわち、 $0 \leq \text{第1バリア層105のIn組成率} < \text{第2バリア層106のIn組成率}$ 、という関係が成立している。

【0049】

また、第1バリア層105のAl組成率は、第2バリア層106のAl組成率以上である。すなわち、 $\text{第1バリア層105のAl組成率} \geq \text{第2バリア層106のAl組成率}$ 、という関係が成立している。

【0050】

In組成率およびAl組成率に関する上記関係を満たすことによって、ゲート電極121の直下方向に発生する第2の2DEG112の電子密度(2DEG濃度とも称される)を、ゲート電極121の直下方向以外に発生する第1の2DEG111の電子密度よりも低くすることができる。このため、半導体装置100のオフ時には、ゲート電極121の直下方向に発生する空乏層が広がりやすくなるため、短チャネル効果を抑制することができる。

【0051】

次に、上述した構成を有する半導体装置100の具体的な2つの実施例1および2について説明する。実施例1および2は、第1バリア層105および第2バリア層106の構成以外の他の構成は互いに同じである。具体的には、チャンネル層104、第1バリア層105および第2バリア層106の各々の格子定数平均値の関係性が、実施例1と実施例2とで異なっている。なお、格子定数平均値は、例えば、III族窒化物半導体の元素組成比の平均値に基づいて算出可能である。

【0052】

<実施例1>

実施例1では、第2バリア層106の格子定数平均値は、チャンネル層104の格子定数平均値より小さく、第1バリア層105の格子定数平均値より大きい。すなわち、格子定数平均値に関して、以下の関係式(1)が成立している。

【0053】

(1) チャンネル層104 > 第2バリア層106 > 第1バリア層105

III族窒化物半導体では、In組成率が高くなる程、格子定数平均値が大きくなる。一方で、Al組成率またはGa組成率が高くなる程、格子定数平均値が小さくなる。AlとGaとで比較すると、Ga組成率が高くなる程、格子定数平均値が大きくなる。Al組成率が高くなる程、格子定数平均値が小さくなる。例えば、AlN、GaN、InNの各々の格子定数平均値は、 $\text{AlN} < \text{GaN} < \text{InN}$ の関係を満たしている。なお、バンドギャップは、格子定数平均値とは逆の関係を有する。すなわち、AlN、GaN、InNの各々のバンドギャップは、 $\text{AlN} > \text{GaN} > \text{InN}$ の関係を満たしている。

【0054】

実施例1では、第1バリア層105は、厚さが20nmで、Al組成率が27%の $\text{Al}_{0.27}\text{Ga}_{0.73}\text{N}$ によって構成される。また、第2バリア層106は、厚さが20nmで、In組成率が4%、Al組成率が23%の $\text{In}_{0.04}\text{Al}_{0.23}\text{Ga}_{0.73}\text{N}$ である。

【0055】

このように、第1バリア層105のIn組成率は、第2バリア層106のIn組成率より低い。また、第1バリア層105のAl組成率は、第2バリア層106のAl組成率より高い。また、実施例1では、第1バリア層105および第2バリア層106の各々のGa組成率は、50%より大きく、より具体的には70%より大きい。このような組成率の関係により、GaNからなるチャンネル層104に対して、上述した格子定数平均値の関係式(1)を満たすことができる。なお、第1バリア層105と第2バリア層106とでは、厚さおよびGa組成率が互いに同じであるが、これに限定されない。上述した格子定数

10

20

30

40

50

平均値の関係が満たされれば、In組成率、Al組成率およびGa組成率は、適宜変更可能である。

【0056】

以上の構成により、実施例1では、第1バリア層105および第2バリア層106に加わる引張応力を低減できる。したがって、ゲート電極121の直下方向のピエゾ分極量が低減するため、第1の2DEG111の電子密度よりも、第2の2DEG112の電子密度を低減することができる。

【0057】

図2は、実施の形態1の実施例1に係る半導体装置100のゲート電極121下部のエネルギーバンド図の伝導帯の模式図である。図2には、比較例1として、第2バリア層106および第1リセス部107が存在しない半導体装置のゲート電極下部のエネルギーバンド図の伝導帯も破線で表している。なお、比較例1に係る半導体装置では、チャンネル層104の上面が平坦であり、当該平坦な上面に第1バリア層105が接触している。

10

【0058】

図2に示すように、ゲート電極121の直下方向において、第1バリア層105直下の第1リセス部107に第2バリア層106を埋め込むことで、ゲート電極121の直下方向の第1バリア層105および第2バリア層106中のピエゾ分極の総分極量が低減する。このため、第2バリア層106下部の伝導帯が上昇して、第1の2DEG111の電子密度よりも第2の2DEG112の電子密度が低減することがわかる。このように、第1の2DEG111の電子密度に影響を与えずに、第2の2DEG112の電子密度を独立して制御することができる。

20

【0059】

<実施例2>

実施例2では、チャンネル層104の格子定数平均値は、第2バリア層106の格子定数平均値より小さく、第1バリア層105の格子定数平均値以上である。すなわち、格子定数平均値に関して、以下の関係式(2)が成立している。

【0060】

(2) 第2バリア層106 > チャンネル層104 第1バリア層105

実施例2では、第1バリア層105および第2バリア層106がそれぞれ、AlおよびInを含むIII族窒化物半導体からなる。具体的には、第1バリア層105は、厚さが5nmで、In組成率が6%、Al組成率が83%の $In_{0.6}Al_{0.83}Ga_{0.11}N$ によって構成される。また、第2バリア層106は、厚さが5nmで、In組成率が24%、Al組成率が65%の $In_{0.24}Al_{0.65}Ga_{0.11}N$ によって構成される。

30

【0061】

このように、第1バリア層105のIn組成率は、第2バリア層106のIn組成率より低い。また、第1バリア層105のAl組成率は、第2バリア層106のAl組成率より高い。また、実施例2では、第1バリア層105および第2バリア層106の各々のGa組成率は、50%未満であり、より具体的には20%未満である。このような組成率の関係により、GaNからなるチャンネル層104に対して、上述した格子定数平均値の関係式(2)を満たすことができる。なお、第1バリア層105と第2バリア層106とでは、厚さおよびGa組成率が互いに同じであるが、これに限定されない。上述した格子定数平均値の関係が満たされれば、In組成率、Al組成率およびGa組成率は、適宜変更可能である。

40

【0062】

以上の構成により、実施例2では、第2バリア層106に対して圧縮応力を加えることができる。したがって、第2バリア層106に生じるピエゾ分極の向きが逆転して、第1バリア層105および第2バリア層106中のピエゾ分極の総分極量が低減する。このため、第2バリア層106の下部の伝導帯が上昇して、第1の2DEG111の電子密度よりも、さらに第2の2DEG112の電子密度を低減することができる。

【0063】

50

図3は、実施の形態1の実施例2に係る半導体装置100のゲート電極121下部のエネルギーバンド図の伝導帯の模式図である。図3には、図2と同様に、比較例2として、第2バリア層106および第1リセス部107が存在しない半導体装置のゲート電極下部のエネルギーバンド図の伝導帯も破線で表している。

【0064】

図3に示すように、ゲート電極121の直下方向において、第1バリア層105直下の第1リセス部107に第2バリア層106を埋め込むことで、ゲート電極121の直下方向のピエゾ分極の向きが逆転する。このため、第1の2DEG111の電子密度よりも第2の2DEG112の電子密度が低減することがわかる。このように、第1の2DEG111の電子密度に影響を与えずに、第2の2DEG112の電子密度を独立して制御することができる。

10

【0065】

なお、実施例1および2で示した第1バリア層105および第2バリア層106の膜厚および元素の組成率は、一例にすぎない。例えば、第1バリア層105および第2バリア層106の膜厚は、任意の層厚としてもよい。ただし、第1の2DEG111および第2の2DEG112の電子密度が飽和する領域となるように、第1バリア層105および第2バリア層106の膜厚を調整することが好ましい。

【0066】

以上のように、本実施の形態に係る半導体装置100は、基板101と、基板101の上方に設けられた、III族窒化物半導体からなるバックバリア層103と、バックバリア層103の上方に設けられ、ガリウム窒化物半導体からなり、バックバリア層103よりバンドギャップが小さいチャンネル層104と、チャンネル層104の上方に設けられ、Alを含むIII族窒化物半導体からなり、チャンネル層104よりバンドギャップが大きい第1バリア層105と、チャンネル層104の上面に設けられた第1リセス部107を埋めるように設けられ、Alを含むIII族窒化物半導体からなり、チャンネル層104よりバンドギャップが大きい第2バリア層106と、チャンネル層104と第1バリア層105または第2バリア層106との界面のチャンネル層104側に発生する二次元電子ガスと、第1バリア層105の上方に間隔を空けて設けられ、それぞれが二次元電子ガスに電気的に接続されたソース電極122およびドレイン電極123と、ソース電極122およびドレイン電極123と間隔を空けて、第2バリア層106の上方に設けられたゲート電極121と、を備える。第1バリア層105のIn組成率は、0以上、第2バリア層106のIn組成率未満である。第1バリア層105のAl組成率は、第2バリア層106のAl組成率以上である。

20

30

【0067】

上記構成により、チャンネル層104内には第1バリア層105および第2バリア層106との界面近傍に第1の2DEG111および第2の2DEG112が発生するので、発生した第1の2DEG111および第2の2DEG112をチャンネルとして利用したトランジスタを実現することができる。また、ゲート電極121の直下方向の第1バリア層105下の第1リセス部107に第2バリア層106を埋め込まれているので、バックバリア層103と第2バリア層106との距離を短縮できる。このため、トランジスタのオフ時に、チャンネル層104内のチャンネルを狭窄できる。

40

【0068】

また、第2バリア層106が設けられていることにより、第1の2DEG111の電子密度に影響を与えずに、第2の2DEG112の電子密度のみを独立に制御することができる。例えば、第2バリア層のIn組成率およびAl組成率を、上記関係を満たす範囲内で調整することによって、第2の2DEG112の電子密度を、第1の2DEG111の電子密度より低減することができる。このようにすることで、トランジスタのオフ時にドレイン電圧を印加したときに、チャンネル層104内のゲート電極121の直下方向において空乏層を広がりやすくすることができ、短チャンネル効果を抑制することができる。このため、トランジスタのオフ時のソース電極122とドレイン電極123との間のリーク電

50

流を抑制することができる。

【0069】

また、本実施の形態に係る半導体装置100では、実施例1で示したように、第2バリア層106の格子定数平均値は、チャネル層104の格子定数平均値より小さく、第1バリア層105の格子定数平均値より大きくてもよい。

【0070】

上記構成により、ゲート電極121の直下方向においては、第1バリア層105および第2バリア層106に加わる引張応力を低減することができる。このため、ゲート電極121の直下方向の第2のDEG112の電子密度を低減することができるので、空乏層を広がりやすくすることができ、短チャネル効果を抑制することができる。

10

【0071】

また、本実施の形態に係る半導体装置100では、実施例2で示したように、チャネル層104の格子定数平均値は、第2バリア層106の格子定数平均値より小さく、第1バリア層105の格子定数平均値以上であってもよい。

【0072】

上記構成により、第2バリア層106に圧縮応力が加わるので、ゲート電極121の直下方向の第2のDEG112の電子密度をさらに低減することができる。このため、空乏層をより広がりやすくすることができ、短チャネル効果をより強く抑制することができる。

【0073】

(実施の形態1の変形例)

続いて、実施の形態1の変形例について説明する。

【0074】

以下に示す変形例では、実施の形態1と比較して、第1バリア層にリセス部が設けられている点が相違する。すなわち、ゲート電極121の下部には、第2リセス部が設けられる。以下では、実施の形態1との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

20

【0075】

まず、変形例1について、図4を用いて説明する。図4は、実施の形態1の変形例1に係る半導体装置100Aの構成を示す断面図である。図4に示すように、変形例1に係る半導体装置100Aでは、ゲート電極121の下方の第1バリア層105の上面に第2リセス部108Aが設けられている。第2リセス部108Aは、主にゲート電極121の下部の第1バリア層105の一部を除去することによって形成される。

30

【0076】

第2リセス部108Aは、第1バリア層105の上面(ここでは、第1バリア層105とソース電極122またはドレイン電極123との界面)から基板101側に凹んだ凹部である。第2リセス部108Aは、平面視において、ゲート電極121と重なる位置に設けられている。

【0077】

本変形例では、図4に示すように、第2リセス部108Aの断面形状(XZ断面)が矩形である。すなわち、第2リセス部108Aの底面は、基板101の主面に平行である。また、第2リセス部108Aの側面は、基板101の主面に対して垂直である。なお、第2リセス部108Aの形状は、矩形には限定されない。例えば、第2リセス部108Aの側面は、基板101の主面に対して傾斜していてもよい。

40

【0078】

第2リセス部108Aは、ゲート長方向(X軸方向)における幅が、第1リセス部107より短い。第2リセス部108Aは、平面視において、第1リセス部107からソース電極122側およびドレイン電極123側の各々に張り出さないように設けられている。

【0079】

本変形例では、ゲート電極121は、第2リセス部108Aの底面に接触している。ゲ

50

ート電極 121 は、第 2 リセス部 108A を埋めるように設けられている。なお、ゲート電極 121 の一部は、第 2 リセス部 108A からソース電極 122 側またはドレイン電極 123 側に張り出すように設けられていてもよい。

【0080】

以上のように、本変形例に係る半導体装置 100A では、ゲート電極 121 の下方の第 1 バリア層 105 の上面には第 2 リセス部 108A が設けられ、ゲート電極 121 は、第 2 リセス部 108A の底面に接触している。

【0081】

このように、第 2 リセス部 108A が設けられていることで、第 2 リセス部 108A の直下方向の第 2 の 2DEG 112 の電子密度を低くできる、また、ゲート電極 121 と第 2 の 2DEG 112 との間隔をさらに短くできる。このため、さらに空乏層が広がりやすくなるので、短チャネル効果をより強く抑制することができる。

【0082】

次に、変形例 2 について、図 5 を用いて説明する。図 5 は、実施の形態 1 の変形例 2 に係る半導体装置 100B の構成を示す断面図である。図 5 に示すように、変形例 2 に係る半導体装置 100B では、図 4 と同様に、ゲート電極 121 の下方の第 1 バリア層 105 の上面に第 2 リセス部 108B が設けられている。第 2 リセス部 108B は、第 1 バリア層 105 を貫通している。具体的には、第 2 リセス部 108B は、主にゲート電極 121 の下部の第 1 バリア層 105 の全部と、第 2 バリア層 106 の一部とを除去することによって形成される。第 2 リセス部 108B は、深さ方向（Z 軸方向）の長さが異なる点を除いて、図 4 に示した第 2 リセス部 108A と同様の特徴を有する。

【0083】

本変形例では、ゲート電極 121 は、第 2 バリア層 106 に接触している。なお、ゲート電極 121 の底部と第 2 の 2DEG 112 との間隔は、例えば 3nm 以上 15nm 以下である。これにより、第 2 の 2DEG 112 を消失させずに、チャネルとして機能させることができる。

【0084】

以上のように、本変形例に係る半導体装置 100B では、第 2 リセス部 108B は、第 1 バリア層 105 を貫通し、ゲート電極 121 は、第 2 バリア層 106 に接触している。

【0085】

このようにすることで、第 2 リセス部 108B の直下方向の第 2 の 2DEG 112 の電子密度を、図 4 に示した構成の場合よりも低くできる。また、ゲート電極 121 の底部と第 2 の 2DEG 112 との間隔をより短くできる。このため、さらに空乏層が広がりやすくなる。また、ゲート電極 121 の底部と第 2 の 2DEG 112 との間隔をさらに短くできるため、トランジスタの相互コンダクタンス（gm）を向上できるので、トランジスタの応答性を高めることができる。

【0086】

なお、変形例 2 では、第 2 リセス部 108B は、第 1 バリア層 105 を貫通するのみでもよい。すなわち、第 2 リセス部 108B を形成する際に、第 2 バリア層 106 の一部を除去しなくてもよい。この場合、第 2 リセス部 108B の底面は、第 1 バリア層 105 と第 2 バリア層 106 との界面と面一であってもよい。

【0087】

（実施の形態 2）

続いて、実施の形態 2 について説明する。

【0088】

実施の形態 2 では、実施の形態 1 と比較して、ゲート電極と第 2 バリア層との相対的な位置関係が相違する。以下では、実施の形態 1 との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

【0089】

まず、図 1 に示した半導体装置 100 におけるゲート電極 121 と第 2 バリア層 106

10

20

30

40

50

との位置関係と、その利点とについて、図 1 を用いて説明する。

【 0 0 9 0 】

図 1 に示した半導体装置 1 0 0 では、平面視において、第 2 バリア層 1 0 6 は、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部（ドレイン電極側端）からドレイン電極 1 2 3 側に有限の第 1 長さ分張り出している。第 1 長さは、図 1 に示す距離 D_{BD} に相当する。ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部とは、平面視におけるゲート電極 1 2 1 の輪郭のうち、最もドレイン電極 1 2 3 に近い部分である。

【 0 0 9 1 】

このようにすることで、ゲート電極 1 2 1 の端部の直下方向に発生する 2 DEG は、第 2 の 2 DEG 1 1 2 となり電子密度が低くなる。このため、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部に集中する電界を緩和することができる。よって、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間のオフリーク電流を低減できる。

10

【 0 0 9 2 】

また、実施の形態 1 では、第 2 バリア層 1 0 6 は、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部（ソース電極側端）からソース電極 1 2 2 側に有限の第 2 長さ分張り出している。第 2 長さは、図 1 に示す距離 D_{BS} に相当する。ゲート電極 1 2 1 のソース電極 1 2 2 側の端部とは、平面視におけるゲート電極 1 2 1 の輪郭のうち、最もソース電極 1 2 2 に近い部分である。

【 0 0 9 3 】

図 1 に示す例では、第 1 長さ（距離 D_{BD} ）と第 2 長さ（距離 D_{BS} ）とは、互いに等しい。なお、第 1 長さ（距離 D_{BD} ）は、例えば、ゲート電極 1 2 1 とドレイン電極 1 2 3 との距離の $1/2$ 以下であるが、 $1/4$ 以下であってもよい。第 1 長さが長くなり過ぎないようにすることで、電子密度が低くてオン抵抗が高い第 2 の 2 DEG 1 1 2 が広くなりすぎないようにすることができる。このため、トランジスタのオン時のオン抵抗の増大を抑制することができる。また、第 2 長さ（距離 D_{BS} ）は、例えば、ゲート電極 1 2 1 とソース電極 1 2 2 との距離の $1/2$ 以下であるが、 $1/4$ 以下であってもよい。第 2 長さが長くなりすぎないようにすることで、電子密度が低くてオン抵抗が高い第 2 の 2 DEG 1 1 2 が広くなりすぎないようにすることができる。このため、トランジスタのオン時のオン抵抗の増大を抑制することができる。

20

【 0 0 9 4 】

なお、本実施の形態に記載はないフィールドプレート電極をゲート電極 1 2 1 とドレイン電極 1 2 3 との間に設けた場合、第 2 バリア層 1 0 6 は、フィールドプレート電極のドレイン電極 1 2 3 側の端部よりも、ドレイン電極 1 2 3 側に張り出してもよい。このとき、第 2 バリア層 1 0 6 は、連続的に設けられてもよく、不連続にして設けられてもよい。あるいは、第 1 リセス部 1 0 7 の深さを変えることで第 2 バリア層 1 0 6 の厚みを適宜厚くしても薄くしてもよい。このようにすることで、電流コラプスを低減できる。

30

【 0 0 9 5 】

以上のように、実施の形態 1 に係る半導体装置 1 0 0 においても、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間のオフリーク電流を低減することができる。また、以下に図 6 を用いて説明する本実施の形態に係る半導体装置によれば、より効果的に、オフリーク電流を低減することができる。

40

【 0 0 9 6 】

図 6 は、実施の形態 2 に係る半導体装置 2 0 0 の構成を示す断面図である。図 6 に示すように、実施の形態 2 に係る半導体装置 2 0 0 は、第 1 長さ（距離 D_{BD} ）は、第 2 長さ（距離 D_{BS} ）より長い。このようにすることで、ドレイン電極 1 2 3 側のゲート電極 1 2 1 の端部に集中する電界をさらに緩和して、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間のオフリーク電流を低減できる。

【 0 0 9 7 】

以上のように、本実施の形態に係る半導体装置 2 0 0 では、基板 1 0 1 の平面視において、第 2 バリア層 1 0 6 は、ゲート電極 1 2 1 のドレイン電極 1 2 3 側端からドレイン電

50

極 1 2 3 側に有限の第 1 長さ (距離 D_{BD}) 分張り出している。

【 0 0 9 8 】

上記構成により、電子密度が薄い第 2 の 2 DEG 1 1 2 が、ドレイン電極 1 2 3 側へ延在する。このため、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部における電界集中を緩和することができ、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間のリーク電流を抑制することができる。

【 0 0 9 9 】

また、本実施の形態に係る半導体装置 2 0 0 では、基板 1 0 1 の平面視において、第 2 バリア層 1 0 6 は、ゲート電極 1 2 1 のソース電極 1 2 2 側端からソース電極 1 2 2 側に有限の第 2 長さ (距離 D_{BS}) 分張り出しており、第 1 長さ (距離 D_{BD}) は、第 2 長さ (距離 D_{BS}) より長い。

10

【 0 1 0 0 】

上記構成により、電子密度が薄い第 2 の 2 DEG 1 1 2 が、ドレイン電極 1 2 3 側およびソース電極 1 2 2 側の各々へ延在する。このため、ゲート電極 1 2 1 のドレイン電極 1 2 3 側およびソース電極 1 2 2 側の両端部における電界集中を緩和することができ、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間、および、ゲート電極 1 2 1 とソース電極 1 2 2 との間の各々のリーク電流を抑制することができる。

【 0 1 0 1 】

また、トランジスタのオフ時には、ゲート - ソース間よりもゲート - ドレイン間に、より高い電圧差が生じることが多い。このため、第 2 バリア層 1 0 6 のドレイン電極 1 2 3 側へ張り出した第 1 長さ (距離 D_{BD}) を、第 2 バリア層 1 0 6 のソース電極 1 2 2 側へ張り出した第 2 長さ (距離 D_{BS}) より長くすることにより、電界が集中しやすいドレイン電極 1 2 3 側の端部への電界緩和効果を高め、リーク電流の抑制効果を高めることができる。

20

【 0 1 0 2 】

(実施の形態 2 の変形例)

続いて、実施の形態 2 の変形例について説明する。

【 0 1 0 3 】

以下に示す変形例では、実施の形態 1 および 2 と比較して、ゲート電極と第 2 バリア層との相対的な位置関係が相違する。以下では、実施の形態 1 および 2 との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

30

【 0 1 0 4 】

まず、変形例 1 について、図 7 を用いて説明する。図 7 は、実施の形態 2 の変形例 1 に係る半導体装置 2 0 0 A の構成を示す断面図である。図 7 に示すように、変形例 1 に係る半導体装置 2 0 0 A では、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のソース電極 1 2 2 側の端部 (ソース電極側端) よりもソース電極 1 2 2 側に張り出している。具体的には、ゲート電極 1 2 1 は、有限の第 3 長さ分張り出している。第 3 長さは、図 7 に示す距離 D_{GS} に相当する。第 2 バリア層 1 0 6 のソース電極 1 2 2 側の端部とは、平面視における第 2 バリア層 1 0 6 の輪郭のうち、最もソース電極 1 2 2 に近い部分である。

【 0 1 0 5 】

40

この構成により、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部の直下方向には、第 2 バリア層 1 0 6 が設けられていない。ゲート電極 1 2 1 のソース電極 1 2 2 側の端部の直下方向には、第 1 の 2 DEG 1 1 1 が発生している。

【 0 1 0 6 】

図 7 に示すように、距離 D_{GS} は、距離 D_{BD} より短い。ゲート電極 1 2 1 がソース電極 1 2 2 に近づきすぎないようにすることで、ゲート - ソース間の電界集中を緩和し、ゲート電極 1 2 1 とソース電極 1 2 2 との間のリーク電流を低減することができる。なお、距離 D_{GS} は、距離 D_{BD} に等しくてもよく、距離 D_{BD} より長くてもよい。

【 0 1 0 7 】

以上のように、変形例 1 に係る半導体装置 2 0 0 A では、基板 1 0 1 の平面視において

50

、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のソース電極 1 2 2 側端よりもソース電極 1 2 2 側に張り出している。

【 0 1 0 8 】

このようにすることで、平面視でゲート電極 1 2 1 とソース電極 1 2 2 との間に位置する第 1 の 2 D E G 1 1 1 が、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部と重なる部分にまで延在する。第 1 の 2 D E G 1 1 1 は、電子密度が高くて抵抗が低い領域である。このため、電子密度が高い第 1 の 2 D E G 1 1 1 が長く伸び、電子密度が低い第 2 の 2 D E G 1 1 2 を短くできるので、オン抵抗の低抵抗化が実現できる。一方で、ドレイン電極 1 2 3 側では第 2 バリア層 1 0 6 がゲート電極 1 2 1 よりも張り出すように設けられているので、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部に集中する電界を緩和することができる。このように、電界緩和によるオフリーク電流を低減しつつ、オン抵抗を低減できる。

10

【 0 1 0 9 】

次に、変形例 2 について、図 8 を用いて説明する。

【 0 1 1 0 】

図 8 は、実施の形態 2 の変形例 2 に係る半導体装置 2 0 0 B の構成を示す断面図である。図 8 に示すように、変形例 2 に係る半導体装置 2 0 0 B では、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 の端部と比べて、ソース電極 1 2 2 側およびドレイン電極 1 2 3 側の両側に張り出している。

【 0 1 1 1 】

20

具体的には、図 7 に示す半導体装置 2 0 0 A と同様に、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のソース電極 1 2 2 側の端部（ソース電極側端）よりもソース電極 1 2 2 側に有限の第 3 長さ（距離 D_{GS} ）分張り出している。また、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のドレイン電極 1 2 3 側の端部（ドレイン電極側端）よりもドレイン電極 1 2 3 側に有限の第 4 長さ分張り出している。第 4 長さは、図 8 に示す距離 D_{GD} に相当する。第 2 バリア層 1 0 6 のドレイン電極 1 2 3 側の端部とは、平面視における第 2 バリア層 1 0 6 の輪郭のうち、最もドレイン電極 1 2 3 に近い部分である。

【 0 1 1 2 】

図 8 に示すように、距離 D_{GS} は、距離 D_{GD} と等しいが、これに限定されない。距離 D_{GS} は、距離 D_{GD} より短くてもよく、距離 D_{BD} より長くてもよい。例えば、距離 D_{GS} を距離 D_{GD} より長くすることで、ドレイン電極 1 2 3 側での電界集中を緩和しながら、オン抵抗を低減することができる。

30

【 0 1 1 3 】

以上のように、変形例 2 に係る半導体装置 2 0 0 B では、基板 1 0 1 の平面視において、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のドレイン電極 1 2 3 側端よりもドレイン電極 1 2 3 側に張り出している。また、半導体装置 2 0 0 B では、半導体装置 2 0 0 A と同様に、基板 1 0 1 の平面視において、ゲート電極 1 2 1 は、第 2 バリア層 1 0 6 のソース電極 1 2 2 側端よりもソース電極 1 2 2 側に張り出している。

【 0 1 1 4 】

このようにすることで、平面視でゲート電極 1 2 1 とソース電極 1 2 2 およびドレイン電極 1 2 3 の各々との間に位置する第 1 の 2 D E G 1 1 1 が、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部またはドレイン電極 1 2 3 側の端部と重なる部分にまで延在する。このため、電子密度が高い第 1 の 2 D E G 1 1 1 がソース電極 1 2 2 側およびドレイン電極 1 2 3 側の各々に延在し、電子密度が低い第 2 の 2 D E G 1 1 2 を短くできるため、オン抵抗を低減できる。

40

【 0 1 1 5 】

なお、本実施の形態または各変形例に係る半導体装置 2 0 0、2 0 0 A または 2 0 0 B においても、実施の形態 1 の変形例 1 に係る第 2 リセス部 1 0 8 A が設けられて、ゲート電極 1 2 1 の一部が第 1 バリア層 1 0 5 に埋め込まれるように設けられてもよい。また、半導体装置 2 0 0 では、実施の形態 1 の変形例 2 に係る第 2 リセス部 1 0 8 B が設けられ

50

て、ゲート電極 1 2 1 が第 2 バリア層 1 0 6 に接触していてもよい。空乏層を広がりやすくすることができ、トランジスタのオフリーク電流を低減することができる。

【 0 1 1 6 】

(実施の形態 3)

続いて、実施の形態 3 について説明する。

【 0 1 1 7 】

実施の形態 3 では、実施の形態 1 と比較して、第 2 バリア層の形状が相違する。以下では、実施の形態 1 との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

【 0 1 1 8 】

図 9 は、実施の形態 3 に係る半導体装置 3 0 0 の構成を示す断面図である。図 9 に示すように、実施の形態 3 に係る半導体装置 3 0 0 では、第 2 バリア層 1 0 6 の厚さは、ソース電極 1 2 2 側の方がドレイン電極 1 2 3 側より薄い。具体的には、第 2 バリア層 1 0 6 は、平面視における、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部位置（ドレイン電極側端位置）の方が、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部位置（ソース電極側端位置）よりも厚い。

10

【 0 1 1 9 】

より具体的には、図 9 に示すように、第 2 バリア層 1 0 6 は、薄膜部 1 0 6 a と、薄膜部 1 0 6 a よりも厚い厚膜部 1 0 6 b と、を有する。薄膜部 1 0 6 a は、平面視において、ゲート電極 1 2 1 のソース電極 1 2 2 側の端部位置に重なっている。厚膜部 1 0 6 b は、平面視において、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部位置に重なっている。

20

【 0 1 2 0 】

厚さが異なる第 2 バリア層 1 0 6 は、第 1 リセス部 1 0 7 の底面に段差を形成しておくことによって形成される。底面に段差がある第 1 リセス部 1 0 7 は、例えば、チャンネル層 1 0 4 のエッチングを段階的に行うことによって形成される。

【 0 1 2 1 】

このように、第 2 バリア層 1 0 6 の厚みが異なることで、第 2 バリア層 1 0 6 とチャンネル層 1 0 4 との界面近傍に発生する 2 D E G の電子密度が異なる。具体的には、ドレイン電極 1 2 3 側の第 2 の 2 D E G 1 1 2 の電子密度より、ソース電極 1 2 2 側の第 3 の 2 D E G 1 1 3 の電子密度を高くできる。このため、ゲート電極 1 2 1 のドレイン電極 1 2 3 側の端部を電界緩和してゲート電極 1 2 1 とドレイン電極 1 2 3 との間のオフリーク電流を低減しつつ、オン抵抗を低減できる。

30

【 0 1 2 2 】

なお、図 9 に示す例では、第 2 バリア層 1 0 6 は、厚膜部 1 0 6 b よりもドレイン電極 1 2 3 に近い部分に、膜厚が薄い部分を有するが、これに限定されない。厚膜部 1 0 6 b は、第 2 バリア層 1 0 6 のドレイン電極 1 2 3 側の端部にまで延在していてもよい。

【 0 1 2 3 】

以上のように、本実施の形態に係る半導体装置 3 0 0 では、第 2 バリア層 1 0 6 の厚さは、基板 1 0 1 の平面視における、ゲート電極 1 2 1 のドレイン電極 1 2 3 側端位置の方が、ゲート電極 1 2 1 のソース電極 1 2 2 側端位置よりも厚い。

【 0 1 2 4 】

これにより、ソース電極 1 2 2 側には、ドレイン電極 1 2 3 側の第 2 の 2 D E G 1 1 2 よりも電子密度が濃い第 3 の 2 D E G 1 1 3 が発生する。このため、オン抵抗の低抵抗化とドレイン電極 1 2 3 側の電界緩和によるオフリーク電流の低減とを両立させることができる。

40

【 0 1 2 5 】

(実施の形態 3 の変形例)

続いて、実施の形態 3 の変形例について説明する。

【 0 1 2 6 】

以下に示す変形例では、実施の形態 1 と比較して、第 2 バリア層の側面の形状が相違する。以下では、実施の形態 1 との相違点を中心に説明を行い、共通点の説明を省略または

50

簡略化する。

【0127】

図10は、実施の形態3の変形例に係る半導体装置300Aの構成を示す断面図である。図10に示すように、変形例に係る半導体装置300Aでは、第2バリア層106の側面が傾斜している。具体的には、第2バリア層106のソース電極122側およびドレイン電極123側の側面は、第1バリア層105との間隔が第2バリア層106の端部から中心部に向かって広がるように傾斜している。

【0128】

傾斜している側面は、例えば、滑らかに湾曲した傾斜面である。傾斜面は、下方に凸で湾曲している。なお、傾斜している側面は、平坦面であってもよい。また、ソース電極122側およびドレイン電極123側の一方の側面は、傾斜していなくてもよい。

10

【0129】

第2バリア層106の側面の傾斜角度は、第1バリア層105の下面に対して鋭角である。なお、傾斜角度は、第2バリア層106と第1バリア層105との接触面と側面とがなす角度で表される。第2バリア層106の側面の傾斜角度は、例えば、45度以下であり、一例として30度である。なお、傾斜角度が小さいほど、オン抵抗を低減できる。

【0130】

傾斜している側面とチャンネル層104との界面には、チャンネル層104側に第4の2DEG114が発生する。第2バリア層106の厚みが側面の傾斜によりソース電極122側およびドレイン電極123側の各々の端部で薄くなるため、当該端部近傍の第4の2DEG114の電子密度が高くなる。このため、オン抵抗の低減が可能である。また、第4の2DEG114は、傾斜している側面の形状に沿って発生するので、第1の2DEG111と第2の2DEG112との間を滑らかに接続することができる。このため、2DEG内の電子散乱を抑制することができ、オン抵抗を低減することができる。

20

【0131】

以上のように、本変形例に係る半導体装置300Aでは、第2バリア層106のソース電極122側またはドレイン電極123側の側面は、第1バリア層105の下面との間隔が第2バリア層106の端部から中心部に向かって広がるように傾斜しており、第2バリア層106の側面と第1バリア層105の下面とがなす角は、鋭角である。

【0132】

このようにすることで、チャンネルである2DEGの、第2バリア層106の段差による電子散乱を抑制してオン抵抗を低減できる。また、第2バリア層106の側面を鋭角で傾斜させることにより、第2の2DEG112の電子密度より第4の2DEG114の電子密度を高くできるため、オン抵抗を低減できる。

30

【0133】

なお、本実施の形態または各変形例に係る半導体装置300または300Aにおいても、実施の形態1の変形例1に係る第2リセス部108Aが設けられて、ゲート電極121の一部が第1バリア層105に埋め込まれるように設けられてもよい。また、半導体装置300または300Aでは、実施の形態1の変形例2に係る第2リセス部108Bが設けられて、ゲート電極121が第2バリア層106に接触していてもよい。空乏層を広がりやすくすることができ、トランジスタのオフリーク電流を低減することができる。また、半導体装置300または300Aでは、第2バリア層106とゲート電極121との位置関係は、実施の形態2またはその変形例で説明した位置関係を満たしていてもよい。

40

【0134】

(実施の形態4)

続いて、実施の形態4について説明する。

【0135】

実施の形態4では、実施の形態1と比較して、第1バリア層がスペーサ層を有する点が相違する。以下では、実施の形態1との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

50

【 0 1 3 6 】

図 1 1 は、実施の形態 4 に係る半導体装置 4 0 0 の構成を示す断面図である。図 1 1 に示すように、実施の形態 4 に係る半導体装置 4 0 0 は、第 1 バリア層 1 0 5 の構成層数は 2 層以上である。具体的には、第 1 バリア層 1 0 5 は、スペーサ層 1 0 5 a と、バリア層 1 0 5 b と、を含む。バリア層 1 0 5 b は、例えば、実施の形態 1 ~ 3 で示した第 1 バリア層 1 0 5 と同様の構成を有する。

【 0 1 3 7 】

スペーサ層 1 0 5 a は、第 1 バリア層 1 0 5 を構成する全層のうち、最下層に位置する層である。スペーサ層 1 0 5 a のバンドギャップは、第 1 バリア層 1 0 5 内のスペーサ層 1 0 5 a 以外のいずれかの層よりバンドギャップが大きい。図 1 0 に示す例では、スペーサ層 1 0 5 a のバンドギャップは、バリア層 1 0 5 b のバンドギャップおよびチャンネル層 1 0 4 のバンドギャップのいずれよりも大きい。例えば、スペーサ層 1 0 5 a のバンドギャップは、第 1 バリア層 1 0 5 を構成する全ての層の中で最もバンドギャップが大きい層であってもよい。

10

【 0 1 3 8 】

スペーサ層 1 0 5 a は、例えば、厚さが 2 nm で、Al 組成率が 1 0 0 % の AlN である。なお、スペーサ層 1 0 5 a の Al 組成率は、3 0 % 以上 1 0 0 % 未満の範囲であってもよい。また、スペーサ層 1 0 5 a の厚さは、任意の膜厚としてもよい。

【 0 1 3 9 】

また、図 1 1 に示す例では、スペーサ層 1 0 5 a は、第 2 バリア層 1 0 6 の上面を接触して覆っているが、これに限定されない。第 1 バリア層 1 0 5 のうち、第 2 バリア層 1 0 6 の上面と接する部分にはスペーサ層 1 0 5 a が設けられていなくてもよい。この場合、第 2 バリア層 1 0 6 の上面には、バリア層 1 0 5 b が接触している。

20

【 0 1 4 0 】

また、スペーサ層 1 0 5 a は、第 2 バリア層 1 0 6 の側面と底面との少なくとも一方に設けられてもよい。この場合、第 2 バリア層 1 0 6 の上面に接するスペーサ層 1 0 5 a はなくてもかまわない。

【 0 1 4 1 】

以上のように、本実施の形態に係る半導体装置 4 0 0 では、第 1 バリア層 1 0 5 は、最下層にスペーサ層 1 0 5 a を含む複数層で構成されている。スペーサ層 1 0 5 a のバンドギャップは、第 1 バリア層 1 0 5 内のスペーサ層 1 0 5 a 以外のいずれかの層のバンドギャップより大きい。

30

【 0 1 4 2 】

このようにすることで、ゲート電極 1 2 1 の直下方向以外の部分に位置する第 1 バリア層 1 0 5 の直下方向の電子の移動度を向上させて低抵抗化が可能であり、かつ、ゲート電極 1 2 1 の直下方向では、第 1 バリア層 1 0 5 のポテンシャルが高くなって、ゲート電極 1 2 1 とドレイン電極 1 2 3 との間のオフリーク電流を低減できる。

【 0 1 4 3 】

(実施の形態 4 の変形例)

続いて、実施の形態 4 の変形例について説明する。

40

【 0 1 4 4 】

以下に示す変形例では、実施の形態 4 と比較して、第 1 バリア層にリセス部が設けられている点が相違する。以下では、実施の形態 4 との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

【 0 1 4 5 】

図 1 2 は、実施の形態 4 の変形例に係る半導体装置 4 0 0 A の構成を示す断面図である。図 1 2 に示すように、変形例に係る半導体装置 4 0 0 A では、ゲート電極 1 2 1 下方の第 1 バリア層 1 0 5 の上面には、スペーサ層 1 0 5 a に至る第 3 リセス部 1 0 9 が設けられている。

【 0 1 4 6 】

50

第3リセス部109は、第1バリア層105を構成する全ての層のうち、スペーサ層105a以外の層を貫通している。図12に示す例では、第3リセス部109は、バリア層105bを貫通している。第3リセス部109の底面は、スペーサ層105aとバリア層105bとの界面と面一である。なお、第3リセス部109は、スペーサ層105aの一部を除去することで形成されてもよい。すなわち、第3リセス部109の底面は、スペーサ層105aとバリア層105bとの界面よりも下方に位置していてもよい。第3リセス部109の形状および配置は、実施の形態1の変形例に係る第2リセス部108Aまたは108Bと同じである。

【0147】

図12に示すように、ゲート電極121は、第3リセス部109の底面に接触している。すなわち、ゲート電極121は、スペーサ層105aと接触している。

10

【0148】

以上のように、本実施の形態に係る半導体装置400Aでは、ゲート電極121の下方の第1バリア層105の上面にはスペーサ層105aに至る第3リセス部109が設けられ、ゲート電極121は、第3リセス部109の底面に接触している。

【0149】

このようにすることで、ショットキー障壁が高くなり、さらにゲート電極121とドレイン電極123との間のオフリーク電流をさらに低減できる。

【0150】

なお、本実施の形態または各変形例に係る半導体装置400または400Aにおいても、第3リセス部109の代わりに、実施の形態1の変形例1に係る第2リセス部108Aが設けられて、ゲート電極121の一部が第1バリア層105に埋め込まれるように設けられてもよい。また、半導体装置400または400Aでは、第3リセス部109の代わりに、実施の形態1の変形例2に係る第2リセス部108Bが設けられて、ゲート電極121が第2バリア層106に接触していてもよい。空乏層を広がりやすくすることができ、トランジスタのオフリーク電流を低減することができる。また、半導体装置400または400Aでは、第2バリア層106とゲート電極121との位置関係は、実施の形態2またはその変形例で説明した位置関係を満たしていてもよい。また、半導体装置400または400Aでは、第2バリア層106の形状が、実施の形態3またはその変形例で説明した形状であってもよい。

20

30

【0151】

(各実施の形態および各変形例に係る半導体装置の製造方法)

続いて、上述した各実施の形態および各変形例に係る半導体装置の製造方法について説明する。以下では、図1に示した実施の形態1に係る半導体装置100の製造方法を中心に説明を行う。なお、実施の形態の実施例1と実施例2との製造方法は、チャンネル層104、第1バリア層105、第2バリア層106の厚さやAl組成率およびIn組成率のみが異なるため、実施例1で代表して説明をする。

【0152】

以下、図13A～図13Eを参照しながら、実施の形態1における半導体装置100の製造方法を説明する。

40

【0153】

図13A～図13Eは、それぞれ、製造途上における半導体装置100の構成を示す断面図である。

【0154】

まず、図13Aに示すように、Siからなる基板101上に、有機金属気相成長法(MOCVD: Metal Organic Chemical Vapor Deposition)を用いて、厚さが2 μ mでAlNおよびAlGa_{0.05}Nの積層構造からなるバッファ層102と、厚さが1000nmでAl組成率が5%のAl_{0.05}Ga_{0.95}Nからなるバックバリア層103と、厚さが100nmでGa_{0.05}Nからなるチャンネル層104と、InAlGa_{0.95}Nからなる窒化物半導体層106Aとを+c面方向(<0001>方向)に順

50

次、半導体結晶成長装置内で連続して、エピタキシャル成長させる。

【0155】

バッファ層102の成長条件は、例えば、成長温度は600 から1200 の条件を適用した。なお、成長圧力は、減圧条件を適用し、例えば50 KPa以下である。

【0156】

バックバリア層103の成長条件は、例えば、成長温度は900 から1200 の条件を適用する。あるいは、成長温度は、1000 から1150 の範囲であってもよい。より良好な膜質のバックバリア層103を形成することができる。また、成長圧力は、減圧条件を適用し、例えば80 KPa以下である。なお、バックバリア層103には、不純物として炭素(C)や鉄(Fe)などを添加することも可能である。

10

【0157】

チャンネル層104の成長条件は、例えば、成長温度は900 から1200 の条件を適用する。あるいは、成長温度は、1000 から1150 の範囲であってもよい。より良好な膜質のチャンネル層104を形成することができる。また、成長圧力は、常圧ないしは減圧条件のどちらを適用しても構わない。また、チャンネル層104に意図的に不純物を添加しないGaNを用いることで、不純物が原因によって生じる、ドレイン電流が過渡的に低下する、いわゆる電流コラプスを抑制することができる。

【0158】

窒化物半導体層106Aの成長条件は、例えば、成長温度は500 から900 の条件を適用する。あるいは、成長温度は、550 から750 の範囲であってもよい。より良好な膜質の窒化物半導体層106Aを形成することができる。また、成長圧力は、常圧ないしは減圧条件のどちらを適用しても構わない。

20

【0159】

なお、窒化物半導体層106Aは、H₂およびN₂の混合ガスからなるキャリアガスのガス流量比率は、例えば、以下の式(1)を満たす。これにより、窒化物半導体層106Aのエッチングを抑制することができる。

【0160】

$$N_2 \text{ ガス流量} / (H_2 \text{ ガス流量} + N_2 \text{ ガス流量}) = 0.5 \dots \text{式(1)}$$

【0161】

また、H₂およびN₂の混合ガスからなるキャリアガスのガス流量比率は、以下の式(2)を満たしてもよい。これにより、エッチングの抑制効果をさらに高めることができる。

30

【0162】

$$N_2 \text{ ガス流量} / (H_2 \text{ ガス流量} + N_2 \text{ ガス流量}) = 1.0 \dots \text{式(2)}$$

【0163】

次に、図13Bに示すように、第2バリア層106を形成する領域に、レジストを塗布した後にリソグラフィ法を用いてレジストをパターニングする。次に、ドライエッチング法を用いて、第2バリア層106を形成する領域の窒化物半導体層106Aの全部と、チャンネル層104の20nmとを除去することにより、第1リセス部107を形成する。なお、本実施の形態では、ドライエッチング法を用いているが、ウェットエッチング法を用いて第1リセス部107を形成してもよいし、ドライエッチング法を用いた後にウェットエッチング法を用いてもよい。

40

【0164】

なお、第1リセス部107の形状、位置および大きさは、レジストのパターニングで除去する部分の形状、位置および大きさによって調整可能である。第1リセス部107の形状、位置および大きさを調整することにより、実施の形態2もしくは3またはこれらの変形例に係る第1リセス部107を形成することができる。例えば、異なるレジストパターンによるエッチングを2段階で行うことで、図9に示したような底面に段差を有する第1リセス部107を形成することができる。また、図10に示したような側面が傾斜した第1リセス部107は、レジストの端部形状を傾斜させておくことにより形成することができる。

50

【0165】

ドライエッチング処理の具体例として、本実施の形態では、例えば、ICP (Inductively Coupled Plasma) ドライエッチング装置によるプラズマ処理について説明する。なお、容量結合型 (CCP: Capacitively Coupled Plasma) または電子サイクロン共鳴 (ECR: Electron Cyclotron Resonance) ドライエッチング装置によるプラズマ処理を用いてもよい。

【0166】

ICPドライエッチング装置によるエッチング処理は、例えば、ガス原料としてBCl₃を用いて、10 sccm以上30 sccm以下のガス流量でBCl₃ガスを導入することで行う。このとき、BCl₃ガスの他に、HBr、SiCl₄、Cl₂またはCCl₄を添加してもよい。また、不活性ガスであるAr (アルゴン) またはHe (ヘリウム) を導入して希釈してもよい。エッチング処理の設定条件としては、例えば、エッチング処理雰囲気圧力は0.5 Pa以上3 Pa以下であり、13.56 MHz電源による上部電極への印加電力を50 W以上200 W以下で、13.56 MHz電源による下部電極への印加電力を5 W以上20 W以下で、基板温度は0 以上20 以下である。

10

【0167】

ウェットエッチ処理の具体例として、アンモニア過酸化水素水 (APM: Ammonium - Hydrogen Peroxide Mixture) によるエッチング処理について説明する。なお、水酸化テトラメチルアンモニウム (TMAH: Tetramethyl Ammonium Hydroxide)、水酸化カリウム (KOH) 等によるエッチング処理をしてもよい。

20

【0168】

APMによるエッチング処理の設定は、例えば、HN₄OH : H₂O₂ : H₂O = 1 : 1 : 5の割合で、薬液の温度は70 である。ここで、アルカリ性の薬液のpH値は、10以上14以下としてもよいし、薬液の温度は、65 以上としてもよい。これにより、ドライエッチングにより生じた欠陥を除去することができる。

【0169】

このとき、窒化物半導体層106Aの表面をハードマスクで覆って、ウェットエッチング後に除去してもよい。このようにすることで、チャンネル層104において窒化物半導体層106Aを貫通したアルカリ性の薬液による結晶欠陥の増大を抑制することができる。

30

【0170】

次に、図13Cに示すように、窒化物半導体層106Aからマストランスポート法により、第1リセス部107を埋め込むように第2バリア層106を形成する。第2バリア層106は、例えば、厚さ20 nmのIn組成率が4%、Al組成率が23%のIn_{0.04}Al_{0.23}Ga_{0.73}Nである。

【0171】

以下、マストランスポート法により第2バリア層106を形成する方法を詳細に説明する。窒化物半導体成長装置内に投入した後、H₂およびN₂の混合ガスからなるキャリアガスとNH₃からなるV族原料ガスの雰囲気にて、昇温加熱する。また、この昇温加熱の際、III族原料となる有機金属は窒化物半導体成長装置内に供給しない。

40

【0172】

次に、H₂およびN₂の混合ガスからなるキャリアガスとNH₃との雰囲気にて昇温加熱することで、H₂およびN₂の混合ガスからなるキャリアガスとNH₃とのエッチング効果により、窒化物半導体層106Aの表面より、III族原子である、In原子、Al原子およびGa原子と、V族原子であるNとが離脱する。

【0173】

窒化物半導体層106Aの表面から離脱した、III族原子である、In原子、Al原子およびGa原子は、NH₃から分解したV族原子であるN原子の供給と相まって、マストランスポート現象が発生する。H₂およびN₂の混合ガスからなるキャリアガスとNH₃

50

との雰囲気にて、昇温加熱することで生じるマスランスポート現象により、In原子、Al原子、Ga原子、およびN原子は、位置エネルギーの低い第1リセス部107に移動し、第1リセス部107を埋め込むことができる。これにより、第2バリア層106が形成され、チャンネル層104の上部に形成された窒化物半導体層106Aは消失する。また、マスランスポート現象による、各原子の孔の方向への移動と、各原子の孔の内部への堆積とにより、図13Cに示すように、チャンネル層104の上面および第2バリア層106の表面は凹凸がなく面一となる。

【0174】

なお、組成が $In_{0.04}Al_{0.23}Ga_{0.73}N$ の第2バリア層106を得るには、窒化物半導体層106Aの組成や、マスランスポート現象の発生時の温度、圧力、キャリアガス流量などの条件や、マスランスポート現象の経過時間などを適切に制御することで実現することができる。

10

【0175】

また、マスランスポート現象によって第2バリア層106を形成するときのキャリアガスのガス流量比は、例えば、上述した式(1)の条件を満たす。これにより、図13Cに示すようにチャンネル層104および第2バリア層106の表面が露出した状態で、 H_2 および N_2 の混合ガスからなるキャリアガスと NH_3 とによる過剰なエッチングを抑制することができる。また、ガス流量比は、上述した式(2)の上面を満たした場合には、エッチング効果をさらに抑制することができる。

【0176】

20

本実施の形態では、マスランスポート法で第2バリア層106を形成するが、これに限定されない。窒化物半導体層106Aを形成せずにマスク層を形成して第1リセス部107を形成した後に、選択成長法により第2バリア層106を形成してからマスク層を除去してもよい。

【0177】

なお、第2バリア層106を形成した後、チャンネル層104上に、図11および図12で示したスペーサ層105aを形成しておいてもよい。また、第2バリア層106を形成する前に、スペーサ層105aを形成してもよい。スペーサ層105aは、MOCVD法によって形成することができる。

【0178】

30

次に、図13Dに示すように、MOCVD法にて半導体結晶成長装置内で連続して、チャンネル層104と第2バリア層106との上に第1バリア層105を形成する。第2バリア層106は、例えば、厚さ20nmで、Al組成率が27%の $Al_{0.27}Ga_{0.73}N$ である。

【0179】

このようにすることで、第1バリア層105と第2バリア層106とをチャンネル層104の上部に形成することで、チャンネル層104と第1バリア層105および第2バリア層106との界面に、自発分極および格子定数差によるピエゾ分極の影響により2DEGが形成される。つまり、チャンネル層104と第1バリア層105との界面には第1の2DEG111が、チャンネル層104と第2バリア層106との界面には第2の2DEG112

40

【0180】

また、このとき、実施例1に係る半導体装置100では、第1バリア層105と第2バリア層106とでは、In組成率が0 第1バリア層105 < 第2バリア層106 の関係を満たし、かつ、Al組成率が第1バリア層105 第2バリア層106 の関係を満たしている。そして、格子定数平均値は、チャンネル層104 > 第2バリア層106 > 第1バリア層105 の関係を満たしていることにより、第1バリア層105と第2バリア層106とへの引張応力を低減できる。したがって、ゲート電極121下方のピエゾ分極量が低減するため、第1の2DEG111の電子密度よりも第2の2DEG112の電子密度を低減できる。

50

【 0 1 8 1 】

第 1 バリア層 1 0 5 の成長条件は、例えば、成長温度は 9 0 0 から 1 2 0 0 の条件を適用する。あるいは、成長温度は、1 0 0 0 から 1 1 5 0 の範囲であってもよい。また、成長圧力は、減圧条件を適用する。例えば、成長圧力は、8 0 K P a 以下である。より良好な膜質の第 1 バリア層 1 0 5 を形成することができる。なお、当然ながら必要に応じて第 1 バリア層 1 0 5 の A 1 組成および膜厚の変更、形成する条件の変更は可能である。

【 0 1 8 2 】

次に、図 1 3 E に示すように、塩酸による前洗浄をして、スパッタ法により T i および A 1 を順に堆積させた後、リソグラフィ法およびドライエッチング法を順に適用して T i および A 1 の積層膜をパターンングすることにより、所定形状のソース電極 1 2 2 およびドレイン電極 1 2 3 を第 1 バリア層 1 0 5 の上に形成する。なお、リソグラフィ法およびリフトオフ法を順に適用することにより、所定形状のソース電極 1 2 2 およびドレイン電極 1 2 3 を形成してもよい。次に、窒素雰囲気下で熱処理を行うことにより、ソース電極 1 2 2 およびドレイン電極 1 2 3 と第 1 の 2 D E G 1 1 1 とのオーミックコンタクトを形成する。

10

【 0 1 8 3 】

次に、スパッタ法により T i N および A 1 を順に堆積させた後にリソグラフィ法およびドライエッチング法を順に適用して T i N および A 1 の積層膜をパターンングすることにより、ゲート電極 1 2 1 を第 1 バリア層 1 0 5 の上に形成する。なお、リソグラフィ法およびリフトオフ法を順に適用することにより、所定形状のゲート電極 1 2 1 を形成してもよい。

20

【 0 1 8 4 】

以上の一連の工程を経ることで、図 1 に示した構造の半導体装置 1 0 0 が完成する。

【 0 1 8 5 】

なお、ゲート電極 1 2 1 を形成する前に、第 2 リセス部 1 0 8 A もしくは 1 0 8 B または第 3 リセス部 1 0 9 を形成してもよい。第 2 リセス部 1 0 8 A もしくは 1 0 8 B または第 3 リセス部 1 0 9 は、第 1 リセス部 1 0 7 と同様に、レジストの塗布およびパターンングと、エッチングと、レジストの除去とを順に行うことによって形成される。これにより、図 4、図 5 または図 1 2 に示した半導体装置 1 0 0 A、1 0 0 B または 4 0 0 A を形成することができる。

30

【 0 1 8 6 】

(他の実施の形態)

以上、1 つまたは複数の態様に係る半導体装置について、実施の形態に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。例えば、実施の形態に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態における構成要素および機能を任意に組み合わせることによって実現される形態も本開示の範囲内に含まれる。

【 0 1 8 7 】

また、上記の各実施の形態は、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

40

【 産業上の利用可能性 】

【 0 1 8 8 】

本開示に係る半導体装置は、高速動作が要求される通信機器やインバータ、および、電源回路等に用いられるパワースイッチング素子等に有用である。

【 符号の説明 】

【 0 1 8 9 】

1 0 0、1 0 0 A、1 0 0 B、2 0 0、2 0 0 A、2 0 0 B、3 0 0、3 0 0 A、4 0 0、4 0 0 A 半導体装置

1 0 1 基板

50

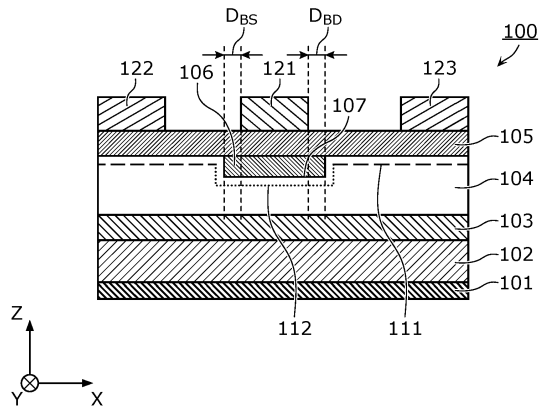
- 102 バッファ層
- 103 バックバリア層
- 104 チャンネル層
- 105 第1バリア層
- 105 a スペース層
- 105 b バリア層
- 106 第2バリア層
- 106 A 窒化物半導体層
- 106 a 薄膜部
- 106 b 厚膜部
- 107 第1リセス部
- 108 A、108 B 第2リセス部
- 109 第3リセス部
- 111 第1の2DEG
- 112 第2の2DEG
- 113 第3の2DEG
- 114 第4の2DEG
- 121 ゲート電極
- 122 ソース電極
- 123 ドレイン電極

10

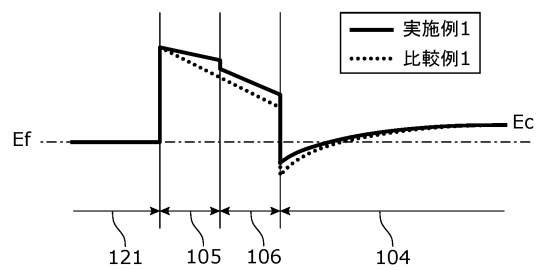
20

【図面】

【図1】



【図2】

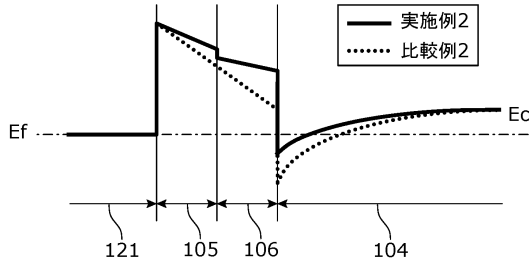


30

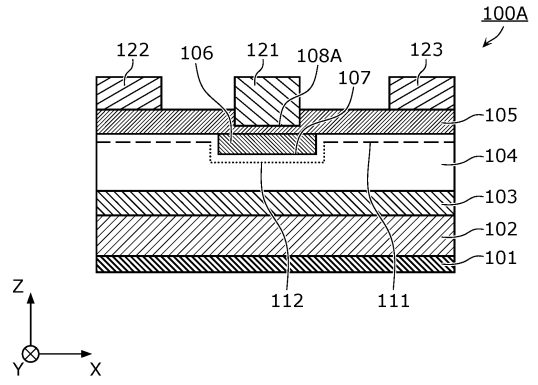
40

50

【 図 3 】

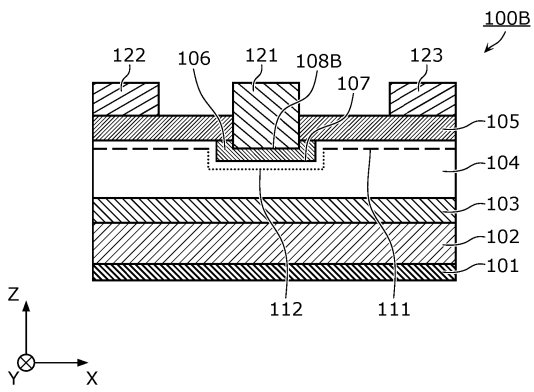


【 図 4 】

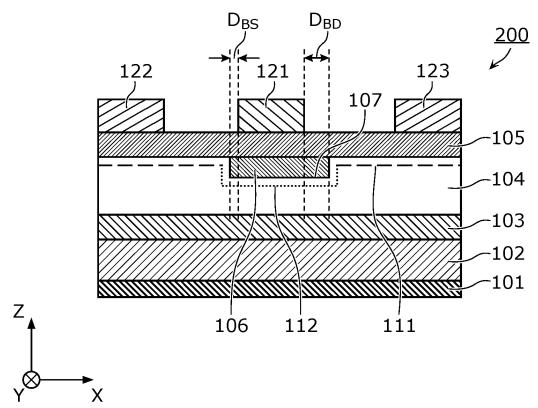


10

【 図 5 】



【 図 6 】



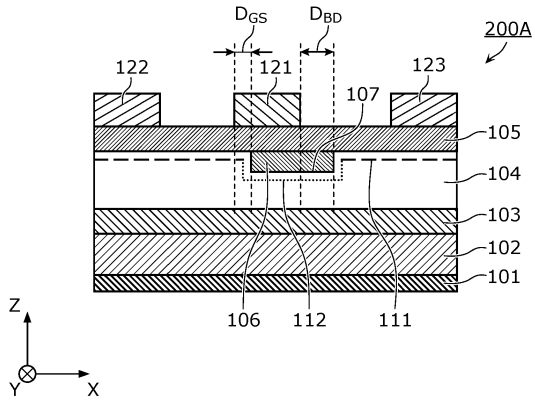
20

30

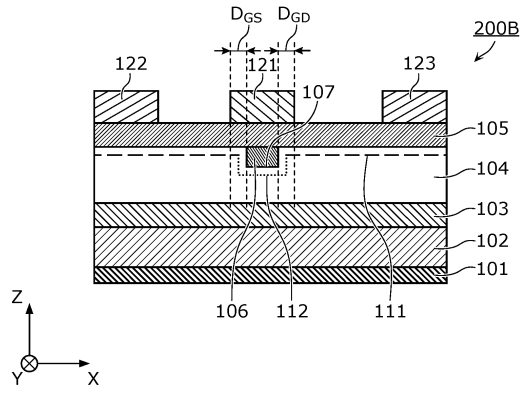
40

50

【 図 7 】

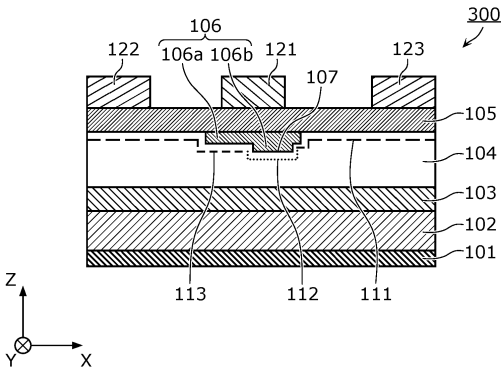


【 図 8 】

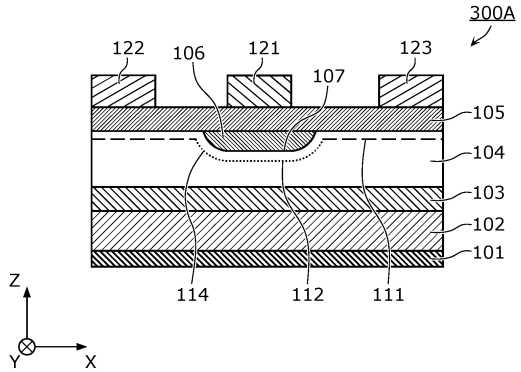


10

【 図 9 】

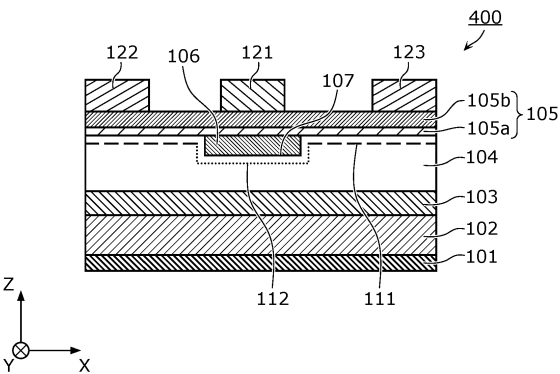


【 図 10 】

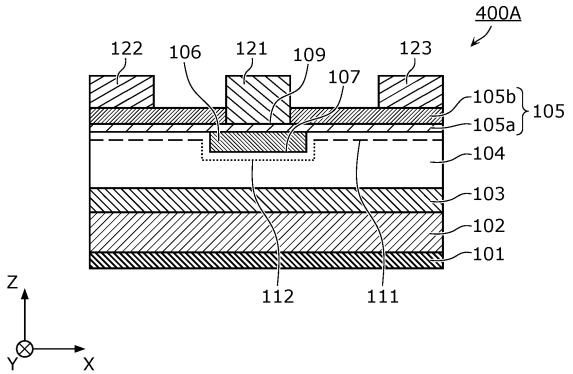


20

【 図 11 】



【 図 12 】

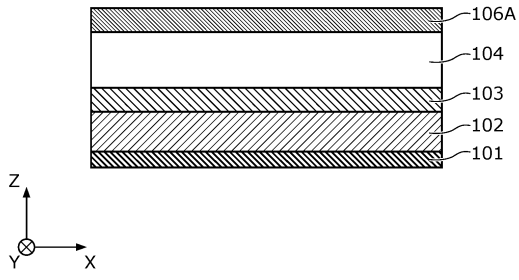


30

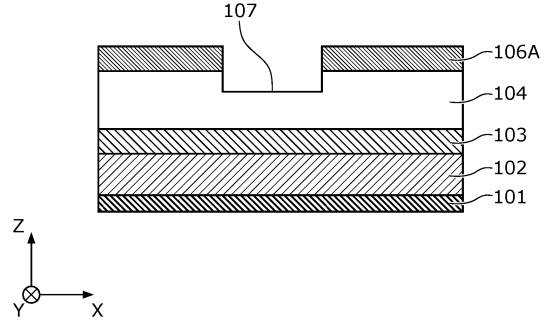
40

50

【図 1 3 A】

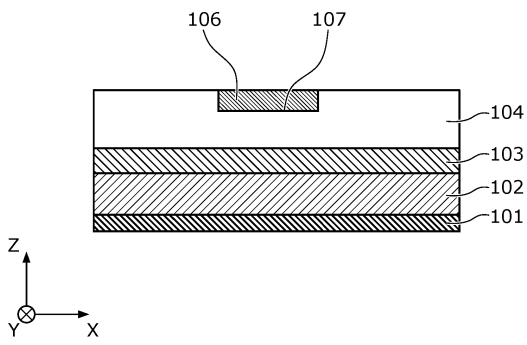


【図 1 3 B】

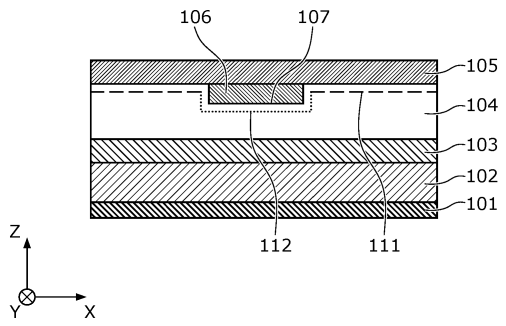


10

【図 1 3 C】

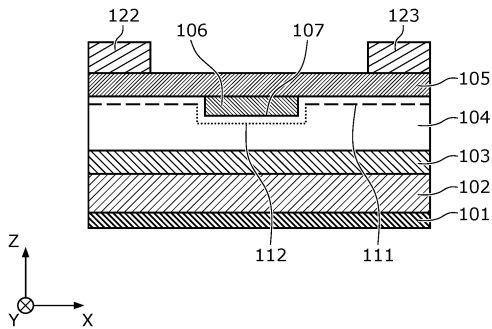


【図 1 3 D】



20

【図 1 3 E】



30

40

50

フロントページの続き

ットフィールズテクノロジー株式会社内

審査官 上田 智志

- (56)参考文献 特開 2 0 0 9 - 0 7 6 8 4 5 (J P , A)
特表 2 0 1 2 - 5 1 0 1 7 2 (J P , A)
特開 2 0 1 4 - 0 7 2 3 9 7 (J P , A)
特表 2 0 1 5 - 5 3 6 5 7 0 (J P , A)
特表 2 0 2 1 - 5 1 0 4 6 1 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 3 0 0 8 3 5 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 8、2 9 / 7 8 8、2 9 / 8 1 2