

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 31 日(31.10.2013)



(10) 国際公開番号
WO 2013/161577 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2013/060939
- (22) 国際出願日: 2013 年 4 月 11 日(11.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-097793 2012 年 4 月 23 日(23.04.2012) JP
- (71) 出願人: 株式会社日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 Tokyo (JP).
- (72) 発明者: 丹代 裕(TANDAI Yutaka); 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP).
- (74) 代理人: 平木 祐輔, 外(HIRAKI Yusuke et al.); 〒1056232 東京都港区愛宕 2 丁目 5 番 1 号 愛宕グリーンヒルズMORIタワー 3 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシヤ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

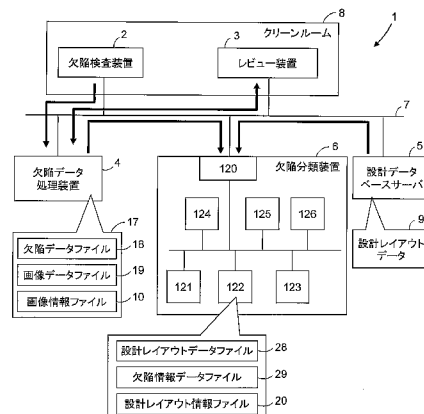
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEFECT CATEGORIZATION DEVICE AND PROGRAM FOR SEMICONDUCTOR DEFECT CATEGORIZATION DEVICE

(54) 発明の名称: 半導体欠陥分類装置及び半導体欠陥分類装置用のプログラム

図 1



- 2 Defect inspection device
- 3 Review device
- 4 Defect data processing device
- 5 Design database server
- 6 Defect categorization device
- 8 Cleanroom
- 9 Design layout data
- 10 Image information file
- 18 Defect data file
- 19 Image data file
- 20 Design layout information file
- 28 Design layout data file
- 29 Defect information data file

(57) Abstract: Provided is a semiconductor defect categorization device (6) that categorizes semiconductor wafer defects. The semiconductor defect categorization device (6) is provided with the following: a display unit (126); memory units (122, 126) that store an inspection image that includes the portion to be inspected on a semiconductor wafer and semiconductor wafer design layout information comprising a plurality of manufacturing steps; and a calculation unit (121) that displays the inspection image and the design layout information on the display unit (126). The calculation unit (121) obtains at least one first layout data item and inspection image from the memory units (122, 126) and displays the first layout data and the inspection image overlaid on the display unit.

(57) 要約:

[続葉有]



本発明は、半導体ウェハの欠陥を分類する半導体欠陥分類装置 6 である。半導体欠陥分類装置 6 は、表示部 1 2 6 と、半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる半導体ウェハの設計レイアウト情報とを格納する記憶部 1 2 2、1 2 6 と、検査画像と設計レイアウト情報とを表示部 1 2 6 に表示する演算部 1 2 1 とを備え、演算部 1 2 1 は、少なくとも 1 つの第 1 のレイアウトデータと検査画像とを記憶部 1 2 2、1 2 6 から取得し、第 1 のレイアウトデータと検査画像とを前記表示部に重ねて表示する。

明 細 書

発明の名称：

半導体欠陥分類装置及び半導体欠陥分類装置用のプログラム

技術分野

[0001] 本発明は、半導体デバイス設計評価過程及び製造過程のウェハ又はチップにおけるシステムティック欠陥を含む欠陥を分類する半導体欠陥分類装置に関する。

背景技術

[0002] 半導体デバイスの製造歩留まり低下の原因は、主に異物や不純物のようなランダムに発生する欠陥とされ、欠陥検査装置や欠陥レビュー装置でその要因を探り、製造工程に対策を施すことで歩留まりを維持していた。しかしながら、近年、半導体デバイスのパターン最小線幅は32 nmから22 nm、10 nmへと微細化が進んできており、設計レイアウトに依存した欠陥の比率が高まってきている。

[0003] このレイアウト依存性のある欠陥は、システムティック欠陥と呼ばれている。システムティック欠陥は、例えば、下地段差に起因するパターン形状変動によって生じる抵抗異常や、特定領域のゲート酸化膜のエッチング不足によるコンタクトホール導通不良などである。

[0004] 半導体ウェハの欠陥を低減するため、その製造途中において、暗視野方式、明視野方式、電子ビーム方式などの欠陥検査装置によって検査が行われている。これらの欠陥検査装置で検出した欠陥位置情報に基づいて、レビュー装置で欠陥の鮮明な画像を取得する。そして、この取得された画像に基づいて欠陥を自動で分類するADC (Automatic Defect Classification) が行われ、分類された欠陥カテゴリ及び頻度に応じて、欠陥対策が行われている。

[0005] しかしながら、従来のADC技術では、レビュー装置で観察した欠陥の形状や輝度などによってカテゴリに分類するだけであり、それらの欠陥がなぜ生じたかの発生原因を究明することができなかった。例えば、システムティ

ック欠陥は、製造工程のレイヤ（層とも言う）の重なり具合や、特定のレイヤでの複数の工程（例えば、マルチパターニング）の実施具合などによって発生原因を分析できる場合がある。そこで、最近では、各工程の設計レイアウトデータを用いて欠陥を分類する技術が求められている。

[0006] ところで、従来においても、欠陥をレイアウトに関連付けようとする試みは、すでになされている。例えば、特許文献１には、「欠陥分類定義部２２１は、被検査デバイスにそのとき形成されているレイヤおよびその上層または下層に形成されたレイヤに対応するレイアウト設計データを用いて、被検査デバイスの表面に欠陥を分類する領域を定義する」と記載されている。更に、特許文献１には、「欠陥分類処理部２２２は、欠陥レビュー装置１０で取得された欠陥からサンプリングしたサンプリング欠陥データ１３３（２３３）について、その欠陥の位置が前記定義された領域のどの領域に含まれるかによって、欠陥を分類する」と記載されている。

先行技術文献

特許文献

[0007] 特許文献１：特開２００９－１０２８６号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献１の従来技術では、レイアウト設計データを用いて定義した領域のどの領域に欠陥位置が含まれるかを分類するだけであり、レイヤの重なり具合や、特定のレイヤでの複数の工程（例えば、マルチパターニング）の実施具合などによって生じる欠陥の発生要因を十分に分析できない。

[0009] 本発明は、レイヤの重なり具合や、特定のレイヤでの複数の工程の実施具合などによって生じるシステムティック欠陥の発生要因を設計レイアウトの情報を用いて分析するための技術を提供する。

課題を解決するための手段

[0010] 本発明によれば、半導体ウェハの欠陥を分類する半導体欠陥分類装置であ

って、表示部と、前記半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる前記半導体ウェハの設計レイアウト情報とを格納する記憶部と、前記検査画像と前記設計レイアウト情報とを前記表示部に表示する演算部とを備え、前記記憶部は、前記設計レイアウト情報を製造工程毎に分割して、複数の第1のレイアウトデータとして格納しており、前記演算部は、少なくとも1つの第1のレイアウトデータと前記検査画像とを前記記憶部から取得し、前記第1のレイアウトデータと前記検査画像とを前記表示部に重ねて表示する半導体欠陥分類装置が提供される。

発明の効果

- [0011] 本発明によれば、検査画像とレイアウトデータとを表示部に重ねて表示することによって、欠陥部分に対して、レイヤの重なり具合や特定のレイヤでの複数の工程の実施具合などを参照することができる。これにより、設計レイアウトの情報に基づくシステムティック欠陥の発生要因の分析が可能になる。
- [0012] 本発明に関連する更なる特徴は、本明細書の記述、添付図面から明らかになるものである。また、上記した以外の、課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

- [0013] [図1]本発明の一実施形態における半導体欠陥検査システムの全体構成図である。
- [図2]本発明の一実施形態における画像情報ファイルの一例を示す図である。
- [図3]本発明の一実施形態における設計レイアウト情報ファイルの一例を示す図である。
- [図4]発明の一実施形態における欠陥分類装置の処理の流れを示すフローチャートである。
- [図5]レイアウトデータの照合処理と、欠陥画像及びレイアウトデータの重ね合わせ表示処理を説明するための図である。
- [図6]マルチパターンニングでパターンを生成する工程を示した図である。

[図7]マルチパターンニングにおける複数のレイアウトデータを複数のパラメータを用いて重ね合わせた場合を示す図である。

[図8]図7のパラメータAを反映させたレイアウトデータと、理想的なパターンを含む検査画像を重ねて表示した図である。

[図9]図7のパラメータAを反映させたレイアウトデータと、誤差が生じたパターンを含む検査画像を重ねて表示した図である。

[図10]図7のパラメータBを反映させたレイアウトデータと、誤差が生じたパターンを含む検査画像を重ねて表示した図である。

発明を実施するための形態

[0014] 以下、添付図面を参照して本発明の実施形態について説明する。なお、添付図面は本発明の原理に則った具体的な実施形態と実装例を示しているが、これらは本発明の理解のためのものであり、決して本発明を限定的に解釈するために用いられるものではない。

[0015] <半導体欠陥検査システムの構成>

図1は、本発明の一実施形態における半導体欠陥検査システムの全体構成図である。本実施形態における半導体欠陥検査システム1は、欠陥検査装置2と、レビュー装置3と、欠陥データ処理装置4と、設計データベースサーバ5と、欠陥分類装置6とを備える。欠陥検査装置2と、レビュー装置3と、欠陥データ処理装置4と、設計データベースサーバ5と、欠陥分類装置6とは、ネットワーク7によって接続され、互いにデータ送受信が可能になっている。

[0016] 半導体製造工程は、不純物注入、成膜、エッチングなど様々な工程（図示省略）によって構成され、微細加工の必要性から、清浄な環境に保たれたクリーンルーム8内に構築される。クリーンルーム8内には、半導体ウェハの欠陥を検査する欠陥検査装置2と、半導体ウェハ上の座標に基づいて欠陥の観察を行うレビュー装置3とが設置されている。

[0017] 欠陥検査装置2は、暗視野欠陥検査装置、明視野欠陥検査装置、電子ビーム欠陥検査装置などであり、被検査デバイスの表面に発生した欠陥を検出す

るものである。また、欠陥検査装置 2 は、検出した欠陥の観察画像を取得する機能を備える。

[0018] レビュー装置 3 は、例えば、走査型電子顕微鏡（SEM：Scanning Electron Microscope）などである。レビュー装置 3 は、欠陥検査装置 2 が検出した欠陥の半導体ウェハ上の座標情報を基に、欠陥の詳細なレビュー画像を取得する。

[0019] 欠陥データ処理装置 4 は、欠陥検査装置 2 やレビュー装置 3 によって取得された各種データを、ネットワーク 7 を介して受信し、欠陥情報データ 17 として管理する。欠陥情報データ 17 は、例えば、欠陥データ処理装置 4 の図示しない記憶装置に格納されている。欠陥情報データ 17 は、欠陥データファイル 18 と、画像データファイル 19 と、画像情報ファイル 10 とを含む。ここで、欠陥データ処理装置 4 は、欠陥検査装置 2 で得られた欠陥情報データ 17 と、レビュー装置 3 で得られた欠陥情報データ 17 をそれぞれネットワーク 7 を介して受信して管理する。

[0020] 欠陥データファイル 18 は、欠陥検査装置 2 により検出された欠陥を識別する欠陥識別情報、当該欠陥の位置を各々のダイ（チップ）に設けられた所定の基準点（原点）に対して決定されたダイ上の座標系で表された欠陥位置座標、欠陥サイズ、欠陥要因のカテゴリなどの欠陥データを格納するファイルである。

[0021] 画像データファイル 19 は、レビュー機能を備えた欠陥検査装置 2 又はレビュー装置 3 によって取得された欠陥画像のデータを格納するファイルである。画像情報ファイル 10 は、各画像データファイル 19 に対応付けられて作成され、各画像データファイル 19 の取得状況を示す情報を格納するファイルである。画像情報ファイル 10 の詳細は後述する。

[0022] 設計データベースサーバ 5 は、所定の半導体製造工程で製造される半導体ウェハの設計レイアウトデータ 9 を格納している。設計レイアウトデータ 9 は、その半導体デバイスを構成する素子や配線などの物理的な配置に関する設計データであり、また、各製造工程で用いられるマスクの形状（マスクパ

ターン)を定めるデータである。例えば、設計レイアウトデータ9は、複数の製造工程(レイヤ)や半導体ウェハのタイプとして定義される場合もある。

[0023] 現在の半導体製造プロセスにおいての設計レイアウトデータ9は、半導体プロセスの微細化に伴ってファイル容量が巨大化しており、各製造工程の設計レイアウト単独でもファイル容量が数十ギガバイトを超え、ハンドリングが難しい状態になってきている。本実施例の特徴として、設計データベースサーバ5は、設計レイアウトデータ9を分割して格納している。設計レイアウトデータ9は、製造工程のレイヤ(例えば、1つの製造工程)ごとに分割されている。また、設計レイアウトデータ9は、1つのレイヤが複数回の処理工程(例えば、リソグラフィ工程)でパターンを生成する場合(以下、マルチパターンニングという)には、各処理工程ごとに分割されている。更に、設計レイアウトデータ9は、半導体ウェハのタイプごとに分割されていてもよい。

[0024] 欠陥分類装置6は、欠陥データ処理装置4から検査対象の半導体ウェハの欠陥情報データ17を取得し、また、設計データベースサーバ5からその半導体ウェハの設計レイアウトデータ9を取得し、両者の画像を重ねて合わせて表示する。

[0025] 欠陥分類装置6は、ワークステーションやパーソナルコンピュータなどの情報処理装置によって構成されている。欠陥分類装置6は、通信部(ネットワークインタフェース)120と、処理演算部121と、記憶部122と、レイアウト変換演算部123と、分類判定定義部124と、欠陥判定部125と、ユーザーインターフェース126とを備える。なお、欠陥分類装置6の構成は、ハードウェア構成として記載されているが、これらの機能をソフトウェアのプログラムコードで実現し、このプログラムコードを欠陥分類装置6の演算部121(CPU)が実行するようにしてもよい。

[0026] 通信部120は、欠陥データ処理装置4及び設計データベースサーバ5とデータのやり取りを行うためのインタフェースである。また、処理演算部1

21は、中央演算処理装置（CPU：Central Processing Unit）やマイクロプロセッサなどで構成され、他の各部の制御処理を実行する。

[0027] 記憶部122は、RAM（Random Access Memory）などの揮発性メモリ、フラッシュメモリなどの不揮発性メモリ、ハードディスク装置といった記憶装置からなる。記憶部122は、欠陥データ処理装置4から送信された欠陥情報データ17を欠陥情報データファイル29として格納する。また、記憶部122は、設計データベースサーバ5から送信された設計レイアウトデータ9を設計レイアウトデータファイル28として格納する。また、記憶部122は、図3に示す設計レイアウト情報ファイル20を格納する。設計レイアウト情報ファイル20の詳細については後述する。

[0028] レイアウト変換演算部123は、設計データベースサーバ5から送られてきた設計レイアウトデータ9をシステム内に読み込めるように図形変換処理を実行する。分類判定定義部124は、ユーザーインターフェース126によって入力される欠陥の分類情報を受け付け、欠陥情報にその分類結果を定義する。また、欠陥判定部125は、欠陥情報データファイル29に含まれる欠陥画像（検査画像）及び参照画像を比較して、欠陥画像から欠陥位置を抽出する。

[0029] ユーザーインターフェース126は、キーボード、マウス、各種ボタンなどの入力装置と、LCD（Liquid Crystal Display）装置、プリンタなどの出力装置とから構成される。欠陥分類装置6による結果は、出力装置に表示され、オペレータからの入力は入力装置によって受け付けられる。

[0030] <画像情報ファイル10の構成>

図2は、本発明の一実施形態における画像情報ファイルの一例を示す図である。

画像情報ファイル10は、画像データファイル19に含まれる欠陥画像の画像倍率（低倍率、高倍率）、画像解像度（低倍率、高倍率）、欠陥を含む欠陥領域座標、欠陥領域の重心座標、重ね合わせて当該画像を構成するフレーム画像の枚数などの情報により構成される。

[0031] ここで、欠陥画像の画像倍率は、欠陥検査装置 2 またはレビュー装置 3 によって欠陥画像が取得されたときの欠陥画像の倍率である。その欠陥画像の倍率は、通常、半導体デバイスのデザインルールで定められたパターンの最小寸法、半導体デバイスの製造歩留まりに影響を与える欠陥の大きさ（欠陥サイズ）、その欠陥を視野に収めることができる倍率（F O V : Field Of View）などに基づいて定められる。設計レイアウトデータファイル 28 に含まれるレイアウトデータと、欠陥情報データファイル 29 に含まれる欠陥画像の重ね合わせを実行する際、欠陥画像の倍率は欠陥画像の取得時に決まるため、画像情報ファイル 10 に含まれる各欠陥の倍率情報を使用することによって、欠陥画像とレイアウトデータの倍率を合わせることが可能となる。

[0032] <設計レイアウト情報ファイル 20 の構成>

図 3 は、本発明の一実施形態における設計レイアウト情報ファイルの一例を示す図である。本実施例では、設計レイアウトデータファイル 28 に含まれるレイアウトデータは、製造工程の各レイヤごと、あるいは、各処理工程（例えば、リソグラフィ工程）ごとに分割されている。設計レイアウト情報ファイル 20 は、分割されているレイアウトデータの組み合わせの情報や、レイアウトデータのオフセットの情報等を定義している。

[0033] 例えば、設計レイアウト情報ファイル 20 は、表示に利用する表示用レイアウト数と、表示用レイアウトを構成する設計レイヤの構成と、各表示レイアウトのオフセット量（誤差情報）と、各表示用レイアウトの表示時パターンの拡大量／縮小量などのパラメータを含む。これにより、表示用のレイアウト構成を複数のレイアウトデータなどで設定及び構成することが可能となる。また、各表示レイアウトを表示する際のパターンの拡大量／縮小量のパラメータを含んでいるので、欠陥画像とレイアウトデータを重ねて表示する際に、実パターンに対して精度の高い表示が可能となる。以上のように、設計レイアウト情報ファイル 20 は、レイアウトデータを重ね合わせる際の重ね合わせ情報として、各表示レイアウトのオフセット量や、表示時パターンの拡大量／縮小量などの少なくとも 1 つを含む。また、上述の表示レイアウト

トのオフセット量としては、レイヤ間の誤差情報（第１の重ね合わせ情報）やリソグラフィ工程間の誤差情報（第２の重ね合わせ情報）がある。これにより、製造工程間の誤差や、マルチパターニングにおけるリソグラフィ工程間の誤差を補正して表示することが可能となる。

[0034] <欠陥分類装置の処理内容>

図４は、発明の一実施形態における欠陥分類装置の処理の流れを示すフローチャートである。

まず、ステップ４０において、レイアウト変換演算部１２３は、設計レイアウトデータファイル２８に含まれるレイアウトデータを取得する。それと同時に、ステップ４１において、レイアウト変換演算部１２３は、欠陥情報データファイル２９に含まれる欠陥画像を取得する。そして、レイアウト変換演算部１２３は、図形変換及びフォーマット変換処理を実行する。

[0035] 次に、ステップ４２において、処理演算部１２１は、欠陥画像と重ねて表示するレイアウトデータの定義処理を実行する。処理演算部１２１は、設計レイアウト情報ファイル２０のパラメータを用いて、欠陥画像と重ねて表示するレイアウトデータを定義する。上述したように、レイアウトデータは、１つの工程であってもマルチパターニングのように複数のリソグラフィ工程で定義される場合がある。例えば、処理演算部１２１は、設計レイアウト情報ファイル２０のパラメータを用いて、複数のリソグラフィ工程に対応するレイアウトデータを１つの検査対象レイヤとして合成し、それぞれを関連付ける。

[0036] なお、分割された各レイアウトデータには、そのレイヤに対応するレイヤ番号、その検査対象となる半導体ウェハのデータタイプ情報が付されている。設計レイアウト情報ファイル２０では、各レイヤ番号等が互いに関連付けられ、複数の工程が１つの検査対象として定義されているため、オペレータは、ユーザーインターフェース１２６上において複数のレイヤ番号やデータタイプを意識することなく、１つの検査対象として扱うことが可能になる。

[0037] 次に、ステップ４３において、処理演算部１２１は、レイアウトデータと

欠陥画像との原点合わせ及び倍率合わせを行う。レイアウトデータは、中央を原点としたり、欠陥が像はダイ左下を原点としたり、両者のデータは、座標系が異なる場合がある。したがって、このステップ43において、原点合わせを行う。また、レイアウトデータと欠陥画像の倍率も異なる場合があるため、倍率合わせも行う。

[0038] 次に、ステップ44において、処理演算部121は、レイアウトデータと欠陥画像とのマッチング処理を実行する。ステップ43において座標系及び倍率が一致するので、欠陥の座標位置から、その座標位置に対応するレイアウトデータを容易に得ることができる。しかしながら、その座標位置のデータには欠陥検出時の誤差が含まれており、レイアウトデータと欠陥画像とは、多少の位置ずれを生じている場合が多い。そこで、ここでは、当該欠陥画像の視野よりも広い範囲で、レイアウトデータと欠陥画像との間でパターンマッチングを行う。

[0039] 次に、ステップ45において、処理演算部121は、検査対象レイヤと任意のレイヤとの照合を行う。例えば、処理演算部121は、ユーザーインターフェース126からの入力を受け付けて、入力されたレイヤのレイアウトデータの照合を行う。これにより、欠陥を含むレイヤの下層のレイヤの中で欠陥要因となり得るレイヤを選択し、照合を行うことが可能となる。ここでは、1つの検査対象レイヤに対して複数のレイヤを選択することが可能である。

[0040] 次に、ステップ46において、処理演算部121は、ユーザーインターフェース126の表示装置上に欠陥画像とレイアウトデータとを重ねて表示する。なお、図4では省略されているが、ここで表示される欠陥画像は、欠陥判定部125によって欠陥画像及び参照画像を比較して抽出された欠陥位置の画像である。

[0041] 次に、ステップ47において、オペレータが、ユーザーインターフェース126の表示装置上に表示された重ね合わせ画像を参照しながら、入力装置で欠陥の分類情報を入力する。ここで、分類判定定義部124は、入力装置

によって入力される欠陥の分類情報を受け付け、欠陥画像上の欠陥にその分類結果を定義する。

[0042] 次に、ステップ48において、処理演算部121は、レイアウトデータと欠陥画像から欠陥位置を特定し、レイヤのパターンの欠陥密度、面積率、寸法などの算出処理を実行する。最終的に、算出結果をグラフ化して解析結果として表示装置上に表示することによって、システムティック欠陥かどうかの判定を行うことを支援できる。

[0043] 図5は、レイヤの照合処理と重ね合わせ表示処理の概念図である。このように、レイヤ（製造工程）毎に分割された複数のレイアウトデータから欠陥要因となり得るレイヤを選択し、照合を行う。この際、欠陥画像の欠陥位置に対応するレイアウトデータの部分を取得する。図5に示すように、複数のレイヤ（レイヤ1及びレイヤN）間で欠陥位置に対応する同じ部分が取得されている。そして、表示装置上において欠陥画像とレイヤ1とレイヤNとを重ねて表示する。この際、複数のレイヤの重ね合わせ情報（例えば、オフセット量）を設計レイアウト情報ファイル20から取得して、複数のレイヤ間の誤差を補正して表示してもよい。

[0044] <マルチパターニングの場合の表示処理>

次に、1つの製造工程が、マルチパターニングのように複数の処理工程で定義されている場合の表示処理について説明する。図6は、ある特定のレイヤにおいてマルチパターニングでパターンを生成する工程を示した図である。このレイヤの例では、1回目のパターン生成50を実施した後に、2回目のパターン生成51を実施する。そして、最終的に、目的とするパターン52が生成される。

[0045] 図7は、複数のレイアウトデータを複数のパラメータを用いて重ね合わせた場合の図を示す。

本実施例において、設計レイアウトデータ9は、各パターン生成工程ごとに分割されて格納されている。ここでは、1つのレイヤが、設計レイアウトデータ1のパターン61と設計レイアウトデータ2のパターン62とで定義

されている。ここでは、重ね合わせ情報として、2つのパラメータA（63）及びパラメータB（64）が設定されている。2つのパターン61，62をパラメータA（63）を用いて重ねた結果が、重ね合わせ結果65である。また、2つのパターン61，62をパラメータB（64）を用いて重ねた結果が、重ね合わせ結果66である。

[0046] なお、2つのパラメータ63，64は、設計レイアウト情報ファイル20に定義されていてもよい。この場合、処理演算部121が、重ね合わせ情報として2つのパラメータ63，64を設計レイアウト情報ファイル20から取得し、検査画像と、重ね合わせ情報を反映させたレイアウトデータとを表示装置上に重ねて表示する。なお、2つのパラメータは設計レイアウト情報ファイル20ではなく、オペレータが入力するようにしてもよい。また、予めパラメータの範囲を設定しておき、処理演算部121が、自動的に所定の数値間隔で複数のパラメータを算出してもよい。さらに、予め複数のパラメータの情報を記憶部122に格納しておき、重ね合わせ表示後にオペレータが適当と判断したパラメータを記憶部122に格納されているパラメータ情報にフィードバックさせて、更新していくようにしてもよい。

[0047] 図8は、図7のパラメータAを反映させたレイアウトデータと、理想的なパターンを含む検査画像を重ねて表示した図を示す。検査画像71は、設計理想値で生成されたパターンを含む。また、パラメータA（63）は、2つのパターン61，62の設計理想値で重ね合わせを実行するためのパラメータである。このように、設計理想値で生成されたパターンに対しては、2つのパターン61，62の設計理想値のパラメータA（63）で重ね合わせると、検査画像とレイアウトデータの重ね合わせが正確に重畳した画像72となる。

[0048] 図9は、図7のパラメータAを反映させたレイアウトデータと、誤差が生じたパターンを含む検査画像を重ねて表示した図を示す。マルチパターンニングにおいては、実際の処理工程で誤差が生じて2つのパターン61，62の間にズレが生じる場合がある。誤差が生じたパターン81に対しては、2つ

のパターン 6 1, 6 2 の設計理想値のパラメータ A (6 3) で重ね合わせると、表示が一致せずに、欠陥の解析及び分類処理が行いにくくなる。

[0049] 図 1 0 は、図 7 のパラメータ B を反映させたレイアウトデータと、誤差が生じたパターンを含む検査画像を重ねて表示した図を示す。パラメータ B (6 4) は、重ね合わせ情報として、2 つのパターン 6 1, 6 2 のオフセット量のパラメータを含む。誤差が生じたパターン 8 1 に対して、2 つのパターン 6 1, 6 2 のオフセット量を含むパラメータ B (6 4) を用いることによって、検査画像とレイアウトデータの重ね合わせが正確に重畳した画像 9 1 となる。なお、ここで、このオフセット量は、実際の検査画像のパターンから求めてもよいし、欠陥分類装置 6 の機能であるレイアウトデータ表示のシフト量から求めてもよい。

[0050] このように、マルチパターンニングでは、製造装置の位置合わせ誤差などから各処理工程で生成されるパターンの間隔が、設計理想値と一致しない場合がある。本実施形態では、このような場合においても、検査画像に対して、重ね合わせ情報としてオフセット量の情報を用いることによって、実際の検査画像のパターンに一致させることが可能になる。

[0051] <まとめ>

本実施形態によれば、欠陥分類装置 6 が、記憶部 1 2 2 と、処理演算部 1 2 1 と、表示装置を含むユーザーインターフェース 1 2 6 とを備え、記憶部 1 2 2 は、設計レイアウトデータファイル 2 8 と、欠陥情報データファイル 2 9 とを格納しており、処理演算部 1 2 1 は、ユーザーインターフェース 1 2 6 の表示装置上に欠陥画像とレイアウトデータとを重ねて表示する。このように、欠陥部分を含むレイヤに対して、欠陥要因となり得る他のレイヤ（例えば、下層のレイヤ）のレイアウト画像を、分割されたレイアウトデータから、適宜選択し、照合し、表示できるようにしたことによって、オペレータは、当該欠陥に対する他のレイヤの影響の有無を確認することが可能になる。例えば、検査対象レイヤが P o l y - S i レイヤであった場合、当該欠陥の下層のレイヤが、N 型または P 型のアクティブ領域（不純物注入領域）

であるのか、または、非アクティブ領域であるのか、などの情報が得ることができるので、その情報に基づき、当該欠陥がシステムティック欠陥に該当するのか、あるいは、該当しないのか、などを判断することが可能になる。また、アクティブ領域や非アクティブ領域のズレの状態（誤差）も把握することができ、欠陥の特性を詳細に分析することができる。また、レイアウトデータに基づいて、セル、周辺回路、ダミーパターンなどの位置情報に基づいて欠陥を分類することもできる。

[0052] また、本実施形態によれば、設計データベースサーバ5は、設計レイアウトデータ9を分割して格納している。設計レイアウトデータ9は、製造工程のレイヤごとに分割され、あるいは、1つのレイヤが複数回の処理工程でパターンを生成する場合には、各処理工程ごとに分割されている。これにより、記憶部122は、分割された設計レイアウトデータ9を設計レイアウトデータファイル28として格納し、処理演算部121は、その分割されたレイアウトデータを使用して欠陥画像とレイアウトデータの重ね合わせ表示を実行することができる。したがって、大規模化した設計レイアウトデータにおいても容易に且つ効率的に欠陥の分析及び解析処理を実施することができる。

[0053] また、本実施形態によれば、記憶部122が、レイアウトデータの重ね合わせに関する重ね合わせ情報として、レイヤ間のオフセット量、マルチパターンニングにおけるパターンのオフセット量などの情報を格納しており、処理演算部121は、重ね合わせ情報を反映させたレイアウトデータと、検査画像とを表示装置に重ねて表示する。製造装置の位置合わせ誤差などから各工程で生成されるレイヤやパターンが、設計理想値と一致しない場合があるが、このような場合においても、検査画像に対して、重ね合わせ情報としてオフセット量の情報を用いることによって、実際の検査画像のパターンに一致させることが可能になる。したがって、実際の製造プロセスでの製造誤差を考慮した欠陥の分析及び解析処理を実施することができる。

[0054] 以上、本発明の実施の形態につき述べたが、本発明は既述の実施形態に限

定されるものでなく、本発明の技術的思想に基づいて各種の変形及び変更が可能である。

[0055] 例えば、上述した実施形態の構成では、重ね合わせ情報として、レイヤやパターンのオフセット量（誤差情報）を用いているが、その他にも、パターンの幅の情報も用いてもよい。これにより、実際の検査画像のパターンの位置だけでなく、パターンの幅も一致させた状態で、欠陥の分析及び解析処理を行うことが可能になる。

[0056] 上述した図5の例では、検査対象となる下層のレイヤのレイアウトデータを取得して、重ね合わせ表示しているが、これに限定されない。例えば、処理演算部121が、欠陥を含むレイヤの上層（次の工程）のレイヤのレイアウトデータを取得し、次の工程のレイアウトデータを検査画像に更に重ねて表示してもよい。この場合、オペレータは、次の工程でどの程度までの製造誤差が許容できるかを分析することが可能となる。すなわち、オペレータは、次の工程の尤度を事前に分析することが可能になる。

[0057] 上述した実施形態の構成では、処理演算部121は、記憶部122の設計レイアウトデータファイル28及び欠陥情報データファイル29から欠陥画像及びレイアウトデータを取得しているが、この構成に限定されない。例えば、処理演算部121は、レイアウトデータを設計データベースサーバ5から直接受信して用いるようにしてもよい。また、処理演算部121は、欠陥画像を欠陥データ処理装置4から直接受信して用いるようにしてもよい。

[0058] 上述した実施形態の構成は、それらの一部や全部を、例えば、集積回路で設計する等によりハードウェアで実現することができる。また、本発明は、実施形態の機能を実現するソフトウェアのプログラムコードで実現してもよい。この場合、プログラムコードを記録した非一時的なコンピュータ可読媒体(non-transitory computer readable medium)を情報処理装置（例えば、欠陥分類装置6）に提供し、その情報処理装置（又はCPUや演算部）が上記コンピュータ可読媒体に格納されたプログラムコードを読み出す。この場合、上記コンピュータ可読媒体から読み出されたプログラムコード自体が前述

した実施形態の機能を実現することになり、そのプログラムコード自体、及びそれを記憶した上記コンピュータ可読媒体は本発明を構成することになる。このようなプログラムコードを供給するための非一時的なコンピュータ可読媒体としては、例えば、フレキシブルディスク、CD-ROM、DVD-ROM、ハードディスク、光ディスク、光磁気ディスク、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどが用いられる。

[0059] また、プログラムコードの指示に基づき、欠陥分類装置6上で稼動しているOS（オペレーティングシステム）などが実際の処理の一部又は全部を行い、その処理によって前述した実施の形態の機能が実現されるようにしてもよい。さらに、記憶媒体から読み出されたプログラムコードが、欠陥分類装置6上のメモリなどの記憶部に書きこまれた後、そのプログラムコードの指示に基づき、欠陥分類装置6のCPU（又は演算部）などが実際の処理の一部又は全部を行い、その処理によって前述した実施の形態の機能が実現されるようにしてもよい。

[0060] さらに、実施の形態の機能を実現するソフトウェアのプログラムコードを、ネットワークを介して配信することにより、それを欠陥分類装置6の記憶部又はCD-RW、CD-R等の記憶媒体に格納し、使用時にその装置の欠陥分類装置6のCPU（又は演算部）が当該記憶装置や当該記憶媒体に格納されたプログラムコードを読み出して実行するようにしてもよい。

[0061] 最後に、ここで述べたプロセス及び技術は本質的に如何なる特定の装置に関連することはなく、コンポーネントの如何なる相応しい組み合わせによってでも実装できることを理解する必要がある。更に、汎用目的の多様なタイプのデバイスがここで記述した教示に従って使用可能である。ここで述べた方法のステップを実行するのに、専用の装置を構築するのが有益であることが判るかもしれない。本発明は、具体例に関連して記述したが、これらは、すべての観点に於いて限定の為ではなく説明の為である。本分野にスキルのある者には、本発明を実施するのに相応しいハードウェア、ソフトウェア、及びファームウェアの多数の組み合わせがあることが解るであろう。例えば

、本実施形態に記載の機能を実現するプログラムコードは、アセンブラ、C／C++、perl、Shell、PHP、Java（登録商標）等の広範囲のプログラム又はスクリプト言語で実装できる。

[0062] また、図面における制御線や情報線は、説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線や情報線を示しているとは限らない。全ての構成が相互に接続されていてもよい。

符号の説明

- [0063]
- | | |
|-----|--------------|
| 1 | 半導体欠陥検査システム |
| 2 | 欠陥検査装置 |
| 3 | レビュー装置 |
| 4 | 欠陥データ処理装置 |
| 5 | 設計データベースサーバ |
| 6 | 欠陥分類装置 |
| 7 | ネットワーク |
| 8 | クリーンルーム |
| 120 | 通信部 |
| 121 | 処理演算部 |
| 122 | 記憶部 |
| 123 | レイアウト変換演算部 |
| 124 | 分類判定定義部 |
| 125 | 欠陥判定部 |
| 126 | ユーザーインターフェース |

請求の範囲

- [請求項1] 半導体ウェハの欠陥を分類する半導体欠陥分類装置であって、
表示部と、
前記半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる前記半導体ウェハの設計レイアウト情報とを格納する記憶部と、
前記検査画像と前記設計レイアウト情報とを前記表示部に表示する演算部と
を備え、
前記記憶部は、前記設計レイアウト情報を製造工程毎に分割して、複数の第1のレイアウトデータとして格納しており、
前記演算部は、少なくとも1つの第1のレイアウトデータと前記検査画像とを前記記憶部から取得し、前記第1のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。
- [請求項2] 請求項1において、
前記記憶部が、前記第1のレイアウトデータの重ね合わせに関する第1の重ね合わせ情報を更に格納しており、
前記演算部は、前記第1の重ね合わせ情報を反映させた前記第1のレイアウトデータと、前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。
- [請求項3] 請求項2において、
前記第1の重ね合わせ情報は、前記第1のレイアウトデータに対応する製造工程の誤差情報と、前記第1のレイアウトデータの拡大又は縮小情報との少なくとも1つを含むことを特徴とする半導体欠陥分類装置。
- [請求項4] 請求項1において、
前記第1のレイアウトデータに対応する製造工程が、複数の処理工

程を含み、

前記記憶部は、前記第 1 のレイアウトデータを処理工程毎に更に分割して、複数の第 2 のレイアウトデータとして格納しており、

前記演算部は、少なくとも 1 つの第 2 のレイアウトデータと前記検査画像とを前記記憶部から取得し、前記第 2 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

[請求項 5] 請求項 4 において、

前記記憶部が、前記第 2 のレイアウトデータの重ね合わせに関する第 2 の重ね合わせ情報を格納しており、

前記演算部は、前記第 2 の重ね合わせ情報を反映させた前記第 2 のレイアウトデータと、前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

[請求項 6] 請求項 5 において、

前記第 2 の重ね合わせ情報は、前記第 2 のレイアウトデータに対応する処理工程によって生成されるパターンの誤差情報と、前記パターンの幅情報との少なくとも 1 つを含むことを特徴とする半導体欠陥分類装置。

[請求項 7] 請求項 1 において、

ユーザが前記第 1 のレイアウトデータを選択するための入力部を更に備え、

前記演算部は、前記入力部によって選択された第 1 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

[請求項 8] 請求項 1 において、

前記演算部は、検査対象の前記半導体ウェハの次の製造工程に対応する第 1 のレイアウトデータを取得し、前記次の工程に対応する第 1 のレイアウトデータを前記検査画像に更に重ねて表示することを特徴

とする半導体欠陥分類装置。

[請求項9]

表示部と記憶部と演算部とを備える情報処理装置に、半導体ウェハの欠陥を分類するための処理を実行させるためのプログラムを記録した非一時的なコンピュータ可読媒体であって、

前記記憶部が、前記半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる前記半導体ウェハの設計レイアウト情報とを格納しており、前記記憶部が、前記設計レイアウト情報を製造工程毎に分割して、複数の第1のレイアウトデータとして格納しており、

前記プログラムは、

前記演算部により、少なくとも1つの第1のレイアウトデータと前記検査画像とを前記記憶部から取得する処理と、

前記演算部により、前記第1のレイアウトデータと前記検査画像とを前記表示部に重ねて表示する処理と
を実行させる、非一時的なコンピュータ可読媒体。

補正された請求の範囲
[2013年8月5日(05.08.2013)国際事務局受理]

〔請求項 1〕（補正後）半導体ウェハの欠陥を分類する半導体欠陥分類装置であって、

表示部と、

前記半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる前記半導体ウェハの設計レイアウト情報と、前記設計レイアウト情報が製造工程毎に分割された複数の第 1 のレイアウトデータと、前記第 1 のレイアウトデータに対応する製造工程の誤差情報を含む第 1 の重ね合わせ情報とを格納する記憶部と、

前記検査画像と前記設計レイアウト情報とを前記表示部に表示する演算部と

を備え、

前記演算部は、少なくとも 1 つの第 1 のレイアウトデータと前記検査画像とを前記記憶部から取得し、前記第 1 の重ね合わせ情報を反映させた前記第 1 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

〔請求項 2〕（削除）

〔請求項 3〕（削除）

〔請求項 4〕 請求項 1 において、

前記第 1 のレイアウトデータに対応する製造工程が、複数の処理工程を含み、

前記記憶部は、前記第 1 のレイアウトデータを処理工程毎に更に分割して、複数の第 2 のレイアウトデータとして格納しており、

前記演算部は、少なくとも 1 つの第 2 のレイアウトデータと前記検査画像とを前記記憶部から取得し、前記第 2 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

〔請求項 5〕 請求項 4 において、

前記記憶部が、前記第 2 のレイアウトデータの重ね合わせに関する第 2 の重ね合わせ情報を格納しており、

前記演算部は、前記第 2 の重ね合わせ情報を反映させた前記第 2 のレイアウト

トデータと、前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

〔請求項 6〕 請求項 5 において、

前記第 2 の重ね合わせ情報は、前記第 2 のレイアウトデータに対応する処理工程によって生成されるパターンの誤差情報と、前記パターンの幅情報との少なくとも 1 つを含むことを特徴とする半導体欠陥分類装置。

〔請求項 7〕 請求項 1 において、

ユーザが前記第 1 のレイアウトデータを選択するための入力部を更に備え、前記演算部は、前記入力部によって選択された第 1 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示することを特徴とする半導体欠陥分類装置。

〔請求項 8〕 請求項 1 において、

前記演算部は、検査対象の前記半導体ウェハの次の製造工程に対応する第 1 のレイアウトデータを取得し、前記次の工程に対応する第 1 のレイアウトデータを前記検査画像に更に重ねて表示することを特徴とする半導体欠陥分類装置。

〔請求項 9〕（補正後）表示部と記憶部と演算部とを備える情報処理装置に、半導体ウェハの欠陥を分類するための処理を実行させるためのプログラムを記録した非一時的なコンピュータ可読媒体であって、

前記記憶部は、前記半導体ウェハ上の検査対象部分を含む検査画像と、複数の製造工程からなる前記半導体ウェハの設計レイアウト情報と、前記設計レイアウト情報が製造工程毎に分割された複数の第 1 のレイアウトデータと、前記第 1 のレイアウトデータに対応する製造工程の誤差情報を含む第 1 の重ね合わせ情報とを格納しており、

前記プログラムは、

前記演算部により、少なくとも 1 つの第 1 のレイアウトデータと前記検査画像とを前記記憶部から取得する処理と、

前記演算部により、前記第 1 の重ね合わせ情報を反映させた前記第 1 のレイアウトデータと前記検査画像とを前記表示部に重ねて表示する処理とを実行させる、非一時的なコンピュータ可読媒体。

条約第 19 条（1）に基づく説明書

1. 補正の説明

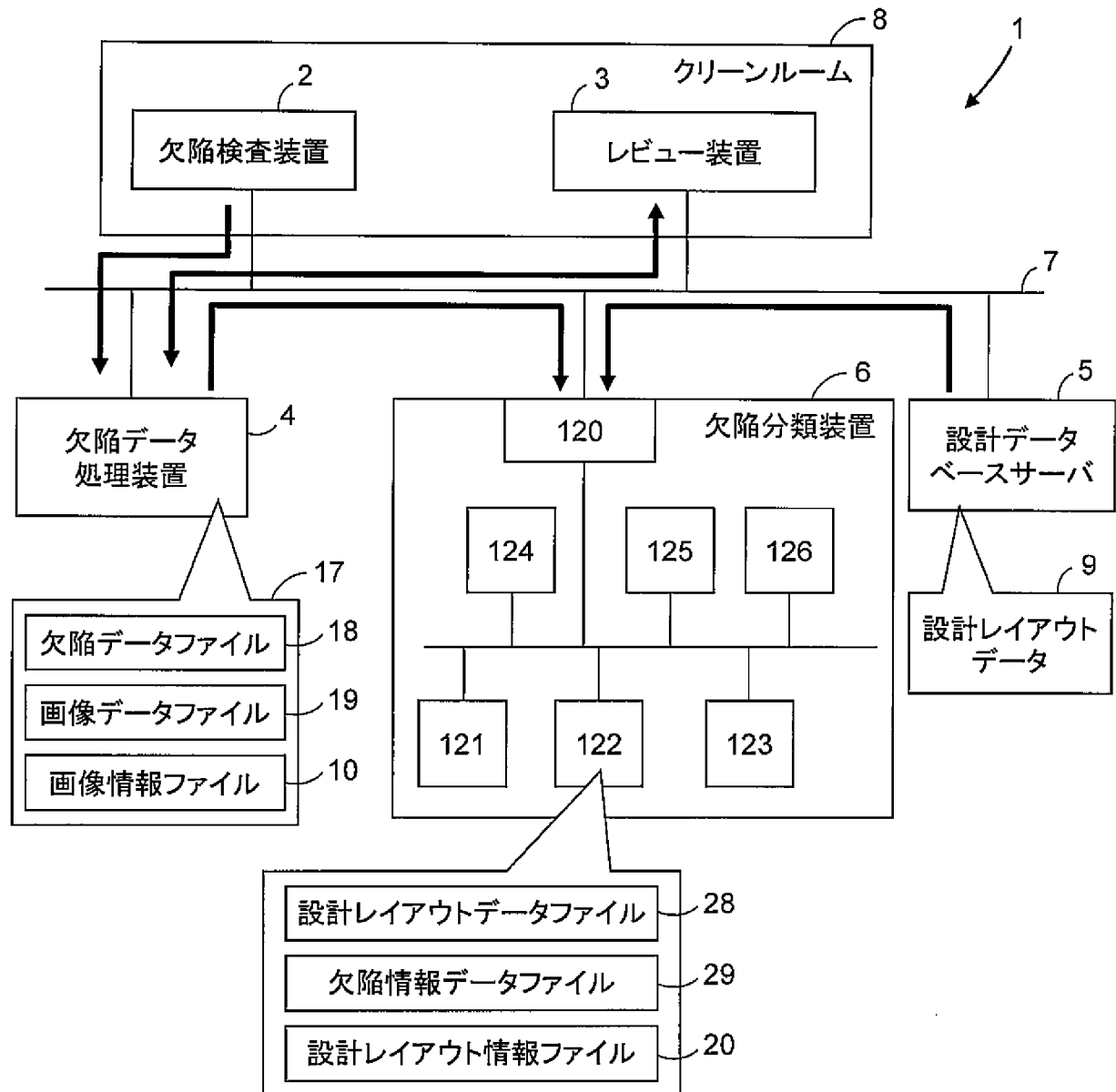
請求の範囲第 1 項には、出願時の請求の範囲第 2 項及び第 3 項の一部を追加した。請求の範囲第 9 項も、請求の範囲第 1 項と同様の補正を行った。当該補正は、出願時の明細書の段落 [0033] 及び図 3 に基づいている。また、今般の補正において、請求の範囲第 2 項及び第 3 項を削除した。

2. 説明

国際調査報告において引用されたいずれの引用文献にも、請求の範囲の補正後の第 1 項及び第 9 項に係る発明を開示、示唆、動機づける記載はありません。

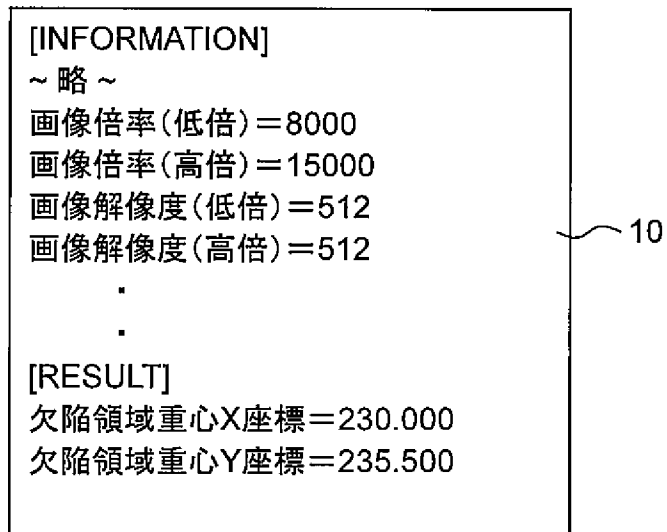
[図1]

図 1



[図2]

図 2



[図3]

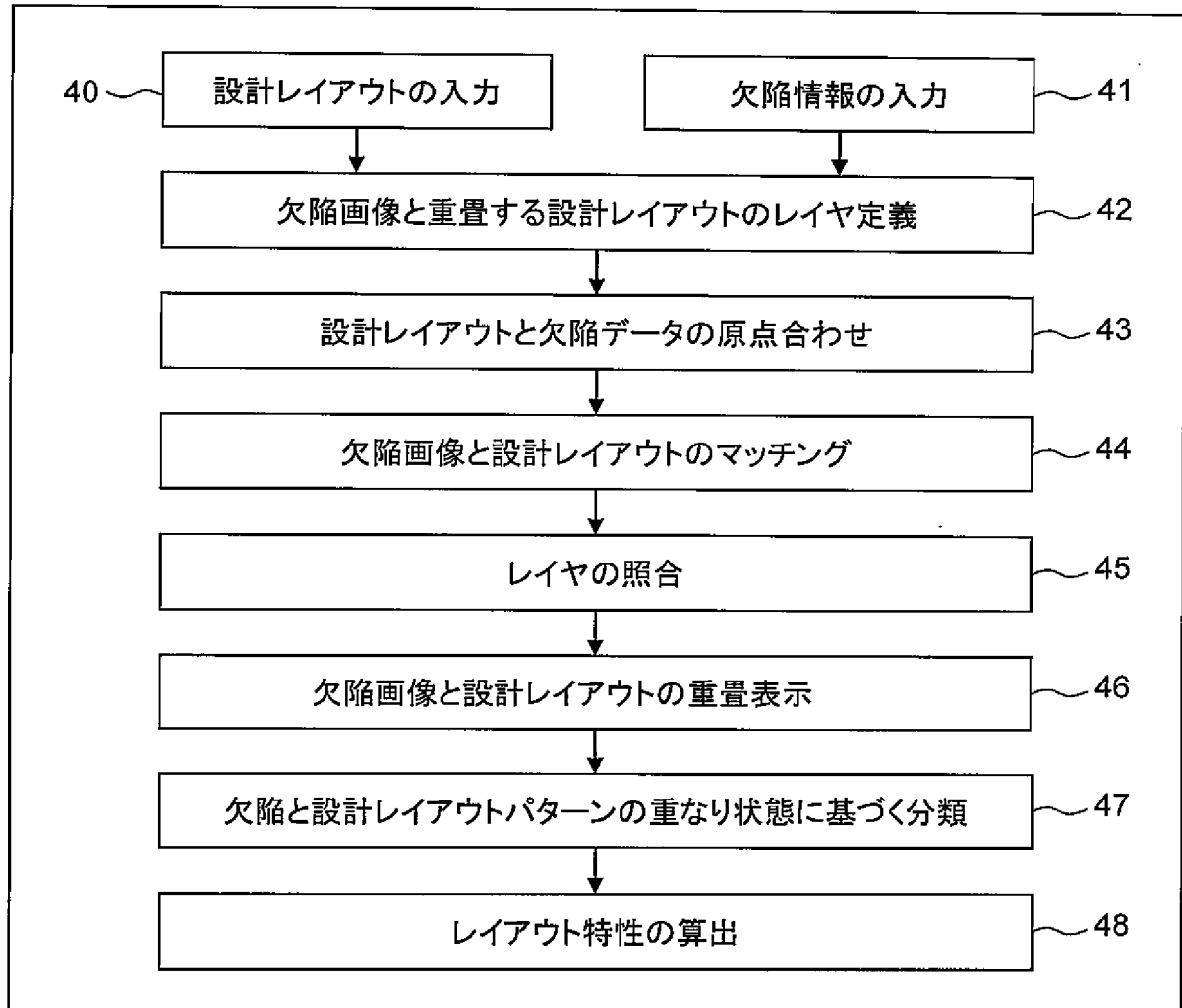
図 3

```
[LAYER_INFORMATION]
DisplayLayoutCount=2
DisplayLayout1=abc
CadLayerCount=2
CadLayer1=1,0
CadLayer2=2,200
.
.
DisplayLayout2=efg
CadLayerCount=3
CadLayer1=5,0
CadLayer2=7,2
CadLayer3=8,0
.
.
[LayoutPara]
MainLayout=2
CorrdinatesOffsetX=123456.123
CorrdinatesOffsetY=123456.123
.
.
[LayoutOffset]
offset1=23.123 , 0.234
.
.
```

20

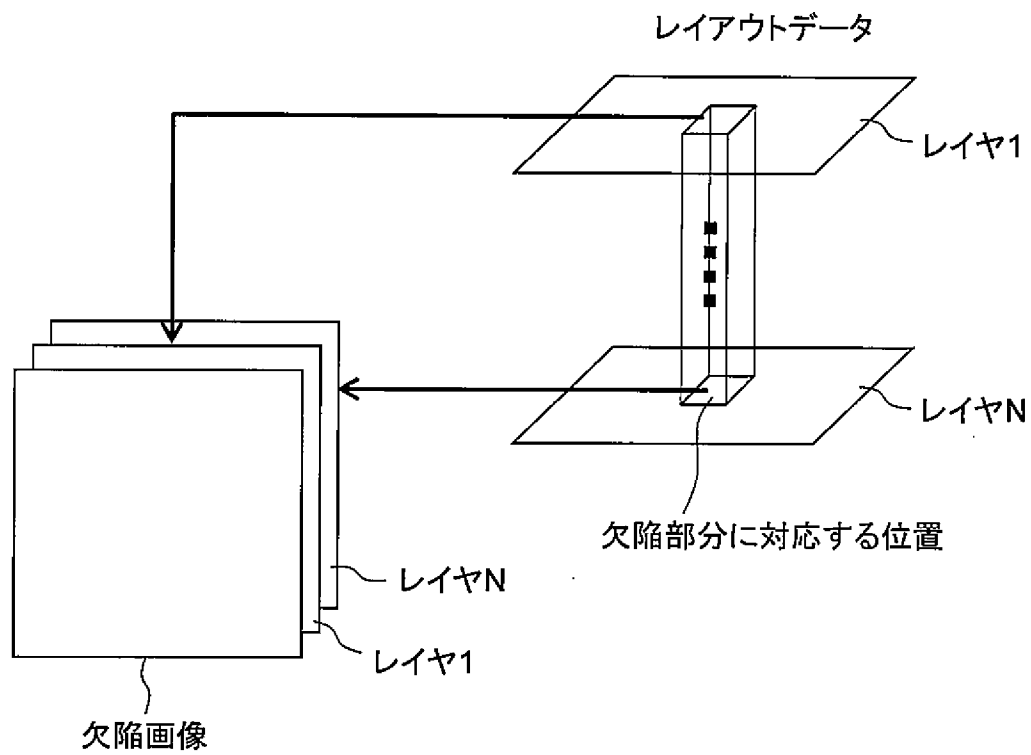
[図4]

図 4



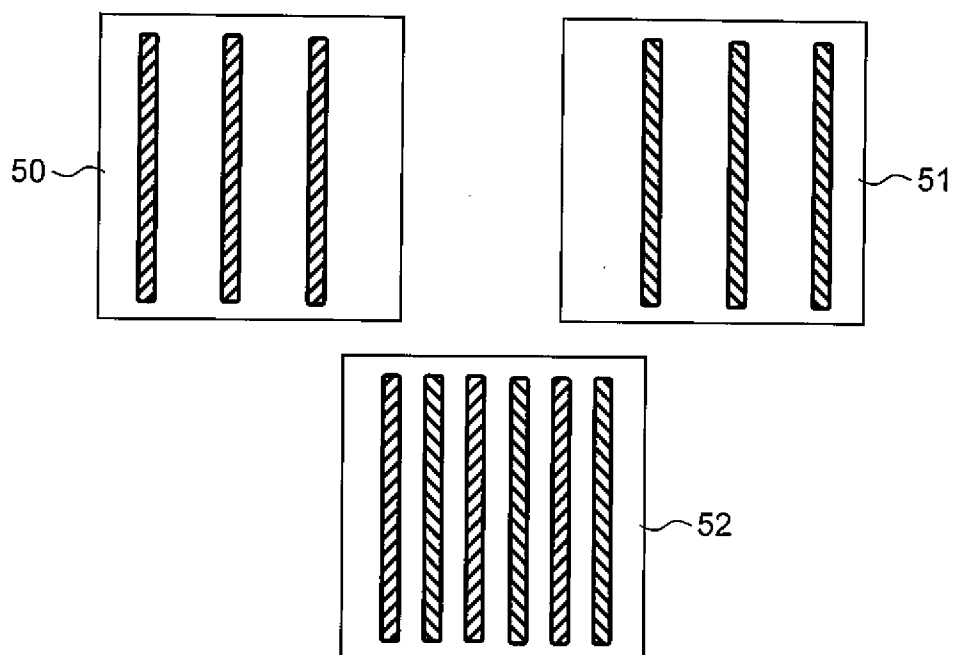
[図5]

図 5



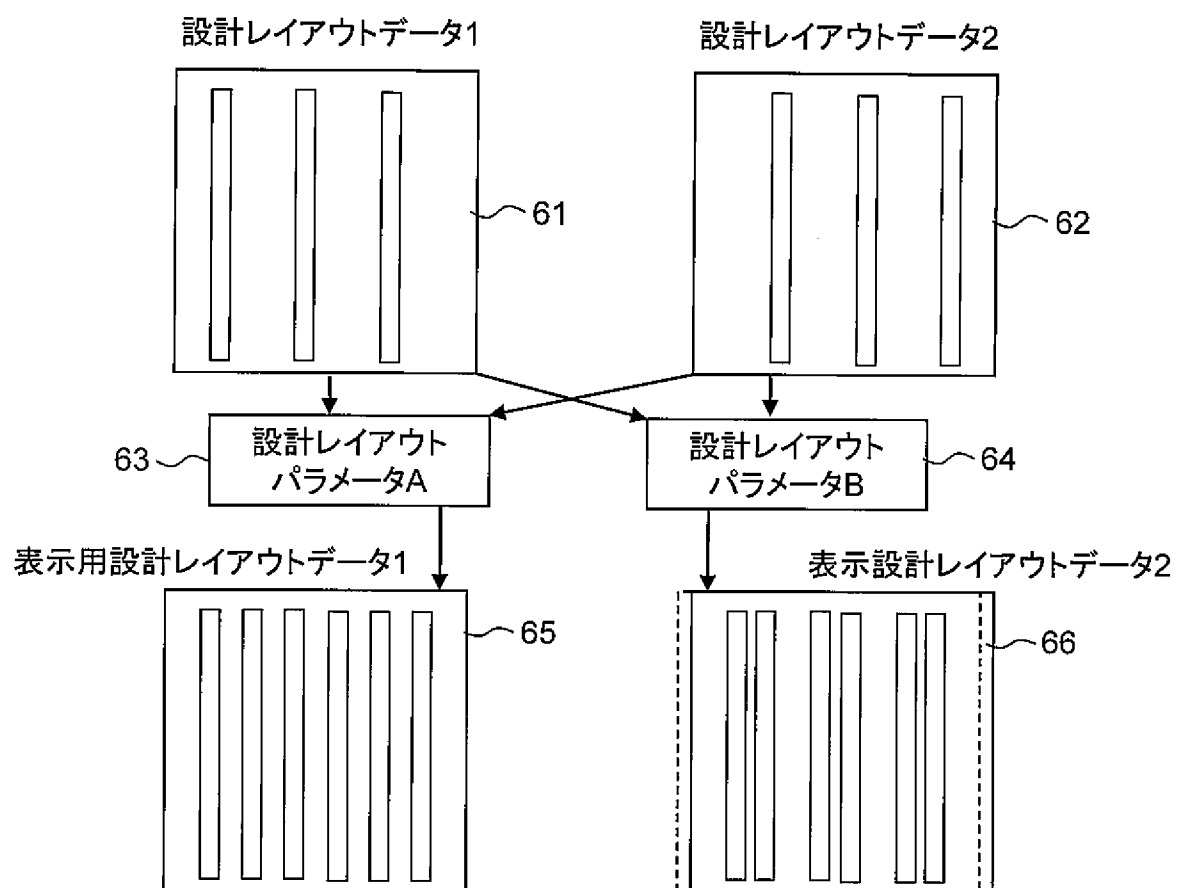
[図6]

図 6



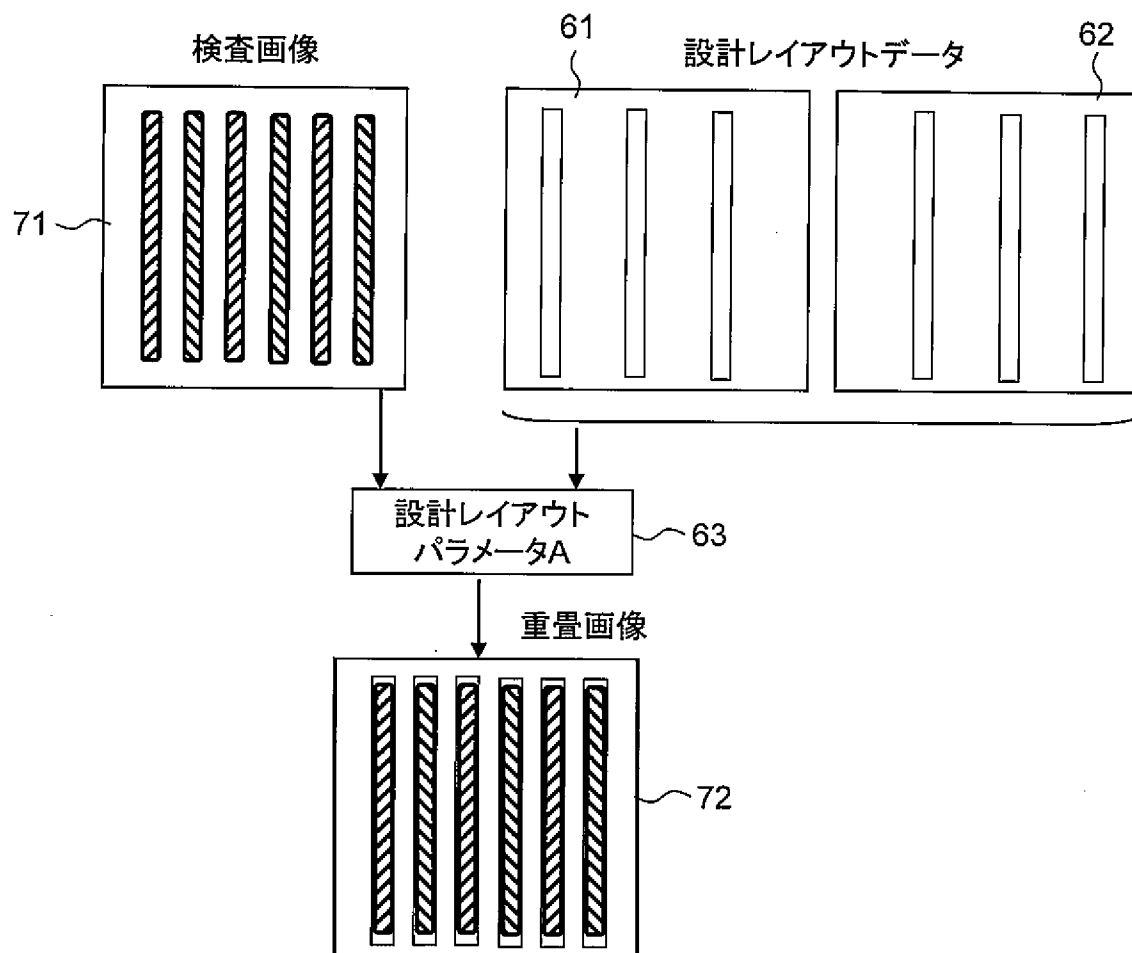
[図7]

図 7



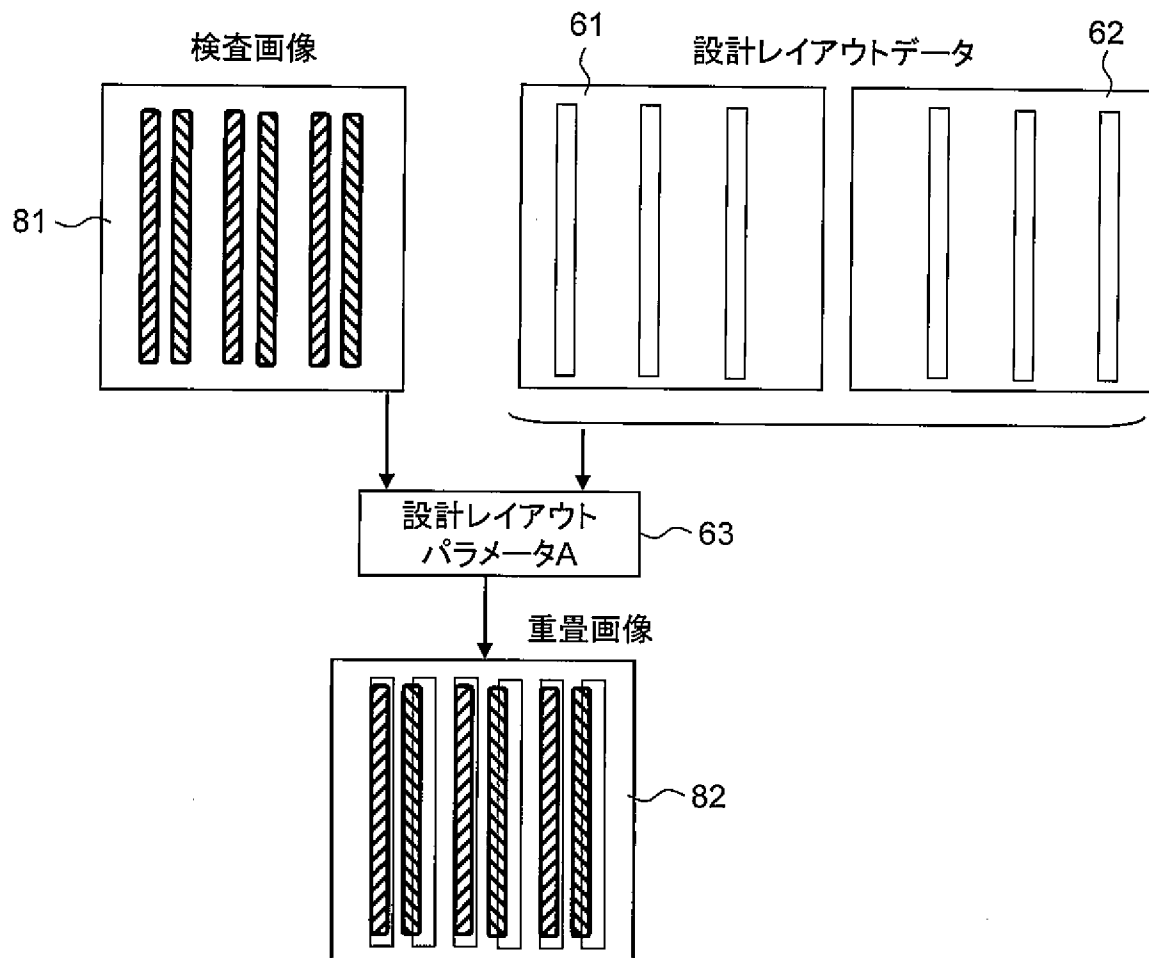
[図8]

図 8



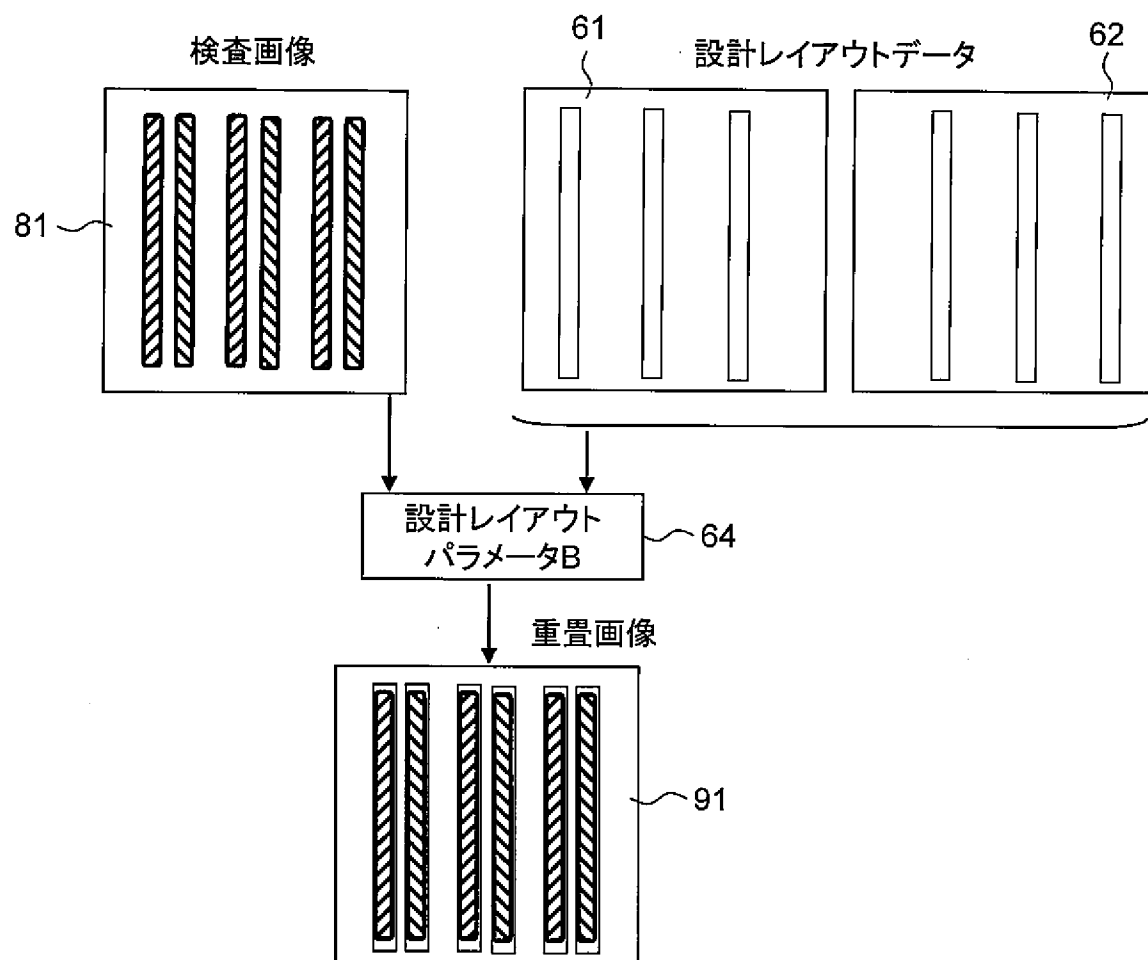
[図9]

図 9



[図10]

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060939

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2011/004534 A1 (Hitachi High-Technologies Corp.), 13 January 2011 (13.01.2011), paragraphs [0028] to [0030], [0037], [0041], [0046]; fig. 1, 4 & US 2012/0131529 A1	1, 4, 7-9 2-3, 5-6
Y	JP 2006-215077 A (Holon Co., Ltd.), 17 August 2006 (17.08.2006), abstract; paragraphs [0010] to [0012], [0034] to [0037] & US 2006/0169896 A1 & DE 102006003422 A	2-3, 5-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 June, 2013 (19.06.13)

Date of mailing of the international search report
02 July, 2013 (02.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2011/004534 A1（株式会社 日立ハイテクノロジーズ） 2011.01.13, 段落【0028】～【0030】、【0037】、【0041】、【0046】、図1、図4 & US 2012/0131529 A1	1, 4, 7 - 9
Y		2 - 3, 5 - 6
Y	JP 2006-215077 A（株式会社ホロン）2006.08.17, 【要約】、段落【0010】～【0012】、段落【0034】～【0037】 & US 2006/0169896 A1 & DE 102006003422 A	2 - 3, 5 - 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 6 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀江 義隆

50

9172

電話番号 03-3581-1101 内線 3559