

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108355

(P2017-108355A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.		F I		テーマコード (参考)		
H03F	1/34	(2006.01)	H03F	1/34	5H430	
G05F	1/56	(2006.01)	G05F	1/56	310F	5J500

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号	特願2015-242546 (P2015-242546)	(71) 出願人	715010864
(22) 出願日	平成27年12月11日 (2015.12.11)		エスアイアイ・セミコンダクタ株式会社
			千葉県千葉市美浜区中瀬一丁目8番地
		(72) 発明者	杉浦 正一
			千葉県千葉市美浜区中瀬1丁目8番地 セ
			イコーインスツル株式会社内
		Fターム(参考)	5H430 BB01 BB09 BB11 EE06 FF02
			FF13 HH02
			5J500 AA01 AA45 AC54 AF17 AH25
			AH29 AK03 AK05 AK11 AK16
			AM05 AM13 AT01 ND01 NH21
			NM02

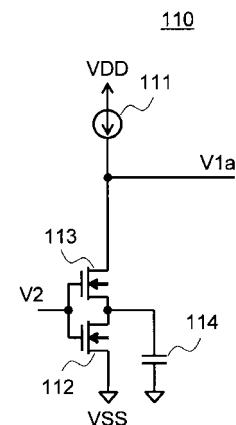
(54) 【発明の名称】 増幅回路及びボルテージレギュレータ

(57) 【要約】

【課題】位相特性を改善することが可能な増幅回路及び、この増幅回路を備えたボルテージレギュレータの提供。

【解決手段】 入力された電圧を増幅し出力する増幅回路であって、電流源と、前記入力された電圧がゲートに印加される第1のトランジスタと、前記入力された電圧と同期した電圧がゲートに印加され、ソースに容量を備えた第2のトランジスタと、を、備えた構成とした。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力端子に入力された電圧を増幅し、出力端子に出力する増幅回路であって、電流源と、ゲートが前記入力端子に接続される第 1 のトランジスタと、ドレインが前記電流源に接続され、ソースが前記第 1 のトランジスタのドレインに接続され、ゲートが前記入力端子に接続される第 2 のトランジスタと、一方の端子が前記第 2 のトランジスタのソースに接続された容量と、を備え、前記第 2 のトランジスタのドレインが前記出力端子に接続されたことを特徴とする増幅回路。

10

【請求項 2】

前記電流源は、抵抗素子であることを特徴とする請求項 1 に記載する増幅回路。

【請求項 3】

前記容量の他方の端子側に電圧源を備えたことを特徴とする請求項 1 に記載する増幅回路。

【請求項 4】

前記容量と直列に抵抗素子を備えたことを特徴とする請求項 1 に記載する増幅回路。

【請求項 5】

前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのゲートの間に電圧源を備えたことを特徴とする請求項 1 に記載する増幅回路。

20

【請求項 6】

請求項 1 から 5 のいずれかに記載の増幅回路を備えたことを特徴とするボルテージレギュレータ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、位相特性を改善することが可能な増幅回路及び、この増幅回路を備えたボルテージレギュレータに関する。

【背景技術】**【0002】**

図 5 は、従来の負帰還増幅回路の回路図である。
従来の負帰還増幅回路 500 は、ソース接地増幅回路の増幅回路 510 と、増幅回路 520 とから成る。増幅回路 510 は、直列に接続された電流源 511 と NMOS トランジスタ 512 から成る。

30

増幅回路 510 の出力は、増幅回路 520 の入力に接続される。増幅回路 520 の出力は、増幅回路 510 の NMOS トランジスタ 512 のゲートに接続される。

【0003】

増幅回路 510 は、NMOS トランジスタ 512 の駆動電流に基づき、増幅回路 510 に入力された電圧を増幅し出力する。増幅回路 520 は、増幅回路 510 の出力電圧 V_{1a} を増幅し出力する。増幅回路 520 によって生成された帰還電圧 V_2 が、増幅回路 510 に入力される。

40

【0004】

従って、負帰還増幅回路 500 は、動作点を一定値に保つように動作する。例えば、増幅回路 510 の出力電圧 V_{1a} と増幅回路 520 の出力電圧 V_2 は、NMOS トランジスタ 512 の駆動電流が電流源 511 の電流と凡そ等しいことを以って、一定値に保たれようとする（例えば、特許文献 1 参照）。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開平 7 - 183736 号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0006】**

しかし、従来の負帰還増幅回路500は、増幅回路の出力で現れる極のため、帰還電圧の位相が遅れ、負帰還回路が発振に至る可能性が高い、という問題があった。

【0007】

極が現れる周波数は、負荷容量と負荷抵抗の影響を受ける。例えば、負荷容量が小さく負荷抵抗が小さいとき、極は高い周波数に現れ、位相遅れをもたらす。また例えば、負荷容量が大きく負荷抵抗が大きいとき、極は低い周波数に現れ、位相遅れをもたらす。ところで、アプリケーションによって、負荷容量や負荷抵抗の条件は異なる。

10

【0008】

負帰還回路が発振に至る可能性を低下させるため、直面するアプリケーションの負荷容量や負荷抵抗の条件に基づき、極が現れる周波数を正しく捉え、対処することが肝心である。

【0009】

本発明は、以上のような問題を解消するために成されたものであり、位相特性を改善することが可能な増幅回路及び、この増幅回路を備えたボルテージレギュレータを、提供するものである。

【課題を解決するための手段】**【0010】**

20

従来の問題を解決するために、本発明の、増幅回路及び、この増幅回路を備えたボルテージレギュレータは、以下のような構成とした。

【0011】

すなわち、入力端子に入力された電圧を増幅し、出力端子に出力する増幅回路であって、電流源と、ゲートが前記入力端子に接続される第1のトランジスタと、ドレインが前記電流源に接続され、ソースが前記第1のトランジスタのドレインに接続され、ゲートが前記入力端子に接続される第2のトランジスタと、一方の端子が前記第2のトランジスタのソースに接続された容量と、を備え、前記第2のトランジスタのドレインが前記出力端子に接続されたことを特徴とする増幅回路、とした。

また、その増幅回路を備えたボルテージレギュレータとした。

30

【発明の効果】**【0012】**

本発明の位相特性を改善することが可能な増幅回路及び、この増幅回路を備えたボルテージレギュレータによれば、位相進み電流を生ずる容量による信号伝搬経路を備えたため、帰還電圧の位相遅れの緩和が図られる。このため、負帰還回路が発振に至る可能性を低下でき、位相特性を改善することが可能な増幅回路及び、この増幅回路を備えたボルテージレギュレータを、提供することが可能となる。

【図面の簡単な説明】**【0013】**

【図1】本実施形態の増幅回路の一例を示す回路図である。

40

【図2】本実施形態の増幅回路の他の例を示す回路図である。

【図3】本実施形態の増幅回路を備えたボルテージレギュレータの回路である。

【図4】本実施形態の増幅回路を備えたボルテージレギュレータの他の例を示す回路である。

【図5】従来の負帰還増幅回路の回路図である。

【発明を実施するための形態】**【0014】**

図1は、本実施形態の増幅回路の一例を示す回路図である。

図1の、本実施形態の増幅回路110は、電流源111と、NMOSトランジスタ112及び113と、容量114と、を備えている。

50

【 0 0 1 5 】

N M O S トランジスタ 1 1 2 は、ソースが接地端子 (V S S) に接続され、ゲートが増幅回路 1 1 0 の入力端子に接続される。N M O S トランジスタ 1 1 3 は、ソースが N M O S トランジスタ 1 1 2 のドレインに接続され、ゲートが増幅回路 1 1 0 の入力端子に接続される。電流源 1 1 1 は、電源端子 (V D D) と N M O S トランジスタ 1 1 3 のドレインの間に接続される。容量 1 1 4 は、N M O S トランジスタ 1 1 3 のソースと接地端子の間に接続される。増幅回路 1 1 0 の出力端子は、N M O S トランジスタ 1 1 3 のドレインに接続される。

【 0 0 1 6 】

本実施形態の増幅回路 1 1 0 の動作について説明する。

10

N M O S トランジスタ 1 1 2 のゲートには、増幅回路 1 1 0 の入力電圧である電圧 V 2 が与えられる。N M O S トランジスタ 1 1 2 のゲート・ソース間電圧は、電圧 V 2 に同期した電圧となるため、N M O S トランジスタ 1 1 2 は電圧 V 2 に応じた電流を流す。

【 0 0 1 7 】

N M O S トランジスタ 1 1 3 のゲートにも、電圧 V 2 が与えられる。N M O S トランジスタ 1 1 3 は、いわゆるソースフォロウのため、ソースには電圧 V 2 に同期した電圧が現れる。容量 1 1 4 に生じる電流は、容量 1 1 4 に掛かる電圧よりも位相が進むため、電圧 V 2 に同期した電圧が掛かる容量 1 1 4 には、電圧 V 2 よりも位相が進む電流が流れる。

【 0 0 1 8 】

増幅回路 1 1 0 は、N M O S トランジスタ 1 1 2 が駆動する電流と容量 1 1 4 を経由する電流を加算した電流に基づき、入力された電圧 V 2 を増幅し電圧 V 1 a として出力する。

20

【 0 0 1 9 】

容量は、周波数が高いほどインピーダンスが低くなる。このため、容量 1 1 4 を経由する電流は、周波数が高いほど大きくなる。電圧 V 2 の周波数が高くなると、電圧 V 2 よりも位相が進む容量 1 1 4 を経由する電流が比較的大きくなるため、電圧 V 1 a は位相が進む。

【 0 0 2 0 】

従って、本実施形態の増幅回路を負帰還増幅回路に用いた場合は、帰還電圧 (電圧 V 2) の位相遅れが緩和され、即ち位相補償効果が得られ、安定した負帰還増幅回路を構成する事が出来る。

30

【 0 0 2 1 】

以上説明した様に、本実施形態の増幅回路によれば、位相進み電流を生ずる容量による信号伝搬経路を設けたので、この増幅回路を備えた負帰還増幅回路は、帰還電圧の位相遅れが緩和され、位相特性を改善することが可能である。従って、この増幅回路を備えた負帰還増幅回路 (例えば、ボルテージレギュレータ) は、発振に至る可能性を低下できるので、安定して動作することが可能となる。

【 0 0 2 2 】

なお、電流源 1 1 1 は増幅回路 1 1 0 における負荷を担う素子であれば、その内容は電流源に限定される必要はない。例えば、抵抗など、使用可能な素子の中から適当に選択すれば良い。

40

【 0 0 2 3 】

また、容量 1 1 4 は、図 2 に示すように、直列に抵抗 2 1 1 を備えても良い。この場合、容量 1 1 4 を経由する電流は、抵抗 2 1 1 による制限を受けるため、増幅回路 2 1 0 は帯域を制限する効果が期待でき、耐高周波ノイズ特性の良い増幅回路を実現できるメリットが見込める。

【 0 0 2 4 】

また、容量 1 1 4 は接地端子に接続された構成としているが、図 2 に示すように、接地端子の電圧を基準とした電圧源 2 1 2 を備えても、同様の効果が得られる。例えば、電圧源 2 1 2 の電圧は電源端子の電圧と同じであってもよい。

50

【 0 0 2 5 】

また、N M O S トランジスタ 1 1 3 のゲートには、増幅回路の入力端子と N M O S トランジスタ 1 1 3 のゲートとの間に電圧源 2 1 3 を備えてもよい。即ち、N M O S トランジスタ 1 1 3 のソースは、増幅回路の入力電圧 V_2 に電圧源 2 1 3 の電圧が加算された電圧に同期した電圧が現れるとしても、同様の効果が得られることは明らかである。また、電圧源 2 1 3 は、増幅回路の入力端子と N M O S トランジスタ 1 1 2 のゲートとの間に電圧源 2 1 3 を備えてもよい。

【 0 0 2 6 】

また、以上の説明では、本実施形態の増幅回路は、N M O S トランジスタの使用を前提として説明したが、P M O S トランジスタの使用を前提とした増幅回路であっても、同様にして位相進み電流を生ずる容量による信号伝搬経路を設けることにより、位相特性を改善することが可能である。従って、この増幅回路を備えた負帰還増幅回路（例えば、ボルテージレギュレータ）は、発振に至る可能性を低下できるので、安定して動作することが可能となる。

10

【 0 0 2 7 】

次に、図 3 に示す本実施形態の増幅回路を備えたボルテージレギュレータの実施形態について説明する。

ボルテージレギュレータ 1 0 0 は、図 1 に示した増幅回路 1 1 0 と、増幅回路 1 2 0 と、出力端子 1 0 1 と、を備える。増幅回路 1 2 0 は、N M O S トランジスタ 1 2 1 と、抵抗 1 2 2 と、抵抗 1 2 3 と、を備える。

20

【 0 0 2 8 】

増幅回路 1 1 0 は、出力端子が増幅回路 1 2 0 の入力端子に接続される。増幅回路 1 2 0 は、出力端子がボルテージレギュレータ 1 0 0 の出力端子 1 0 1 に接続され、帰還電圧出力端子が増幅回路 1 1 0 の入力端子に接続される。

【 0 0 2 9 】

N M O S トランジスタ 1 2 1 と抵抗 1 2 2 及び抵抗 1 2 3 は、電源端子と接地端子の間に直列に接続されている。N M O S トランジスタ 1 2 1 は、ゲートが増幅回路 1 2 0 の入力端子に接続され、ソースが増幅回路 1 2 0 の出力端子に接続される。抵抗 1 2 2 と抵抗 1 2 3 の接続点は、増幅回路 1 2 0 の帰還電圧出力端子に接続される。

【 0 0 3 0 】

次に、ボルテージレギュレータ 1 0 0 の動作について説明する。

30

増幅回路 1 2 0 は、入力された電圧 V_{1a} に基づいて増幅動作が成され、増幅した電圧 V_{OUT} を出力する。また、増幅回路 1 2 0 は、電圧 V_{OUT} を抵抗 1 2 2 及び抵抗 1 2 3 で分圧して帰還電圧である電圧 V_2 を増幅回路 1 1 0 の入力端子に出力する。従って、増幅回路 1 1 0 と増幅回路 1 2 0 とは、互いに入力端子と出力端子とが接続されているため、負帰還増幅回路を構成している。電圧 V_{OUT} が低くなると、即ち帰還電圧である電圧 V_2 が低くなると、増幅回路 1 1 0 は、N M O S トランジスタ 1 1 2 及び 1 1 3 がオフしていくので、出力する電圧 V_{1a} は高くなる。増幅回路 1 2 0 は、N M O S トランジスタ 1 2 1 がオンしていくので、出力する電圧 V_{OUT} は高くなる。また、電圧 V_{OUT} が高くなると、即ち帰還電圧である電圧 V_2 が高くなると、増幅回路 1 1 0 は、N M O S トランジスタ 1 1 2 及び 1 1 3 をオンしていくので、出力する電圧 V_{1a} は低くなる。増幅回路 1 2 0 は、N M O S トランジスタ 1 2 1 がオフしていくので、出力する電圧 V_{OUT} は低くなる。即ち、ボルテージレギュレータ 1 0 0 は、電圧 V_{OUT} が一定に保たれるように動作する。

40

【 0 0 3 1 】

増幅回路 1 1 0 は、図 1 の実施形態の説明において、帰還電圧の位相遅れの緩和が図られる効果について、明らかにした。従って、本実施形態の増幅回路 1 1 0 を備えた負帰還増幅回路であるボルテージレギュレータ 1 0 0 は、帰還電圧の位相が遅れの緩和が図られるから、安定して動作することが可能となる。

なお、ボルテージレギュレータ 1 0 0 は、増幅回路 1 1 0 を、上述したように、例えば

50

増幅回路 2 1 0 のような回路構成としても、同様の効果が得られる。

【 0 0 3 2 】

図 4 は、本実施形態の増幅回路を備えたボルテージレギュレータの他の例を示す回路である。

ボルテージレギュレータ 2 0 0 は、増幅回路 1 1 0 と、増幅回路 1 3 0 と、増幅回路 1 4 0 と、出力端子 1 0 1 と、を備える。

増幅回路 1 3 0 は、N M O S トランジスタ 1 3 1 と、抵抗 1 3 2 を備える。増幅回路 1 4 0 は、P M O S トランジスタ 1 4 1 と、抵抗 1 4 2 と、抵抗 1 4 3 と、を備える。

【 0 0 3 3 】

ボルテージレギュレータ 2 0 0 は、P M O S トランジスタ 1 4 1 による増幅回路 1 4 0 を備えたので、増幅回路 1 1 0 の出力する電圧 V 1 a の増幅極性を反転させる増幅回路 1 3 0 を備えている。

このように構成したボルテージレギュレータ 2 0 0 は、ボルテージレギュレータ 1 0 0 と同様に負帰還増幅回路を構成するので、同様の効果が得られることは自明である。

【 0 0 3 4 】

以上説明したように、本実施形態の増幅回路によれば、位相特性を改善することが可能である。従って、この増幅回路を備えた負帰還増幅回路であるボルテージレギュレータは、帰還電圧の位相遅れの緩和が図られるため、発振に至る可能性を低下でき、即ち、安定して動作するボルテージレギュレータを提供することが可能となる。

【 符号の説明 】

【 0 0 3 5 】

1 1 0 、 1 2 0 、 1 3 0 、 1 4 0 増幅回路

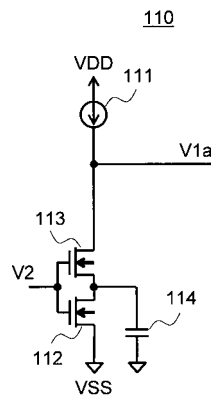
1 1 1 電流源

2 1 2 、 2 1 3 電圧源

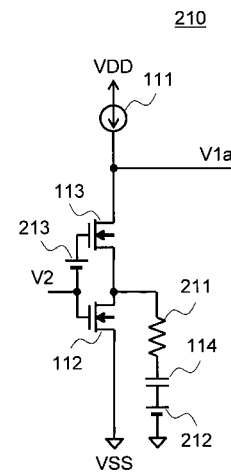
10

20

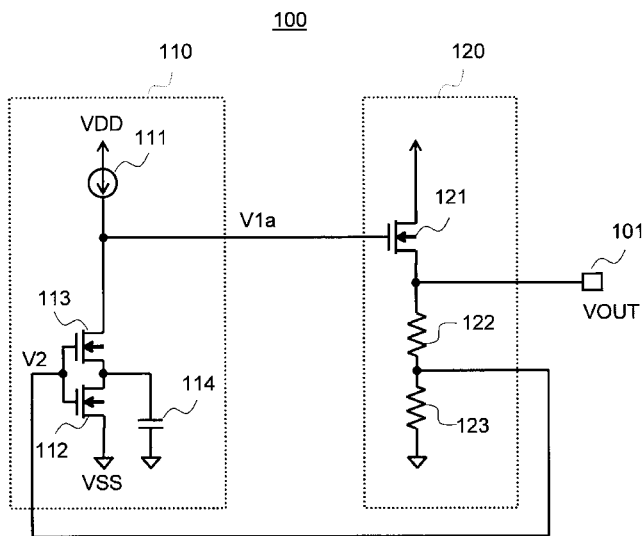
【 図 1 】



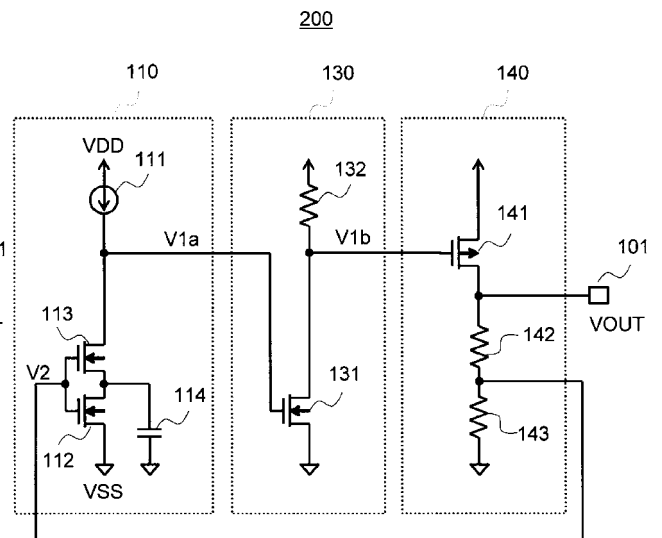
【 図 2 】



【図 3】



【図 4】



【図 5】

