发明名称
使用含氟聚合物复合衬底来制造微波多功能模块的方法

摘要
为制造微波多层集成电路和微波多功能模块而提供了一种平台。制造工艺涉及使用熔焊把含氟聚合物复合衬底(1-10)焊接成为一多层结构(200)。嵌有半导体器件、蚀刻的电阻器和电路图案以及镀敷的通孔的焊接多层(1-10)形成自包含表面安装模块(200)。可使用膜焊接(或可能的烙焊)以一层或多层来覆盖嵌入的半导体器件，包括嵌入的有源半导体器件。
1. 一种多层结构 (200)，其特征在于包括：
多层 (1-10)，每一层包括含氟聚合物复合衬底，其中对所述多层的至少一个子集进行熔焊，以提供均质电介质；以及
嵌入所述多层结构 (200) 中并被所述多层中的至少一层覆盖的至少一个有源半导体器件 (1592)，所述多层中的所述至少一层被焊接到所述多层的所述至少一个子集。

2. 如权利要求 1 所述的多层结构 (200)，其特征在于所述含氟聚合物复合衬底具有从近似于 2.9 到近似于 10.2 的相对介电常数值。

3. 如权利要求 1 所述的多层结构 (200)，其特征在于所述含氟聚合物复合衬底对微波信号具有从近似于 0.0013 到近似于 0.0024 的介质损耗角正切。

4. 如权利要求 1 所述的多层结构 (200)，其特征在于通过镀敷的通孔 (1005) 来连接所述多层中的至少两层。

5. 如权利要求 1 所述的多层结构 (200)，其特征在于使用焊接膜 (150) 把所述多层 (1-10) 中的所述至少一层焊接到所述多层的所述至少一个子集。

6. 如权利要求 1 所述的多层结构 (200)，其特征在于利用预先设计的模块库来设计所述多层结构 (200)。

7. 如权利要求 1 所述的多层结构，其特征在于所述多层结构是一多层结构阵列的一部分，所述多层结构阵列为 22.9cm 宽，且 30.5cm 长。

8. 如权利要求 7 所述的多层结构，其特征在于所述多层结构阵列为 45.7cm 宽，且 61.0cm 长。

9. 一种用于制造具有至少一个嵌入的有源半导体器件的均质介电子组件的工艺，其特征在于，包括以下步骤：
制造包括含氟聚合物化合物衬底的多层；
在所述多层中的至少一层中形成切口；
在所述形成切口后，把所述多层的所述至少一层熔焊到所述多层中的另外的至少一层上，其中所述切口留下置于所述多层中的所述至少一层与所述多层中的所述另外的至少一层之间的至少一部分金属化；
在所述熔焊后，把所述至少一个有源半导体器件附加到所述金属化上，从而形成具有至少一个嵌入的有源半导体器件的所述均质介电子组件；
对所述至少一个嵌入的有源半导体器件进行覆盖，所述覆盖包括把至少一个覆盖层焊接到所述均质介电子组件上。

10. 如权利要求 9 所述的制造均质介电子组件的工艺，其特征在于所述焊接利用焊接膜把至少一个覆盖层焊接到所述均质介电子组件上。

11. 如权利要求 9 所述的制造均质介电子组件的工艺，其特征在于还包括穿过含氟聚合物复合衬底进行钻孔以产生至所述切口的通路的步骤，其中在所述钻孔前所述切口被含氟聚合物复合衬底完全包裹。

12. 如权利要求 9 所述的制造均质介电子组件的工艺，其特征在于通过镀敷的通孔来连接所述多层中的至少两层。

13. 如权利要求 9 所述的制造均质介电子组件的工艺，其特征在于利用预先设计的模块库来设计所述均质介电子组件。

14. 如权利要求 11 所述的制造均质介电子组件的工艺，其特征在于通过镀敷的通孔来连接所述多层中的至少两层。

15. 如权利要求 11 所述的制造均质介电子组件的工艺，其特征在于利用预先设计的模块库来设计所述均质介电子组件。
使用含氟聚合物复合衬底来制造微波多功能模块的方法

技术领域
本发明涉及多层集成电路和微波多功能模块。尤其是，本发明揭示了一种通过在利用熔焊工艺焊接在一起成为多层结构的含氟聚合物复合衬底内嵌入半导体器件（包括有源半导体器件）来制造这种电路和模块的方法。

背景技术
几十年来，无线通信系统在技术上变得越来越先进，其性能提高表现在尺寸变小、操作于较高的频率及伴随的带宽增加、对于给定功率输出的较低功耗以及坚固性等方面。向着更好通信系统的这种趋势推动了对这些系统制造商的更大需求。

今天，卫星、军事和其它边缘数字通信系统的需求用上了微波技术。在这些应用中，电路和系统需要小型且重量轻的表面安装封装。微波信号处理的需求还需要仔细地选择材料以使配套组件之间的热膨胀性匹配，并把焊点（solder joint）减到最少从而可提高可靠性。同时，诸如尺寸和可制造性等因素需要更高水平的集成并在并减少分立元件，以降低工程成本并减少产品设计周期时间。

可以用构造所使用的材料对微波电路进行分类。例如，流行的技术包括低温共烧陶瓷（LTCC）、陶瓷/聚酰胺（CP）、环氧玻璃纤维（FR4）、含氟聚合物复合物（PTFE）以及混合介质（MDk，FR4 与 PTFE 的混合）。每种技术具有它自己的强度并处理了解上所述的一种或几种问题，但目前的技术未提出所有的问题。

例如，通常利用使用 FR4、PTFE 或 MDk 技术的多层印刷电路板把信号按路由发送到利用导体聚合物的的焊接连接而安装在表面上的元件。对于这些电路，可采用印刷或蚀刻电阻器并可掩埋。这些技术可形成多功能模块（MCM），这些模块带有单片微波集成电路（MMIC）并可安装在母板上。

虽然 FR4 具有低成本且易于加工，但它通常不适用于微波频率，因为其损耗角正切较高且材料的介电常数和温度之间的相关性较高。它还有热膨胀系数（CTE）差异从而引起组件失配的趋势。即使近来对 FR4 板的改进已提高了电学性能，但用来焊接成的热固膜可能限制层间通孔连接的类型。
对于大多数微波应用，PTFE 是一种比 FR4 更好的技术。具有玻璃和陶瓷的复合物通常具有优越的热稳定性。此外，可使用 PTFE 技术来制造复杂的微波电路，熔焊的应用使得可形成均质多层。然而，目前利用此技术的方法导致器件暴露于这些多功能模块的表面。此外，设计周期时间将较长且涉及大的成本。

另一种类型的普通技术是 CP，它涉及把非常薄的聚酰胺介质和金属化层加到包含 MMIC 的陶瓷底座上。该技术可生产数量级小于 FR4、PTFE 或 MDK 的电路，且通常在高的微波频率下工作得相当好。可给半导体覆盖一层聚酰胺。然而，与 PTFE 技术相同，设计周期相对长且费钱。此外，CTE 的差异通常使某些配套组件失配。

最后，通过组合陶瓷和金属化层来形成多层结构的 LTCC 技术在高的微波频率下也工作得很好。此外，可容易地形成空腔，以把器件包含在其中，并覆盖一层陶瓷。然而，与 CP 技术相同，设计周期通常相对较长且费钱，而且 CTE 的差异通常引起某些配套组件的失配。

发明内容

本发明涉及一种利用含氟聚合物复合衬底制造多层集成电路以及微波多功能模块的工艺和方法，利用熔焊工艺把这种衬底焊接在一起成为多层结构。复合衬底材料包括填充有玻璃纤维和陶瓷的聚四氟乙烯 (PTFE)。可在各个衬底层中轧制出切口，为半导体器件腾出空间。可使用聚合物焊接膜层焊接附加的一层或多层衬底层，以覆盖嵌入该结构内的半导体器件。最好，使用通孔来连接各层的电路，这些通孔可具有诸如圆形、槽形和/或椭圆形等各种形状。

本发明的一个目的是提供一种适用于大量生产和少量生产的低成本制造工艺。

本发明的另一个目的是使用对微波信号的介质损耗角正切低的含氟聚合物复合衬底材料来提供嵌有半导体器件 (包括有源半导体器件) 的多功能模块。

本发明的另一个目的是使用对微波信号的介质损耗角正切低的含氟聚合物复合衬底材料来提供嵌有半导体器件 (包括有源半导体器件) 的多功能模块。

本发明的另一个目的是使用对微波信号的介质损耗角正切低的含氟聚合物复合衬底材料来提供嵌有半导体器件 (包括有源半导体器件) 的多功能模块。
模块。

本发明又一个目的是提供嵌有半导体器件（包括有源半导体器件）的多功能模块，由于焊接区中的 CTE 不相等而使该模块具有最小的应力。

本发明的再一个目的是提供嵌有半导体器件（包括有源半导体器件）的多功能模块，该模块具有穿过焊接区的可靠性提高的绝缘敷的通孔。

本发明的另一个目的是提供嵌有半导体器件（包括有源半导体器件）的多功能模块，其中电路图案与电阻器之间的连接是连续的，从而提供基本上比焊点更可靠的互连。

本发明的又一个目的是提供嵌有半导体器件（包括有源半导体器件）的多功能模块，其互连路径长度减小，从而对无源元件提供较低的插入损耗。

本发明的再一个目的是利用聚合物膜焊接工艺焊接各层来提供多功能模块并保护嵌入特定层内形成的空腔中的半导体器件（包括有源半导体器件）。本发明的另一个目的是提供嵌有半导体器件（包括有源半导体器件）的轮廓小的多功能模块结构。

本发明的又一个目的是提供嵌有半导体器件（包括有源半导体器件）的型面低的多功能模块结构。

本发明的再一个目的是提供嵌有半导体器件（包括有源半导体器件）的重量轻的多功能模块结构。

本发明的另一个目的是提供嵌有半导体器件（包括有源半导体器件）的多功能模块结构，其表面安装格式与微带或共面波导兼容。

本发明的又一个目的是提供一种模块体系结构设计的平台方法，它是一个可适用于产生专用集成电路的多层设计方案。

本发明的再一个目的是提供一种模块体系结构设计的平台方法，该方法提供了比其它模块体系结构设计方法短的产品设计周期时间。

本发明的还有一个目的是提供一种用于嵌有半导体器件（包括有源半导体器件）的衬底层的熔化工艺，它产生了在微波频率下电学性能提高的均质电介质。

附图概述

以下附图中的一些示出衬底层上的电路图案，包括铜蚀刻和孔。虽然可放大诸如孔等某些结构以清楚地示出，但这些图中的形状和各结构的相对放置是相对于一实施例精确绘制的。
图 1 是示出具有十层的本发明一较佳实施例的子组件和最终组件的组装概观的流程图。

图 2a 是通过图 1 的流程图中概述的工艺所产生的十层微波多层集成电路的最终组件的俯视图。

图 2b 是通过图 1 的流程图中概述的工艺所产生的十层微波多层集成电路的最终组件的仰视图。

图 2c 是通过图 1 的流程图中概述的工艺所产生的十层微波多层集成电路的最终组件的侧视图。

图 3a 是图 2 所示十层微波多层集成电路的未完成第一层的俯视图。
图 3b 是图 2 所示十层微波多层集成电路的未完成第一层的侧视图。
图 4a 是图 2 所示十层微波多层集成电路的未完成第二层的俯视图。
图 4b 是图 2 所示十层微波多层集成电路的未完成第二层的仰视图。
图 4c 是图 2 所示十层微波多层集成电路的未完成第二层的侧视图。
图 5a 是图 2 所示十层微波多层集成电路的未完成第三层的俯视图。
图 5b 是图 2 所示十层微波多层集成电路的未完成第三层的仰视图。
图 5c 是图 2 所示十层微波多层集成电路的未完成第三层的侧视图。
图 6a 是图 2 所示十层微波多层集成电路的三层子组件的俯视图。
图 6b 是图 2 所示十层微波多层集成电路的三层子组件的侧视图。
图 7a 是图 2 所示十层微波多层集成电路的未完成第四层的俯视图。
图 7b 是图 2 所示十层微波多层集成电路的未完成第四层的仰视图。
图 7c 是图 2 所示十层微波多层集成电路的未完成第四层的侧视图。
图 8a 是图 2 所示十层微波多层集成电路的未完成第五层的俯视图。
图 8b 是图 2 所示十层微波多层集成电路的未完成第五层的侧视图。
图 9a 是图 2 所示十层微波多层集成电路的未完成第六层的俯视图。
图 9b 是图 2 所示十层微波多层集成电路的未完成第六层的仰视图。
图 9c 是图 2 所示十层微波多层集成电路的未完成第六层的侧视图。
图 10a 是图 2 所示十层微波多层集成电路的第一两层子组件的俯视图。
图 10b 是图 2 所示十层微波多层集成电路的第一两层子组件的仰视图。
图 10c 是图 2 所示十层微波多层集成电路的第一两层子组件的侧视图。
图 11a 是图 2 所示十层微波多层集成电路的未完成第七层的俯视图。
图 11b 是图 2 所示十层微波多层集成电路的未完成第七层的仰视图。
图 11c 是图 2 所示十层微波多层集成电路的未完成第七层的侧视图。图 12a 是图 2 所示十层微波多层集成电路的未完成第八层的俯视图。图 12b 是图 2 所示十层微波多层集成电路的未完成第八层的侧视图。图 13a 是图 2 所示十层微波多层集成电路的未完成第九层的俯视图。图 13b 是图 2 所示十层微波多层集成电路的未完成第九层的侧视图。图 14a 是图 2 所示十层微波多层集成电路的第二两层子组件的俯视图。图 14b 是图 2 所示十层微波多层集成电路的第二两层子组件的仰视图。图 14c 是图 2 所示十层微波多层集成电路的第二两层子组件的侧视图。图 15a 是图 2 所示十层微波多层集成电路的九层子组件的俯视图。图 15b 是图 2 所示十层微波多层集成电路的九层子组件的侧视图。图 16a 是图 2 所示十层微波多层集成电路的未完成第十层的俯视图。图 16b 是图 2 所示十层微波多层集成电路的未完成第十层的侧视图。图 17a 是图 2 所示十层微波多层集成电路的焊接膜的俯视图。图 17b 是图 2 所示十层微波多层集成电路的焊接膜的侧视图。

本发明的详细说明

1. 衬底层

这里所述的多层结构包括衬底层的堆叠。把衬底“层”定义为一侧或两侧上包括电路的衬底。在一层内可嵌入诸如二极管等半导体器件。

把衬底层的堆叠接合起来，以形成多层结构。多层结构可具有极少或许多层。在如下所述的较佳实施例中，揭示了十层多层结构。

在一较佳实施例中，衬底近似于 0.13mm 到 0.76mm 厚，而且是聚四氟乙烯 (PTFE)、玻璃和陶瓷的复合材料。通常，厚得多的衬底是可能的，但它们实际上导致电路较大，这在许多应用中是不想要的。如多层电路领域内的普通技术人员所公知，PTFE 是熔焊的较佳材料，而添加玻璃和陶瓷改变了介电常数并增加了稳定性。替代材料变得可从市场上获得。较厚的衬底是可能的，但它们实际上导致电路较大，这在许多应用中是不想要的。最好，衬底复合材料的 CTE 接近于铜的 CTE，诸如从近似于每摄氏度百万分之七到近似于每摄氏度百万分之二十七。最好，衬底复合材料的介质损耗角正切对于微波信号从近似于 0.0013 到近似于 0.0024。

虽然这些层的介电常数可具有诸如从近似于 1 到近似于 100 的大的范围，但目前，市场上可获得的具有想要特性的衬底的典型介电常数近似于 2.9 到近似于
10.2.

**II. 熔焊工艺**

焊接 PTFE 复合衬底层的一个较佳方法是熔焊。熔焊工艺提供了在微波频率下具有优越的电学性能的均质结构。例如，熔焊基本上减少了由焊接区中的 CTE 差异所引起的应力并提高了穿过焊接区的经镀敷通孔的可靠性。

通常，在热压机(autoclave press)或液压机中，通过把衬底层加热到超过 PTFE 复合材料的熔点，与此同时以机械或等压方式或这两种方式的组合加上预定数量的压强，这样来实现熔焊。通常，由具有多个(最好是三个或八个，但可能更多)销钉(pin)的精密固定装置来保证各层的对准，以在 PTFE 树脂的状态变为粘性液体及相邻层在压力下熔焊时使流动稳定。依据被焊接的堆叠的应用和尺寸，销钉的构造最好是三角形或矩形的。销钉本身最好是圆形、正方形、矩形、椭圆形或菱形的，但也可具有其它实施例中的其它形状。

虽然焊接压强通常从近似于 10 PSI 变到近似于 1000 PSI 且焊接温度通常从近似于 350 摄氏度变为 450 摄氏度，但温升曲线的一个例子为 200 PSI，在 40 分钟内从室温上升到 240 摄氏度，在 45 分钟内上升到 375 摄氏度，在 375 摄氏度驻留 15 分钟并在 90 分钟内下降到 35 摄氏度。

**III. 槽、空腔和孔的形成**

最好使由多层构成的各层和子组件在大的衬底板(通常为 22.9cm 乘以 30.5cm 或 45.7cm 乘以 61.0cm)上形成阵列。通常由具有多个(最好为三个到八个，但可能更多)销钉的精密固定装置来保证衬底板在刻模机(router)台上的对准。依据被焊接的堆叠的应用和尺寸，销钉的构造最好是三角形或矩形的。销钉本身最好是圆形、正方形、矩形、椭圆形或菱形的，但也可具有其它实施例中的其它形状。

空腔或键孔 spot face)图案最好与待嵌入其中的器件的形状一致，以把空腔尺寸减到最小。在组件或子组件中形成槽。在一较佳实施例中，通过钻出由平板(flat) (在一较佳实施例中，平板为 1.0mm 长)连接在一起的两个椭圆形孔随后以端铣刀清理边缘来形成槽。在一较佳实施例中钻透孔或通孔，但也可通过等离子体蚀刻。最好也通过钻孔和/或铣削来清理子组件或组件(或在某些实施例中的各层)的边缘或转角。

对于大多数应用，速度、进给和钻孔调中数目以及所钻的总线性距离都是在钻孔和/或铣削过程中要监测的重要参数。工具的磨损对含氟聚合物复合材料的涂抹(smear)有贡献，且也可能会影镀敷过程。虽然在另一个实施例中也可使用标准
高速钢，但在一较佳实施例中，利用硬质合金钻头和端铣刀。在一较佳实施例中，
钻头的速度范围近似于 30,000 到 150,000RPM，而端铣刀的速度范围近似于 25,000
到 75,000RPM。这些工具的进给速率的范围在每分钟 51 和 127cm 之间。对于典型
的钻头，钻头范围近似于 200 到 800，刻模板的线性距离近似于 64 到 254cm。普
通的计划是以 50,000RPM 的速率钻出最多 250 击，并以 35,000RPM 的速度刻出最
多 127cm 的线性距离。最好，在达到最大击中数目和线性距离时更换工具。

IV. 槽、空腔和孔的镀敷

镀敷槽、空腔和孔的表面的一个较佳方法涉及以钠蚀刻剂（或在另一个实施
例中，用等离子体）激活表面，接着通过在醇中漂洗 15 到 30 分钟来清洁衬底，然
后最好在温度为 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟。然后，
在近似于 90 到 180 摄氏度下把衬底真空烘烤近似于 30 到 2 小时，但最好在 149
摄氏度下真空烘烤一小时，以除去水分。然后，给衬底镀敷铜，最好首先使用无
电镀铜晶粒（seed）层接着使用电解铜板，最好镀敷到近似于 13 到 25 微米的厚度。
然后，最好把衬底在水（最好是去离子的）中漂洗至少一分钟。

V. 半导体器件的附加

最好，把例如二极管、放大器、晶体管和其他有源器件和半导体器件嵌入特
定衬底层中形成的空腔中。例如，这些器件可以是未封装或以表面安装封装的小
片、梁式引线、芯片标度（chip-scale）、触发器和/或 BGA。在一较佳实施例中，
以气动或手工分配的焊膏来附加这些器件；在其它较佳实施例中，可使用导电聚
合物、丝焊或烧焊来进行附加。可通过手工或诸如 SMT 挑选和放置设备等机械来
附加这些器件。

VI. 膜焊接

虽然烙焊通常对膜焊接是较佳的，但还有使用膜焊接的某些情况。例如，嵌
入衬底空腔内的某些器件不能承受烙焊工艺的热量和/或压强。有利的是，使用如
下所述的聚合物膜焊接工艺把至少一个覆盖层焊接到具有嵌入的器件的子组件
上。一层或多层覆盖层保护器件免受环境影响，并可免去对附加封装的需要。通
常，通过使用手工观察系统、自动观察系统或 X 射线系统在对一层或多层覆盖层
进行膜焊接前检查所放置的器件。

最好利用厚度近似于 25 到 64 微米的焊接膜，但它最好是 38 微米。通常，
对热固或热塑聚合物膜进行加工，以对附加的器件、通孔和空腔形成清理。通常，
在热压机或液压机中，通过把包含夹住焊接膜的衬底层的子组件加热到超过焊接
膜熔点，与此同时加上（最好以机械方式、等压方式或这两种方式的组合）预定数量的压强来实现膜焊接。通常，由具有多个（最好是三个或八个，但可能更多）销钉（pin）的精密固定装置来保证各层及焊接膜的对准。

虽然焊接压强和温度可改变，但热固聚合物膜的固化曲线的一个例子为 200 PSI，在 30 分钟内从室温上升到 180 摄氏度，在 180 摄氏度驻留 90 分钟，在 30 分钟内再上升到 245 摄氏度，在 245 摄氏度驻留 120 分钟，并在 60 分钟内下降到 35 摄氏度。热塑聚合物膜的固化曲线的一个例子为 200 PSI，在 30 分钟内从室温上升到 150 摄氏度，在 150 摄氏度驻留 50 分钟并在 30 分钟内下降到 35 摄氏度。

VII. 掩模对准和暴光

一般，依据 CAD 软件的平台策略来产生掩模文件。虽然在另一较佳实施例中可使用十字线，但在一较佳实施例中，对目标进行数字化以便进行对准，然后钻孔并固定。在近似于 5 到 30 分钟内把衬底层加热到近似于 90 到 125 摄氏度的温度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用目标 ( 或十字线 ) 和对准销钉使掩模在衬底板上对准，使用适当的暴光设定使光致抗蚀剂暴光，以在留下的抗蚀剂区下形成电路图案。

VIII. 铜蚀刻

通常，铜蚀刻中所使用的过程涉及在有空隙的铜箔致中蚀刻电路图案。最好，可在近似于 18 微米厚的铜 ( 也叫做 partially copper ) 上蚀刻小到近似于 76 微米的线宽和间隙。可在诸如 partially copper 等更薄的铜层上蚀刻诸如近似于 25 微米的更小几何尺寸。在一较佳实施例中，通过加上强碱或酸除去衬底层或子组件上的铜来实现铜蚀刻。通过在醇中洗净 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中洗净至少 15 分钟来清洁衬底层或子组件。然后，把衬底层或子组件在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时来除去水分。

IX. 电阻器的蚀刻

在一较佳实施例中，使用类似于铜蚀刻的方法，在接近铜层的薄的磷酸铟膜中蚀刻电阻器。通常，在加上第二掩模以及加上碱性铵前对电路碱性铜蚀刻。在一较佳实施例中，慢慢地蚀刻每个电阻器以上的铜，直到到达镍的表面。

X. 衬底板分离 ( depaneling ) 方法

在如上所述把焊接层组件制成阵列时，必须把它们从衬底板上移去。虽然在其它较佳实施例中可使用金刚石锯和 EXCIMER ( 准分子 ) 激光器，但上述钻孔和铣
削过程通常用于衬底板分离阵列。

通常，由具有多个（最好为三个到八个，但可能更多）销钉的精密固定装置来保证衬底板在刻模机台上的对准。依据被焊接的堆叠的应用和尺寸，销钉的构造最好是三角形或矩形的。销钉本身最好是圆形、正方形、矩形、椭圆形或菱形的，但也可具有其它实施例中的其它形状。通常，使用钻孔与铣削的组合来产生组件的最终轮廓，然后，把这些组件与其衬底分离并移至储存托架上。

再者，速度、进给和钻孔击中数目以及所钻的总线性距离都是在钻孔和/或铣削过程中要监测的重要参数。工具的磨损对含氟聚合物复合材料的涂抹有贡献，且也可能影响镀敷过程。在一较佳实施例中，钻头的速度范围近似于 30,000 到 150,000RPM，而端铣刀的速度范围近似于 25,000 到 75,000RPM。这些工具的进给速率的范围在每分钟 51 和 127cm 之间。对于典型的钻头，钻头范围近似于 200 到 800，刻模板的线性距离近似于 64 到 254cm。普通的计划是以 50,000RPM 的速率钻出最多 250 击，并以 35,000RPM 的速率刻出最多 127cm 的线性距离。最好，在达到最大击中数目和线性距离时更换工具。

XI. 平台设计

在一较佳实施例中，使用模块体系结构设计的平台策略在可互换的层的功能组之间提供统一的轮廓和互连路径。因而，一旦产生足够大的模块库，就可基本上减少结合这些模块的后续电路的设计时间。

在一较佳实施例中，通过三维 CAD 绘图文件编制和可编程程序步骤来实现平台设计策略。可混合来自预先设计的库的功能层块或模块，并使它们匹配以构造满足专门应用的电路。可通过覆盖对每个轮廓都共同的三维结构模板来设计新的功能块。在一较佳实施例中，根据想要的组件中的层数自动地构成程序步骤并把它覆盖到新的设计上。

XII. 应用制造程序的例子

参考图 1，流程图 100 示出用来组合层 1、2、3、4、5、6、7、8、9、10 以形成最终组件或多层结构 200 的过程的板的概观，在一个较佳实施例中，每一层具有 2.03 平方厘米的侧面尺寸。

作为以下更详细所述的过程的简短概观，流程图 100 所述如下。制造层 1、2、3，然后对它们进行焊接以形成子组件 110。制造层 5、6，然后对它们进行焊接以形成子组件 120。制造层 8、9，然后对它们进行焊接以形成子组件 130。制造子组件 110、层 4、子组件 120、层 7 和子组件 130，然后对它们进行焊接以形成子
组件 140。如图 2 所示，使用焊接膜 150 来焊接子组件 140 和层 10，以形成多层结构 200。

在一较佳实施例中，用来焊接各层（或把各层焊接成子组件）以形成子组件的焊接工艺是上述熔焊工艺。

在以下所述的较佳实施例中，层 1、3、10 的衬底的厚度近似于 760 微米，层 4、7 的衬底的厚度近似于 510 微米，5、6、8、9 的衬底的厚度近似于 250 微米，层 2 的衬底的厚度近似于 130 微米。通常，以铜对衬底进行金属化来形成电路。铜通常为 5 到 250 微米厚且最好近似于 13 到 64 微米厚，可给铜镀敷例如锡或镍/金或锡/铝化合物。由通孔（最好镀敷有铜）来连接这些电路，通孔的直径通常为 0.13 到 3.2mm，其直径最好近似于 0.2 到 0.48mm。

以下是用来制造多层结构 200 的过程的逐步描述。可理解，所使用的数字（仅仅是示例，尺寸、温度、时间）是近似值且可改变，对本领域内的技术人员很明显的是，可以不同的顺序进行某些步骤。

还应理解，图中把衬底层的轮廓示为在所施加的所有步骤完成后得到的衬底层。因而，某些图在衬底层的边缘处示出的转角孔和槽直到把所有层都焊接在一起时才存在。在如图 2 所示的多层结构 200 中对槽 250 进行铣削并钻出转角孔 260 和边缘孔 270。

a. 子组件 110

参考图 3，示出层 1 的一个较佳实施例。首先，如图 3a 所示，在层 1 中钻出直径近似于 0.48mm 的三个孔 310。接着，对层 1 进行钠蚀刻，导致蚀刻出三个电阻器 340。对待镀敷的基于 PTFE 的衬底进行钠蚀刻中所使用的过程对镀敷 PTFE 衬底领域内的技术人员是众所周知的。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 1。然后，把层 1 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个小时。给层 1 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 1 在水（最好是去离子的）中漂洗至少一分钟。在近似于 5 到 30 分钟内把层 1 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 3a 所示的图案。对层 1 的顶面进行铜蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁层 1。然后，
把层 1 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。

参考图 4，示出层 2 的一个较佳实施例。首先，如图 4a 和 4b 所示，在层 2 中钻出直径近似于 0.25mm 的三个孔 405 以及直径近似于 0.48mm 的一个孔 410。接着，对层 2 进行钠蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 2。然后，把层 2 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。给层 2 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 2 在水（最好是去离子的）中漂洗至少一秒钟。在近似于 5 到 30 分钟内把层 2 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 4a 和 4b 所示的图案。对层 2 的顶面和底面进行铜蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁层 2。然后，把层 2 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。

参考图 5，示出层 3 的一个较佳实施例。首先，如图 5a 和 5b 所示，在层 3 中钻出直径近似于 0.25mm 的四个孔 505。接着，对层 3 进行钠蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 3。然后，把层 3 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。给层 3 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 3 在水（最好是去离子的）中漂洗至少一秒钟。在近似于 5 到 30 分钟内把层 3 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 5b 所示的图案。对层 3 的底面进行铜蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁层 3。然后，把层 3 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。

参考图 6，子组件 110 是通过把层 1、2、3 焊接在一起来制造的。如图 6b 所示，使用上述熔焊工艺，把层 1 的顶部焊接到层 2 的底部，把层 2 的顶部焊接到
层 3 的底部。然后，如图 6a 所示，在子组件 110 中钻出直径近似于 0.48mm 的 27 个孔 610。接着，对子组件 110 进行钢蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁子组件 110。然后，把子组件 110 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真真空烘烤一个小时。给子组件 110 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把子组件 110 在水（最好是去离子的）中漂洗至少一分钟。在近似于 30 分钟内把子组件 110 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 6a 所示的图案。对子组件 110 的顶面进行钢蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁子组件 110。然后，把子组件 110 在近似于 90 到 180 摄氏度下真真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真真空烘烤一小时。

b. 层 4

参考图 7，示出层 4 的一个较佳实施例。首先，如图 7a 所示，在层 4 中钻出直径近似于 0.25mm 的三十个孔 705 以及直径近似于 0.48mm 的八个孔 710。接着，对层 4 进行钢蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 4。然后，把层 4 在近似于 90 到 180 摄氏度下真真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真真空烘烤一小时。给层 4 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 4 在水（最好是去离子的）中漂洗至少一分钟。在近似于 5 到 30 分钟内把层 4 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 7a 和 7b 所示的图案。对层 4 的顶面和底面进行钢蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁层 4。然后，把层 4 在近似于 90 到 180 摄氏度下真真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真真空烘烤一小时。

c. 子组件 120

参考图 8，示出层 5 的一个较佳实施例。首先，如图 8a 所示，在层 5 中钻出
直径近似于 0.25mm 的四个孔 805 以及直径近似于 0.48mm 的两个孔 810。接着，对层 5 进行钠蚀刻。接着，通过水在中水洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下水 (最好是去离子的) 中漂洗至少 15 分钟来清洁层 5。然后，把层 5 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个半小时。给层 5 插敷铜，最好首先使用无电镀方法接着使用电镀方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 5 在水 (最好是去离子的) 中漂洗至少一分钟。在近似于 5 到 30 分钟内把层 5 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并用适当的暴光设定对光致抗蚀剂进行显影以形成图 8a 所示的图案。对层 5 的顶面进行铜蚀刻。通过水在中水洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水 (最好是去离子的) 中漂洗至少 15 分钟来清洁层 5。然后，把层 5 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个半小时。

参考图 9，示出层 6 的一个较佳实施例。首先，图 9a 和 9b 所示，在层 6 中钻出直径近似于 0.25mm 的六个孔 905。接着，对层 6 进行钠蚀刻。接着，通过水在中水洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下水 (最好是去离子的) 中漂洗至少 15 分钟来清洁层 6。然后，把层 6 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个半小时。给层 6 插敷铜，最好首先使用无电镀方法接着使用电镀方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 6 在水 (最好是去离子的) 中漂洗至少一分钟。在近似于 5 到 30 分钟内把层 6 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并用适当的暴光设定对光致抗蚀剂进行显影以形成图 9b 所示的图案。对层 6 的底面进行铜蚀刻。通过水在中水洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水 (最好是去离子的) 中漂洗至少 15 分钟来清洁层 6。然后，把层 6 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个半小时。

参考图 10，子组件 120 是通过把层 5、6 焊接在一起来制造的。如图 10a 所示，使用上述熔焊工艺，把层 5 的顶部焊接到层 6 的底部。然后，如图 10a 和 10b 所示，在子组件 120 中钻出直径近似于 0.20mm 的 136 个孔 1003 以及直径近似于 0.25mm 的 18 个孔 1005。接着，对子组件 120 进行钠蚀刻。接着，通过水在中水洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下水 (最好是去离子的) 中
漂洗至少 15 分钟来清洁子组件 120。然后，把子组件 120 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个小时。给子组件 120 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把子组件 120 在水（最好是去离子的）中漂洗至少一分钟。在近似于 5 到 30 分钟内把子组件 120 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 10a 和 10b 所示的图案。对子组件 120 的顶面和底面进行铜蚀刻。同在两个位置处进行铣削而形成开口的切口 1050、1060。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁子组件 120。然后，把子组件 120 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。

d. 层 7

参考图 11，示出层 7 的一个较佳实施例。首先，如图 11a 和 11b 所示，在层 7 中钻出直径近似于 0.25mm 的 28 个孔 1105。接着，对层 7 进行钠蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 7。然后，把层 7 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一个半小时。给层 7 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于 13 到 25 微米的厚度。最好把层 7 在水（最好是去离子的）中漂洗至少一分钟。在近似于 5 到 30 分钟内把层 7 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 11a 和 11b 所示的图案。对层 7 的两侧进行钢蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁层 7。然后，把层 7 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 149 摄氏度下真空烘烤一小时。

e. 子组件 130

参考图 12，示出层 8 的一个较佳实施例。首先，如图 12a 所示，在层 8 中钻出直径近似于 0.25mm 的四个孔 1205。接着，对层 8 进行钠蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁层 8。然后，把层 8 在近似于 90 到 180 摄氏度下真
空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一个小时。给层8镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于13到25微米的厚度。最好把层8在水（最好是去离子的）中漂洗至少一分钟。在近似于5到30分钟内把层8加热到近似于90到125摄氏度，但最好在5分钟内加热到90摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图12a所示的图案。对层8的顶面进行铜蚀刻。通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的水（最好是去离子的）中漂洗至少15分钟来清洁层8。然后，把层8在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一小时。

参考图13，示出层9的一个较佳实施例。层9是如图13a所示的具有锪孔（spot faced）口平面1370，1380（有时也叫做“扩孔（counterbored）”），其深度近似于130到200微米未穿透衬底。在锪孔平面（顶）一侧对层9进行钠蚀刻。通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的温度下在水（最好是去离子的）中漂洗至少15分钟来清洁层9。然后，把层9在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一个小时。

参考图14，通过把层8，9焊接在一起制造子组件130。如图14c所示，使用上述熔焊工艺，把层8的顶部焊接到层9的底部。然后，如图14a和4b所示，在子组件130中钻出直径近似于0.20mm的240个孔1403。接着，对子组件130进行钠蚀刻。接着，通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的温度下在水（最好是去离子的）中漂洗至少15分钟来清洁子组件130。然后，把子组件130在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一个小时。给子组件130镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷到近似于13到25微米的厚度。最好把子组件130在水（最好是去离子的）中漂洗至少一分钟。在近似于5到30分钟内把子组件130加热到近似于90到125摄氏度，但最好在5分钟内加热到90摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图14b所示的图案。对子组件130的底面进行蚀刻。通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的水（最好是去离子的）中漂洗至少15分钟来清洁子组件130。然后，把子组件130在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一小时。

f. 子组件140
参考图15，通过把子组件110、层4、子组件120、层7、子组件130焊接在一起制造子组件140。如图15b所示，使用上述焊接工艺，把子组件110的顶部焊接到层4的底部，把层4的顶部焊接到子组件120的底部，把子组件120的顶部焊接到层7的底部，以及把层7的顶部焊接到子组件130的底部。在近似于5到30分钟内把子组件140加热到近似于90到125摄氏度，但最好在5分钟内加热到90摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图15a所示的图案。对子组件130的顶面进行铜蚀刻。通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的水中（最好是去离子的）中漂洗至少15分钟来清洁子组件130。通过在四个位置处进行铣削来形成开口的切口1550、1560、1570、1580。在一较佳实施例中，使用诸如SnAgCu焊膏等焊膏来安装50欧姆的电阻器1581、1582、130欧姆的电阻器1585、1586、0.68 μF的电容器1590、1591、P/N CLC 416放大器1592，以及二极管环1595、1596。

通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的水中（最好是去离子的）中漂洗至少15分钟来清洁子组件140。然后，把子组件140在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一小时。

g. 层10

参考图16，示出层10的一个较佳实施例。层10是如图16a所示的钻孔平面1670、1680、1690，其深度近似于0.51mm，未透彻衬底。在钻孔平面（顶）一侧上对层10进行铜蚀刻。通过在醇中漂洗15到30分钟，然后最好在21到52摄氏度的温度下在水中（最好是去离子的）中漂洗至少15分钟来清洁层10。然后，把层10在近似于90到180摄氏度下真空烘烤近似于30分钟到2小时，但最好在149摄氏度下真空烘烤一小时。

h. 焊接膜150

参考图17，示出焊接膜150的一个较佳实施例。如图17a所示，通过在四个位置处进行铣削来形成开口的切口1750、1760、1770、1780。在一较佳实施例中，焊接膜150为近似于38微米厚的热固聚合物焊接膜，它是依据以下方案固化的：300PSI，在30分钟内从室温上升到180摄氏度，在180摄氏度处驻留65分钟，在30分钟内下降到35摄氏度。或者，焊接膜150依据以下概述而固化：300PSI，在30分钟内从室温上升到105摄氏度，在10分钟内再上升到180摄氏度，在180摄氏度处驻留65分钟，在22分钟内下降到35摄氏度。在另一较佳实施例中，焊
接膜 150 是近似于 38 微米厚的热塑聚合物焊接接膜，它是依据以下方案固化的：200PSI，在 30 分钟内从室温上升到 150 摄氏度，在 150 摄氏度处驻留 50 分钟，在 30 分钟内下降到 35 摄氏度。可使用其它类型的焊接膜，通常遵循制造商对焊接的规定。

i. 多层结构 200

参考图 2，通过依据有关的固化方案把子组件 140 和层 100 焊接在一起制造多层结构 200。使用焊接膜 150 把子组件 140 的顶部焊接到层 10 的底部。然后，如图 2a 和 2b 所示，在多层结构 200 中铣削出八个槽 250。对多层结构 200 进行钠蚀刻。接着，通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的温度下在水（最好是去离子的）中漂洗至少 15 分钟来清洁多层结构 200。然后，把多层结构 200 在近似于 90 到 180 摄氏度下真空烘烤近似于 30 分钟到 2 小时，但最好在 100 摄氏度下真空烘烤一个小时。给多层结构 200 镀敷铜，最好首先使用无电镀方法接着使用电解方法，把铜镀敷近似于 13 到 25 微米的厚度。最好把多层结构 200 在水（最好是去离子的）中漂洗至少一秒钟。在近似于 5 到 30 分钟内把多层结构 200 加热到近似于 90 到 125 摄氏度，但最好在 5 分钟内加热到 90 摄氏度，然后层压光致抗蚀剂。使用掩模，并使用适当的暴光设定对光致抗蚀剂进行显影以形成图 2b 所示的图案。对多层结构 200 的底面进行铜蚀刻。通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁多层结构 200。给多层结构 200 镀敷锡或铅，然后把锡/铅镀层加热到熔点，以便额外的镀层回流到焊接合金中。再次通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁多层结构 200。在多层结构 200 中钻出半径近似于 1mm 的四个转角孔 260 和四个边缘孔 270。使用衬底板分离方法对多层结构 200 进行衬底板分离，可包括钻孔和铣削、金刚石锯和/or EXCIMER 激光器。再次通过在醇中漂洗 15 到 30 分钟，然后最好在 21 到 52 摄氏度的水（最好是去离子的）中漂洗至少 15 分钟来清洁多层结构 200。然后，把多层结构 200 在近似于 90 到 125 摄氏度下真空烘烤近似于 45 到 90 分钟，但最好在 100 摄氏度下真空烘烤一小时。

XIII. 其它实施例

应理解，本领域内的技术人员可根据以上所揭示的工艺来制造各种电路。例如，可在多层结构中引入不同的电路，并可改变所使用的层数。本领域内的技术人员还可以明显的方式改变制造工艺（例如，钻出不同数目的孔，使用不同掩模，
增加不同的器件。

此外，虽然已示出、描述并提出应用于本发明实施例的基本新特征，但可理解，本领域内技术人员可对这里所揭示的本发明的形式和细节进行各种省略和替换以及变化，而不背离本发明的精神。清楚地，以相同的方式执行基本上相同的功能以实现相同结果的这些元件和/或方法步骤的所有组合将在本发明的范围内。因此，本发明仅受限于所附权利要求书指示的范围。
图 6a

图 6b
图 8a

图 8b
图 16a

图 16b