



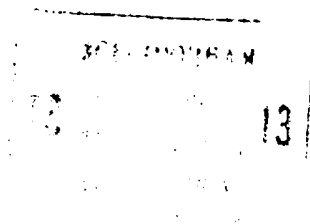
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1251083 A 1

(5D) 4 G 06 F 11/10

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3784037/24-24
(22) 25.08.84
(46) 15.08.86. Бюл. № 30
(72) А.В. Водеников
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР о
№ 877546, кл. G 06 F 11/08, 17.12.79.

Захаров В.Н. и др. Справочник
по радиоэлектронным системам. М.:
Энергия 1979., т. 1, с. 198-199,
рис. 2-43 "а".

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПЕРЕ-
ДАЧИ ИНФОРМАЦИИ

(57) Изобретение относится к области
вычислительной техники и предназ-
начено для использования в трактах

передачи дискретной информации меж-
ду цифровыми устройствами. Целью
изобретения является повышение досто-
верности контроля. Устройство для
контроля передачи информации содер-
жит два узла свертки по модулю два,
два регистра, информационные входы,
информационные выходы, две группы
элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, группу
Т-триггеров, элемент ИЛИ, элемент
ИСКЛЮЧАЮЩЕЕ ИЛИ, двоичный двухраз-
рядный счетчик, формирователь
импульсов, блок управления. В уст-
ройстве информация передается по ка-
налам передачи информации в прямом и
инверсном виде. 2 ил.

(19) SU (11) 1251083 A 1

Устройство относится к вычислительной технике и предназначено для использования в трактах передачи дискретной информации между цифровыми устройствами.

Цель изобретения — повышение достоверности контроля.

На фиг. 1 приведена функциональная схема устройства для контроля передачи информации; на фиг. 2 — функциональная схема блока управления.

Устройство для контроля передачи информации содержит два узла 1 и 2 свертки по модулю два, два регистра 3 и 4, информационные входы 5, информационные выходы 6, две группы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 7 и 8, группу Т-триггеров 9, элемент ИЛИ 10, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 11, двоичный двухразрядный счетчик 12, формирователь 13 импульсов, блок 14 управления, выход 15 синхросигналов, выход 16 блокировки устройства и вход 17 синхронизации устройства, каналы 18 передачи информации и синхросигналов.

Блок 14 управления содержит четыре формирователя импульсов 19 — 22, два элемента ИЛИ 23 и 24, элемент И 25, RS-триггер 26 и дешифратор 27

Устройство работает следующим образом.

Передаваемая информация с информационных входов 5 поступает на входы узла 1 свертки по модулю два и на входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 7 первой группы. Сигнал дополнения до нечетности с инверсного выхода узла 1 свертки по модулю два поступает на N-ый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 7 первой группы. На вторые входы этих элементов, на (N+1)-ый вход первого регистра 3 и на вход формирователя 13 импульсов с входа 17 синхронизации устройства поступают импульсы синхронизации. Формирователь 13 импульсов по перепадам уровня входного синхросигнала вырабатывает короткие импульсы, поступающие на С-вход первого регистра 3. На информационные входы регистра 3 с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 7 первой группы во время действия единичного уровня входного синхримпульса поступает информация в инверсном виде, а во время действия его нулевого уровня — в

прямом виде. Эта информация импульсами с формирователя 13 заносится в первые N разряды регистра 3, а в (N+1)-ый разряд регистра 3 заносится синхросигнал. Регистр 3 предназначен для привязки фронтов включения и выключения информационных сигналов к фронтам переключения синхросигнала. Информационный код в прямом и инверсном видах поступает через каналы 18 передачи информации на входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы, а синхросигнал через канал передачи 18 синхросигнала поступает на вторые входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы и на блок 14 управления, запуская его.

Информационный код только в прямом виде с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы поступает на входы второго регистра 4, входы узла 2 свертки по модулю два и на входы группы Т-триггеров 9.

С выхода узла 2 свертки по модулю два сигнал дополнения до нечетности на прямой вход разрешения записи второго регистра 4 и на инверсный вход разрешения счета двоичного двухразрядного счетчика 12. С выхода блока 14 управления на R-входы двоичного двухразрядного счетчика 12 и Т-триггеров группы 9 выдается короткий импульс обнуления, совпадающий по времени с передним (положительным) фронтом синхроимпульса и устанавливающий Т-триггер и двоичный двухразрядный счетчик в нулевое состояние.

По окончании действия сигнала обнуления блок 14 управления выдает первый импульс записи, совпадающий по времени с единичным значением уровня сигнала синхронизации и поступающий на С-вход второго регистра 4, на С-входы Т-триггеров группы 9 и на счетный вход двоичного двухразрядного счетчика 12.

Те Т-триггеры группы 9, на Т-входы которых приходит единичный уровень с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы, переключается в единичное состояние.

При отсутствии сбоев по модулю два с прямого выхода узла 2 свертки по модулю два снимается единичный уровень, поступающий на вход разрешения записи второго регистра 4. Во

второй регистр 4 производится запись информации, поступающей с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы. Этот же единичный уровень поступает на инверсный вход разрешения счѣта двоичного двухразрядного счетчика 12 и запрещает его переключение.

При наличии сбоя с прямого выхода узла 2 свертки по модулю два снимается нулевой уровень, который поступает на прямой вход разрешения записи второго регистра 4 и запрещает запись в него информации. Этот же нулевой уровень поступает на инверсный вход разрешения счѣта двоичного двухразрядного счетчика 12, при этом счетчик по сигналу, приходящему на его счетный вход, увеличивает свое состояние на единицу.

По заднему (отрицательному) фронту синхроимпульса блок 14 управления вырабатывает второй импульс записи, который так же, как и первый, поступает на С-входы второго регистра 4 и Т-триггеров группы 9 и на счетный вход двоичного двухразрядного счетчика 12. Этот импульс, как и первый, при отсутствии сбоя по модулю два осуществляет запись информации во второй регистр 4, а при наличии сбоя увеличивает состояние двоичного двухразрядного счетчика 12 на единицу. Одновременно с этим Т-триггеры группы 9, на Т-входы которых приходит единичный уровень с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 8 второй группы, как и во время действия первого импульса записи, переключаются в нулевое состояние. Смена уровня на Т-входах любых Т-триггеров сигнализирует о наличии ошибки в канале, соответствующем данному Т-триггеру группы 9. При этом данные Т-триггеры группы 9, соответствующие неисправным (сбойным) каналам, установлены после окончания действия второго импульса записи в единичное состояние.

Сигналы единичного уровня с выходов Т-триггеров неисправных (сбойных) каналов поступают на входы элемента ИЛИ 10 и на входы элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 11.

На выходе элемента ИЛИ 10 при себе возникает единичный уровень, поступающий в блок 14 управления. На выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ

11 единичный уровень возникает только при однократной ошибке, он также поступает в блок 14 управления.

При отсутствии ошибок или при однократной ошибке одного разряда за время одного такта передачи блок 14 управления выдает на выход 15 синхросигналов синхроимпульс после окончания действия второго сигнала записи.

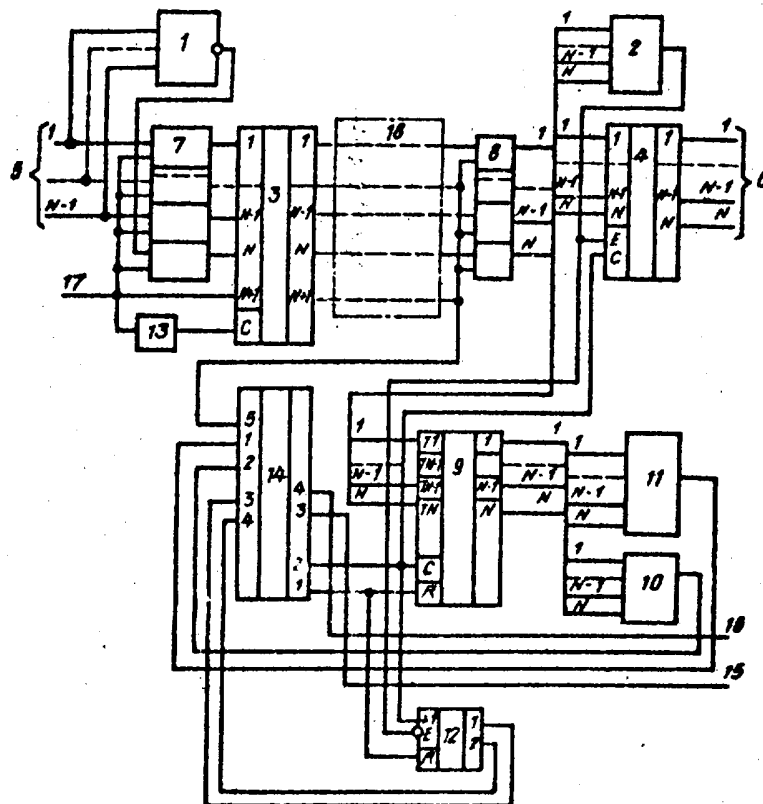
При двукратной ошибке в одном разряде (т.е. при ошибках в разряде как при передаче кодового слова в прямом виде, так и при передаче в инверсном виде за один такт синхросигнала) или при ошибках в нескольких разрядах синхроимпульс на выход 15 синхроимпульсов не выдается, а выдается сигнал блокировки на выход 16 блокировки устройства.

Ф о р м у л а и з о б р е т е н и я

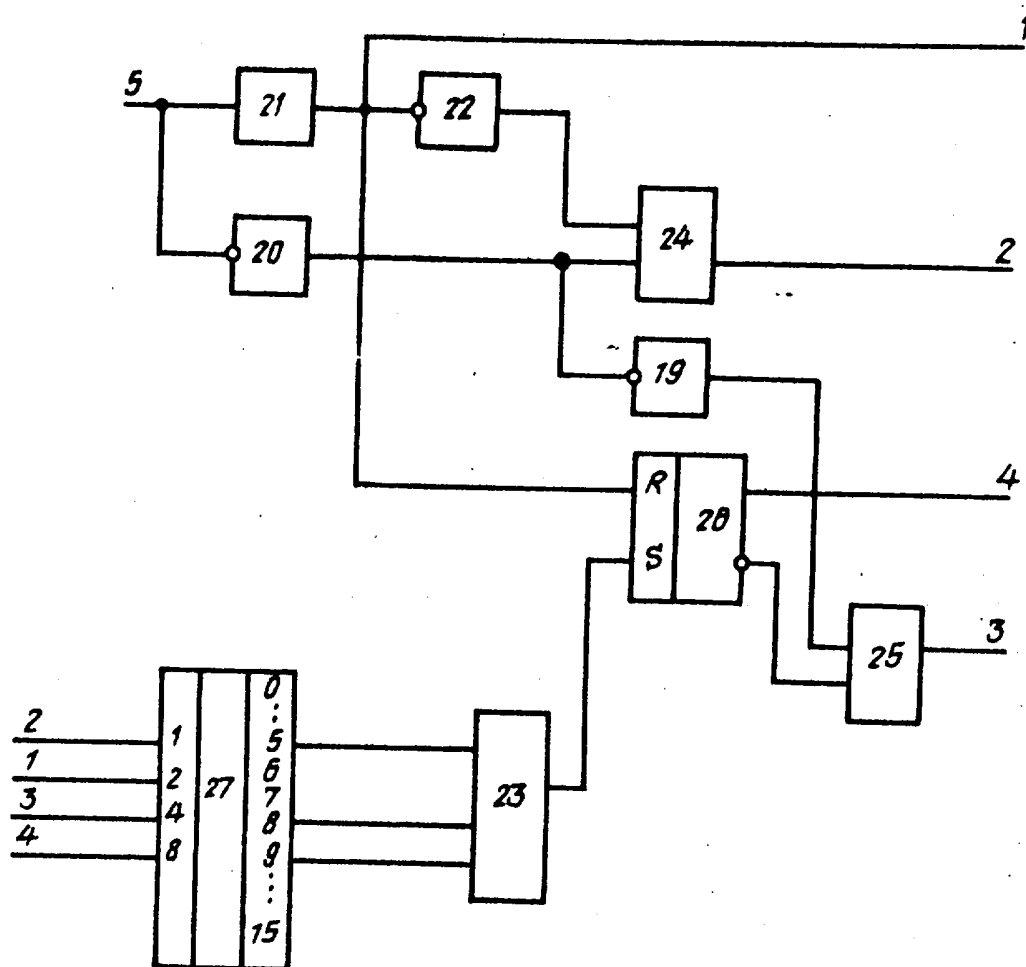
Устройство для контроля передачи информации, содержащее два узла свертки по модулю два и два регистра, причем разрядные выходы первого регистра подключены к соответствующим информационным входам каналов передачи информации и синхросигналов, входы первого узла свертки по модулю два являются информационными входами устройства, а входы второго узла свертки по модулю два объединены с информационными входами второго регистра, выходы которого являются информационными выходами устройства, отличающееся тем, что, с целью повышения достоверности контроля, в него введены две группы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, группа Т-триггеров, элемент ИЛИ, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, двоичный двухразрядный счетчик, формирователь импульсов и блок управления, причем блок управления содержит четыре формирователя импульсов, два элемента ИЛИ, элемент И, RS-триггер и дешифратор, входы которого соединены соответственно с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, с выходом элемента ИЛИ устройства и выходами первого и второго разрядов двоичного двухразрядного счетчика, пятый, восьмой и девятый выходы дешифратора подключены к соответствующим входам первого элемента ИЛИ, выход которого соединен с S-входом RS-триггера, прямой выход которого является выходом

блокировки устройства, инверсный выход RS-триггера подключен к первому входу элемента И, выход которого является выходом синхросигналов устройства, второй вход элемента И блока управления соединен с выходом первого формирователя импульсов, инверсный вход которого соединен с первым входом второго элемента ИЛИ и с выходом второго формирователя импульсов, инверсный вход которого объединен с прямым входом третьего формирователя импульсов и с первыми входами элементов ИСКЛЮЧАЮЩЕЕ ИЛИ второй группы и подключен к выходу канала передачи синхросигналов, выход третьего формирователя импульсов соединен с инверсным входом четвертого формирователя импульсов, с R-входом RS-триггера и подключен к входам сброса двоичного счетчика и Т-триггеров группы устройства, выход четвертого формирователя импульсов блока управления соединен с вторым входом второго элемента ИЛИ, выход которого соединен с С-входами Т-триггеров группы, синхровходом второго регистра и счетным входом двоичного двухразрядного счетчика, вход синхронизации устройства соединен с первыми входами элементов ИСКЛЮЧАЮЩЕЕ ИЛИ

первой группы и входом формирователя импульсов, выход которого соединен с синхровходом первого регистра, информационные входы которого соединены с выходами соответствующих элементов ИСКЛЮЧАЮЩЕЕ ИЛИ первой группы, а $(N+1)$ -й вход первого регистра соединен с входом синхронизации устройства, входы элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены с соответствующими входами элемента ИЛИ и соответствующими выходами Т-триггеров группы, Т-входы которых соединены с соответствующими информационными входами второго регистра и с выходами элементов ИСКЛЮЧАЮЩЕЕ ИЛИ второй группы, вторые входы которых подключены к выходам каналов передачи информации, выход второго узла свертки по модулю два соединен с прямым входом разрешения записи второго регистра и с инверсным входом разрешения счета двоичного двухразрядного счетчика, инверсный выход первого узла свертки по модулю два соединен с вторым входом N -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ первой группы, вторые входы остальных $(N-1)$ элементов которой являются информационными входами устройства.



Фиг. 1



Фиг. 2

Составитель И. Иваныкин

Редактор Т. Митейко

Техред И. Гайдош

Корректор С. Шекмар

Заказ 4412/46

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4