



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0067712
(43) 공개일자 2012년06월26일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/28 (2006.01)
(21) 출원번호 10-2010-0129263
(22) 출원일자 2010년12월16일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
정수연
경기도 부천시 소사구 은성로30번길 16-1 (소사본동)
김명철
경기도 수원시 영통구 권광로260번길 36, 현대홈타운 110동 2104호 (매탄동)
(74) 대리인
박영우

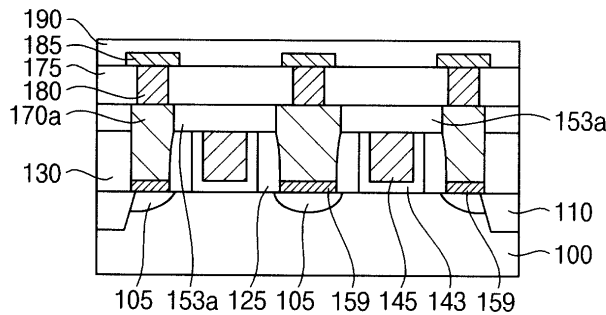
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자의 제조 방법

(57) 요약

기관 상의 제1 층간 절연막을 관통하며 측벽에 스페이서가 형성된 게이트 구조물을 형성한다. 게이트 구조물 상에 제1 하드 마스크를 형성한다. 제1 하드 마스크를 식각 마스크로 사용하여 제1 층간 절연막을 부분적으로 식각함으로써, 기관 상면을 노출시키는 제1 콘택 홀을 형성한다. 제1 콘택 홀에 의해 노출된 기관 상면에 금속 실리사이드 패턴을 형성한다. 금속 실리사이드 패턴과 전기적으로 연결되는 플러그를 형성한다. 스페이서 및 제1 하드 마스크에 의해 금속 실리사이드 패턴 및 플러그가 자기 정렬 방식으로 형성될 수 있다.

대표도 - 도11



(72) 발명자

김도형

경기도 화성시 영통로26번길 24, 신동탄대우푸르지오아파트 301동 501호 (반월동)

이도행

경기 화성시 병점동 한일타운아파트 101동 1103호

조남면

서울특별시 마포구 독막로28길 42, 성도빌라 B동 104호 (신수동)

김인호

경기도 수원시 영통구 매영로 366, 살구골7단지아파트 730동 604호 (영통동)

특허청구의 범위

청구항 1

기관 상의 제1 층간 절연막을 관통하며 측벽에 스페이서가 형성된 게이트 구조물을 형성하는 단계;

상기 게이트 구조물 상에 제1 하드 마스크를 형성하는 단계;

상기 제1 하드 마스크를 식각 마스크로 사용하여 상기 제1 층간 절연막을 부분적으로 식각함으로써, 상기 기관 상면을 노출시키는 제1 콘택 홀을 형성하는 단계;

상기 제1 콘택 홀에 의해 노출된 상기 기관 상면에 금속 실리사이드 패턴을 형성하는 단계; 및

상기 금속 실리사이드 패턴과 전기적으로 연결되는 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 금속 실리사이드 패턴은 상기 스페이서에 자기 정렬되도록 형성되고, 상기 플러그는 상기 스페이서 및 상기 제1 하드 마스크에 자기 정렬되도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제1항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 기관 상에 더미 게이트 구조물을 형성하는 단계;

상기 더미 게이트 구조물 측벽에 상기 스페이서를 형성하는 단계;

상기 더미 게이트 구조물 및 상기 스페이서를 커버하는 상기 제1 층간 절연막을 상기 기관 상에 형성하는 단계;

상기 제1 층간 절연막 상부를 평탄화하여 상기 더미 게이트 구조물을 노출시키는 단계;

상기 노출된 더미 게이트 구조물을 제거하여 개구를 형성하는 단계; 및

상기 개구 내에 상기 게이트 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제3항에 있어서, 상기 더미 게이트 구조물은 상기 기관 상에 순차적으로 적층된 더미 게이트 절연막 패턴, 더미 게이트 전극 및 더미 게이트 마스크를 포함하며,

상기 제1 층간 절연막 상부를 평탄화하는 단계는 상기 더미 게이트 전극의 상면이 노출될 때까지 수행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 하드 마스크 및 상기 스페이서는 실리콘 질화물을 사용하여 형성되고,

상기 제1 층간 절연막은 실리콘 산화물을 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제1항에 있어서, 상기 제1 하드 마스크 상에 실리콘 기반의 스핀-온 하드 마스크(Si-SOH)를 포함하는 제2 하드 마스크를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

제1항에 있어서, 상기 플러그를 형성하는 단계는,

상기 제1 콘택 홀의 나머지 부분을 매립하는 제2 층간 절연막을 상기 제1 하드 마스크, 상기 스페이서 및 상기 금속 실리사이드 패턴 상에 형성하는 단계;

상기 제2 층간 절연막을 부분적으로 식각함으로써 상기 금속 실리사이드 패턴을 노출시키는 제2 콘택 홀을 형성하는 단계;

상기 제2 콘택홀을 매립하는 도전막을 형성하는 단계; 및

상기 제1 하드 마스크의 상면이 노출될 때까지 상기 도전막을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제1항에 있어서, 상기 플러그를 형성하는 단계 이전에,

상기 스페이서 및 상기 제1 하드 마스크의 측벽 및 상기 금속 실리사이드 패턴 일부 상에 오프셋(offset) 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

기관 상의 제1 층간 절연막을 관통하고 측벽에 각각 제1 및 제2 스페이서들이 형성된 제1 및 제2 게이트 구조물들을 상기 기관의 제1 및 제2 영역들에 각각 형성하는 단계;

상기 제1 및 제2 게이트 구조물들 상에 제1 하드 마스크를 형성하는 단계;

상기 제1 하드 마스크를 식각 마스크로 사용하여 상기 제1 층간 절연막을 부분적으로 식각함으로써, 상기 기관의 제1 영역 상면을 노출시키는 제1 콘택 홀을 형성하는 단계;

상기 제1 콘택 홀에 의해 노출된 상기 기관의 제1 영역 상면에 금속 실리사이드 패턴을 형성하는 단계; 및

상기 금속 실리사이드 패턴과 전기적으로 연결되는 제1 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서, 상기 금속 실리사이드 패턴은 상기 제1 스페이서에 자기 정렬되도록 형성되고, 상기 플러그는 상기 제1 스페이서 및 상기 제1 하드 마스크에 자기 정렬되도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자의 제조 방법에 관한 것이다. 보다 상세하게는, 금속 게이트를 포함하는 반도체 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 금속 게이트를 포함하는 반도체 소자 제조 공정 시, 다마신(damascene) 공정을 통해 상기 금속 게이트를 형성한 후, 상기 금속 게이트에 인접한 기관 상면에 금속 실리사이드 막을 형성하고 이에 접촉하는 콘택을 형성한다. 하지만, 최근 반도체 장치의 고집적화로 인해 게이트 구조물들 사이의 간격이 좁아짐에 따라, 상기 금속 실리사이드 막 및 상기 콘택을 형성하기 위한 콘택 홀 형성 시 공정 마진(process margin)이 줄어드는 문제가 발생한다.

[0003] 이에, 큰 공정 마진으로 간단하게 금속 실리사이드 막 및 콘택을 형성하는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 향상된 공정 마진으로 금속 게이트를 포함하는 반도체 소자를 제조하는 방법을 제공하는 것

이다.

과제의 해결 수단

- [0005] 상술한 본 발명의 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 소자 제조 방법에서, 기판 상의 제1 층간 절연막을 관통하며 측벽에 스페이서가 형성된 게이트 구조물을 형성한다. 상기 게이트 구조물 상에 제1 하드 마스크를 형성한다. 상기 제1 하드 마스크를 식각 마스크로 사용하여 상기 제1 층간 절연막을 부분적으로 식각함으로써, 상기 기판 상면을 노출시키는 제1 콘택 홀을 형성한다. 상기 제1 콘택 홀에 의해 노출된 상기 기판 상면에 금속 실리사이드 패턴을 형성한다. 상기 금속 실리사이드 패턴과 전기적으로 연결되는 플러그를 형성한다.
- [0006] 예시적인 실시예들에 따르면, 상기 금속 실리사이드 패턴은 상기 스페이서에 자기 정렬되도록 형성될 수 있고, 상기 플러그는 상기 스페이서 및 상기 제1 하드 마스크에 자기 정렬되도록 형성될 수 있다.
- [0007] 예시적인 실시예들에 따르면, 상기 게이트 구조물을 형성에 있어서 상기 기판 상에 더미 게이트 구조물을 형성한다. 상기 더미 게이트 구조물 측벽에 상기 스페이서를 형성한다. 상기 더미 게이트 구조물 및 상기 스페이서를 커버하는 상기 제1 층간 절연막을 상기 기판 상에 형성한다. 상기 제1 층간 절연막 상부를 평탄화하여 상기 더미 게이트 구조물을 노출시킨다. 상기 노출된 더미 게이트 구조물을 제거하여 개구를 형성한다. 상기 개구 내에 상기 게이트 구조물을 형성한다.
- [0008] 예시적인 실시예들에 따르면, 상기 더미 게이트 절연막 패턴은 실리콘 산화물을 사용하여 형성될 수 있고, 상기 더미 게이트 전극은 폴리실리콘을 사용하여 형성될 수 있다.
- [0009] 예시적인 실시예들에 따르면, 상기 제1 층간 절연막 상부는 상기 더미 게이트 전극의 상면이 노출될 때까지 평탄화할 수 있다.
- [0010] 예시적인 실시예들에 따르면, 상기 게이트 구조물은 상기 기판 상에 순차적으로 적층된 게이트 절연막 패턴 및 게이트 전극을 포함할 수 있다.
- [0011] 예시적인 실시예들에 따르면, 상기 게이트 절연막 패턴은 고유전율을 갖는 금속 산화물을 사용하여 형성될 수 있고, 상기 게이트 전극은 금속을 사용하여 형성될 수 있다.
- [0012] 예시적인 실시예들에 따르면, 상기 게이트 전극은 알루미늄을 사용하여 형성될 수 있고, 상기 플러그는 텅스텐을 사용하여 형성될 수 있다.
- [0013] 예시적인 실시예들에 따르면, 상기 제1 하드 마스크 및 상기 스페이서는 실리콘 질화물을 사용하여 형성될 수 있고, 상기 제1 층간 절연막은 실리콘 산화물을 사용하여 형성될 수 있다.
- [0014] 예시적인 실시예들에 따르면, 상기 제1 하드 마스크 상에 실리콘 기반의 스핀-온 하드 마스크(Si-SOH)를 포함하는 제2 하드 마스크를 더 형성할 수 있다.
- [0015] 예시적인 실시예들에 따르면, 상기 제1 및 제2 하드 마스크들을 형성하는데 있어서, 상기 게이트 구조물 및 상기 제1 층간 절연막 상에 제1 하드 마스크막을 형성한다. 상기 제1 하드 마스크막 상에 상기 제2 하드 마스크를 형성한다. 상기 제2 하드 마스크를 식각 마스크로 사용하여 상기 제1 하드 마스크막을 패터닝한다.
- [0016] 예시적인 실시예들에 따르면, 상기 플러그를 형성함에 있어서, 상기 제1 콘택 홀의 나머지 부분을 매립하는 제2 층간 절연막을 상기 제1 하드 마스크, 상기 스페이서 및 상기 금속 실리사이드 패턴 상에 형성한다. 상기 제2 층간 절연막을 부분적으로 식각함으로써 상기 금속 실리사이드 패턴을 노출시키는 제2 콘택 홀을 형성한다. 상기 제2 콘택홀을 매립하는 도전막을 형성한다. 상기 제1 하드 마스크의 상면이 노출될 때까지 상기 도전막을 평탄화한다.
- [0017] 예시적인 실시예들에 따르면, 상기 제2 콘택 홀을 형성함에 있어서 상기 제2 층간 절연막 상에 실리콘 기반의 스핀-온 하드 마스크(Si-SOH)를 사용하여 제3 하드 마스크를 형성한다. 상기 제3 하드 마스크를 식각 마스크로 사용하여 상기 제2 층간 절연막을 부분적으로 식각한다.
- [0018] 예시적인 실시예들에 따르면, 상기 플러그를 형성하기 전에 상기 스페이서 및 상기 제1 하드 마스크의 측벽 및 상기 금속 실리사이드 패턴 일부 상에 오프셋(offset) 스페이서를 더 형성할 수 있다.
- [0019] 상술한 본 발명의 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 소자 제조 방법에서, 기판 상의 제1 층간 절연막을 관통하고 측벽에 각각 제1 및 제2 스페이서들이 형성된 제1 및 제2 게이트 구조물들을

상기 기관의 제1 및 제2 영역들에 각각 형성한다. 상기 제1 및 제2 게이트 구조물들 상에 제1 하드 마스크를 형성한다. 상기 제1 하드 마스크를 식각 마스크로 사용하여 상기 제1 층간 절연막을 부분적으로 식각함으로써, 상기 기관의 제1 영역 상면을 노출시키는 제1 콘택 홀을 형성한다. 상기 제1 콘택 홀에 의해 노출된 상기 기관의 제1 영역 상면에 금속 실리사이드 패턴을 형성한다. 상기 금속 실리사이드 패턴과 전기적으로 연결되는 제1 플러그를 형성한다.

- [0020] 예시적인 실시예들에 따르면, 상기 제1 및 제2 영역들은 각각 셀 영역 및 주변 회로 영역일 수 있다.
- [0021] 예시적인 실시예들에 따르면, 상기 금속 실리사이드 패턴은 상기 제1 스페이서에 자기 정렬되도록 형성될 수 있고, 상기 플러그는 상기 제1 스페이서 및 상기 제1 하드 마스크에 자기 정렬되도록 형성될 수 있다.
- [0022] 예시적인 실시예들에 따르면, 상기 제2 게이트 구조물에 전기적으로 연결되는 제2 플러그를 더 형성할 수 있다.
- [0023] 예시적인 실시예들에 따르면, 상기 제1 플러그를 형성하기 전에 상기 제1 스페이서 및 상기 제1 하드 마스크의 측벽 및 상기 금속 실리사이드 패턴 일부 상에 오프셋 스페이서를 더 형성할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예들에 따르면, 게이트 전극 상에 실리콘 질화물을 포함하는 하드 마스크를 형성하여 불순물 영역 상에 형성되는 실리사이드 패턴을 자기 정렬(self-align) 방식으로 형성할 수 있다. 또한, 상기 하드 마스크를 이용하여 역시 자기 정렬 방식으로 콘택을 형성할 수 있다. 이에 따라, 상기 실리사이드 패턴 및 콘택 형성에 있어 보다 간단한 공정으로 정렬 마진 문제를 극복할 수 있는 반도체 소자의 제조 방법이 제공된다.

도면의 간단한 설명

- [0025] 도 1 내지 도 11은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 12 내지 도 14는 다른 실시예들에 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 15 내지 도 22는 또 다른 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 23 내지 도 24는 다른 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하고자 한다.
- [0027] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.
- [0028] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0029] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기관, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기관, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기관 상에 추가적으로 형성될 수 있다.

- [0031] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문

에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

- [0032] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0033] 도 1 내지 도 11은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0034] 도 1을 참조하면, 기판(100) 상에 더미 게이트 절연막, 더미 게이트 전극막 및 더미 게이트 마스크 막을 순차적으로 형성하고 이를 사진 식각 공정을 통해 패터닝하여, 더미 게이트 절연막 패턴(113), 더미 게이트 전극(115) 및 더미 게이트 마스크(117)가 순차적으로 적층된 더미 게이트 구조물(120)을 형성한다.
- [0035] 기판(100)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판, 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판 등 반도체 기판을 포함할 수 있다. 또한, 기판(100)은 n형 혹은 p형 불순물이 도핑된 웰(well) 영역을 더 포함할 수 있다. 한편, 얇은 트렌치 소자 분리(Shallow Trench Isolation: STI) 공정에 의해 기판(100) 상에 소자 분리막(110)을 형성함으로써, 기판(100)을 액티브 영역과 필드 영역으로 구분할 수 있다.
- [0036] 상기 더미 게이트 절연막은 실리콘 산화물 등의 산화물을 사용하여 화학 기상 증착(Chemical Vapor Deposition : CVD) 공정 등을 수행함으로써 기판(100) 상에 형성할 수 있다. 이와는 달리, 상기 더미 게이트 절연막은 기판(100) 상면을 열산화하여 형성할 수도 있다. 상기 더미 게이트 전극막은 폴리실리콘을 사용하여 화학 기상 증착(CVD) 공정, 물리 기상 증착(Physical Vapor Deposition : PVD) 공정, 원자층 증착(Atomic Layer Deposition : ALD) 공정 등을 수행함으로써 상기 더미 게이트 절연막 상에 형성할 수 있다. 상기 더미 게이트 마스크 막은 실리콘 질화물(SiN) 혹은 실리콘 산질화물(SiON)을 사용하여 CVD 공정, PVD 공정, ALD 공정 등을 통해 상기 더미 게이트 전극막 상에 형성할 수 있다.
- [0037] 도 2를 참조하면 더미 게이트 구조물(120)의 측벽 상에 스페이서(125)를 형성하고, 더미 게이트 구조물(120)에 인접한 기판(100) 상부에 불순물 영역들(105)을 형성한다.
- [0038] 구체적으로, 스페이서(125)는 기판(100) 상에 더미 게이트 구조물(120)을 덮는 스페이서막(도시되지 않음)을 형성한 후 이를 이방성 식각함으로써 형성될 수 있다. 예시적인 실시예들에 있어서, 상기 스페이서 막은 실리콘 질화물을 사용하여 형성될 수 있다. 또한, 불순물 영역들(105)은 더미 게이트 구조물(120) 및 스페이서(125)를 이온 주입 마스크로 사용하여 이온 주입 공정을 수행함으로써 형성할 수 있다.
- [0039] 도 3을 참조하면, 기판(100) 상에 더미 게이트 구조물(120) 및 스페이서(125)를 덮는 제1 층간 절연막(130)을 형성한 후, 제1 층간 절연막(130) 상부를 평탄화한다.
- [0040] 제1 층간 절연막(130)은 PSG(phosphor silicate glass), BPSG(boro-phosphor silicate glass), USG(undoped silicate glass), TEOS(tetra ethyl ortho silicate), PE-TEOS(plasma enhanced-TEOS), HDP-CVD(high density plasma-chemical vapor deposition) 산화물 등과 같은 산화물을 사용하여 CVD 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 스핀 코팅(spin coating) 공정, 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정 등을 수행함으로써 형성될 수 있다. 또한, 제1 층간 절연막(130)의 상부는 화학 기계적 연마(chemical mechanical polishing : CMP) 공정을 수행함으로써 평탄화될 수 있다. 예시적인 실시예들에 따르면, 상기 평탄화 공정은 더미 게이트 전극(115)의 상면이 노출될 때까지 수행될 수 있으며, 이에 따라 더미 게이트 마스크(117)가 함께 제거될 수 있다.
- [0041] 도 4를 참조하면, 더미 게이트 전극(115) 및 더미 게이트 절연막 패턴(113)을 제거하여 기판(100) 상면을 노출시키는 개구(135)를 형성한다. 이때, 더미 게이트 전극(115) 및 더미 게이트 절연막 패턴(113)은 건식 식각 공정 혹은 습식 식각 공정에 의해 제거될 수 있다. 이와는 달리, 더미 게이트 절연막 패턴(113)은 제거되지 않을 수도 있으며, 이후 형성되는 게이트 절연막 패턴(143, 도 5 참조)과 함께 게이트 절연막 역할을 수행할 수도 있다.
- [0042] 도 5를 참조하면, 개구(135)의 내벽, 제1 층간 절연막(130) 및 스페이서(125) 상에 게이트 절연막을 형성하고, 개구(135)의 나머지 부분을 채우는 게이트 전극막을 상기 게이트 절연막 상에 형성한다. 이후, 제1 층간 절연막(130)의 상면이 노출될 때까지 상기 게이트 절연막 및 상기 게이트 전극막을 평탄화함으로써, 개구(135) 내에 순차적으로 형성된 게이트 절연막 패턴(143) 및 게이트 전극(145)을 형성한다. 게이트 절연막

패턴(143) 및 게이트 전극(145)은 게이트 구조물을 형성할 수 있다.

- [0043] 상기 게이트 절연막은 고유전율을 갖는 금속 산화물을 증착하여 형성할 수 있다. 예시적인 실시예들에 있어서, 상기 고유전율을 갖는 금속 산화물은 하프늄 산화물, 하프늄 실리콘 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 하프늄 산질화물, 하프늄 실리콘 산질화물, 지르코늄 산질화물, 지르코늄 실리콘 산질화물, 알루미늄 산화물, 하프늄 알루미늄 산화물, 란탄 산화물, 하프늄 란탄 산화물, 지르코늄 알루미늄 산화물, 알루미늄 산질화물, 하프늄 알루미늄 산질화물, 란탄 산질화물, 하프늄 란탄 산질화물, 지르코늄 알루미늄 산질화물 등을 포함할 수 있고, 이들은 단독 혹은 둘 이상을 혼합하여 사용될 수 있다.
- [0044] 상기 게이트 전극막은 알루미늄(Al), 티타늄(Ti), 티타늄 질화물(TiN) 혹은 텅스텐(W) 등의 금속 혹은 금속 질화물을 사용하여 PVD 공정, ALD 공정 등을 수행하여 형성될 수 있다.
- [0045] 이후, 제1 층간 절연막(130), 스페이서(125) 및 상기 게이트 구조물 상에 제1 하드 마스크 막(153) 및 제2 하드 마스크 막(155)을 순차적으로 형성한다.
- [0046] 예시적인 실시예들에 있어서, 제1 하드 마스크 막(153)은 실리콘 질화물을 사용하여 형성될 수 있으며, 제2 하드 마스크 막(155)은 스핀-온 글래스(Spin-On Glass : SOG) 등의 실리콘 기반의 스핀-온 하드 마스크 (Silicon based Spin-On Hard mask : Si-SOH) 혹은 탄소 기반의 하드 마스크(C-SOH)로 형성될 수 있다. 이때, 제2 하드 마스크 막(155)은 높은 종횡비(high aspect ratio)를 갖는 패턴 형성 시 제1 하드 마스크(153a)의 손상을 방지하는 역할을 수행할 수 있다. 다른 실시예에 있어서, 제2 하드 마스크 막(155)은 형성되지 않을 수도 있다.
- [0047] 도 6을 참조하면, 제1 하드 마스크(153a)를 형성하고 이를 식각 마스크로 사용하여 제1 층간 절연막(130)을 제거함으로써 기판(100)의 불순물 영역들(105)을 노출시킨다.
- [0048] 구체적으로, 제2 하드 마스크(155) 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 제2 하드 마스크 막(155)을 부분적으로 제거한다. 상기 포토레지스트 패턴을 제거한 후, 제2 하드 마스크 막(155)을 식각 마스크로 사용하여 제1 하드 마스크 막(153)을 패터닝함으로써 제1 하드 마스크 (153a)를 형성한다. 이후, 제1 하드 마스크(153a)를 식각 마스크로 사용하여 제1 층간 절연막(130)을 제거함으로써 불순물 영역들(105)을 노출시키는 제1 콘택 홀들(157)이 형성된다. 이때, 제2 하드 마스크 막(155)은 일부 혹은 전부가 제거될 수 있으며, 제1 하드 마스크(153a)는 게이트 전극(145) 및/또는 스페이서(125) 상에 잔류할 수 있다.
- [0049] 예시적인 실시예들에 있어서, 제1 하드 마스크(153a)를 식각 마스크로 사용하여 제1 층간 절연막(130)을 제거하는 공정은 건식 혹은 습식 식각 공정을 통해 수행될 수 있다. 구체적으로, 실리콘 질화물 대비 실리콘 산화물의 식각 선택비가 높은 식각 가스 혹은 식각 용액을 사용하여 실리콘 산화물을 포함하는 제1 층간 절연막 (130)을 선택적으로 제거할 수 있다.
- [0050] 이후, 불순물 영역들(105) 상에 금속 실리사이드 패턴(159)을 형성한다.
- [0051] 구체적으로, 제1 콘택 홀들(157)에 의해 노출된 불순물 영역들(105), 스페이서(125) 및 제1 하드 마스크 (153a) 상에 금속막을 형성하고, 금속 열처리(Rapid Thermal Annealing : RTA) 공정 등 어닐링 공정을 수행한다. 이에 따라, 실리콘을 포함하는 불순물 영역들(105) 상에 금속 실리사이드 패턴(159)을 형성할 수 있다. 이후, 스페이서(125) 및 제1 하드 마스크(153a) 상에 실리콘과 반응하지 않은 금속막은 제거될 수 있다. 즉, 금속 실리사이드 패턴(159)은 스페이서(125) 및/또는 제1 하드 마스크(153a)에 의해 자기 정렬(self aligned) 방식으로 형성될 수 있다.
- [0052] 상기 금속막은, 예를 들어, 코발트(Co), 백금(Pt), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 일 실시 예에 따르면, 니켈을 사용하여 상기 금속막을 형성하고 이를 실리사이드이션화함으로써 니켈 실리사이드 (NiSi) 패턴을 형성할 수 있다.
- [0053] 도 7을 참조하면, 기판(100) 상에 제1 콘택 홀들(157)의 나머지 부분을 매립하는 제2 층간 절연막(160)을 금속 실리사이드 패턴(159), 스페이서(125) 및 제1 하드 마스크(153a) 상에 형성하고, 제2 층간 절연막(160) 상에 제3 하드 마스크 막(165)을 형성한다.
- [0054] 예시적인 실시예들에 있어서 제2 층간 절연막(160) 및 제3 하드 마스크 막(165)은 각각 제1 층간 절연막(130) 및 제2 하드 마스크 막(155)과 실질적으로 동일한 물질을 사용하여 CVD 공정, PECVD 공정, 스핀 코팅 공정, HDP-CVD 공정 등을 통해 형성될 수 있다. 다른 실시예들에 있어서, 제3 하드 마스크 막(165)은 형성되지 않을

수도 있다.

- [0055] 도 8을 참조하면, 제3 하드 마스크 막(165) 상에 포토레지스트 패턴(도시되지 않음)을 형성하고 상기 포토레지스트 패턴을 식각 마스크로 하여 제3 하드 마스크 막(165)을 부분적으로 제거한다. 이후, 상기 포토레지스트 패턴은 제거될 수 있다. 한편, 제3 하드 마스크 막(165)을 식각 마스크로 사용하여 제2 층간 절연막(160)을 부분적으로 제거함으로써 금속 실리사이드 패턴(159)을 노출시키는 제2 콘택 홀들(167)을 형성할 수 있다. 이때, 제3 하드 마스크 막(165)은 전부 혹은 일부가 제거될 수 있으며, 제1 하드 마스크(153a) 상에는 제2 층간 절연막(160)이 잔류하여 산화막 패턴(160a)이 형성된다.
- [0056] 도 9를 참조하면, 제2 콘택 홀들(167)을 매립하는 도전막(170)을 금속 실리사이드 패턴(159), 스페이서(125), 제1 하드 마스크(153a) 및 산화막 패턴(160a) 상에 형성한다. 도전막(170)은, 예를 들어, 텅스텐, 알루미늄, 탄탈륨(Ta), 루테튬(Ru), 이리듐(Ir), 백금(Pt) 등을 사용하여 형성될 수 있다. 일 실시예에 따르면, 도전막(170)은 텅스텐을 사용하여 형성된다.
- [0057] 도 10을 참조하면, CMP 공정 및/또는 에치 백(etch back) 공정을 통해 도전막(170)을 제1 하드 마스크(153a)의 상면이 노출될 때까지 평탄화함으로써, 금속 실리사이드 패턴(159)과 전기적으로 연결되는 제1 플러그(170a)를 제2 콘택 홀들(167) 내에 형성한다. 이때, 제1 플러그(170a)는 제1 하드 마스크(153a) 및 스페이서(125)에 의해 자기 정렬될 수 있다. 이에 따라, 제1 하드 마스크(153a) 및 스페이서(125)에 의해 금속 실리사이드 패턴(159) 및 제1 플러그(170a)가 모두 자기 정렬 방식으로 형성될 수 있다.
- [0058] 도 11을 참조하면, 제1 하드 마스크(153a) 및 제1 플러그(170a) 상에 제3 층간 절연막(175)을 형성한다. 이후, 제3 층간 절연막(175)을 관통하면서 제1 플러그(170a)와 전기적으로 연결되는 제2 플러그(180)를 형성한다. 예시적인 실시예들에 있어서, 도 11에 도시된 바와 같이, 제2 플러그(180)와 전기적으로 연결되는 배선(185)을 형성하고 배선(185)을 커버하는 보호막(190)을 제3 층간 절연막(175) 상에 형성할 수도 있다.
- [0059] 도 12 내지 도 14는 다른 실시예들에 따른 반도체 소자의 제조 방법을 나타내기 위한 단면도들이다. 상기 반도체 소자의 제조 방법은 오프셋 스페이서가 더 형성한다는 점을 제외하고는, 도 1 내지 도 11을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 통해 수행되므로, 동일하거나 유사한 공정들에 대한 자세한 설명은 생략한다.
- [0060] 도 12를 참조하면, 도 1 내지 도 8을 참조로 설명한 공정들과 실질적으로 동일한 공정들을 수행하여, 게이트 절연막 패턴(143), 게이트 전극(145), 스페이서(125), 제1 하드 마스크(153a), 산화막 패턴(160a), 금속 실리사이드 패턴(159) 및 제2 콘택 홀들(167)을 형성한다.
- [0061] 도 13을 참조하면, 금속 실리사이드 패턴(159), 스페이서(125), 제1 하드 마스크(153a) 및 산화막 패턴(160a) 상에 오프셋(offset) 스페이서 막을 형성한다. 예시적인 실시예들에 있어서, 상기 오프셋 스페이서 막은 실리콘 질화물을 사용하여 형성될 수 있다. 이후, 상기 오프셋 스페이서 막을 부분적으로 제거하여, 금속 실리사이드 패턴(159) 및 산화막 패턴(160a)을 노출시키며, 이에 따라 스페이서(125), 제1 하드 마스크(153a) 및 산화막 패턴(160a)의 측벽 상에 오프셋 스페이서(169)가 형성된다. 예시적인 실시예들에 따르면, 상기 오프셋 스페이서 막은 건식 식각 공정을 통해 부분적으로 제거될 수 있다.
- [0062] 한편, 오프셋 스페이서(169)가 형성됨에 따라, 이후 형성되는 제1 플러그(170a)와 게이트 전극(145) 사이의 간격을 추가적으로 확보할 수 있다.
- [0063] 도 14를 참조하면, 도 9 및 도 10을 참조로 설명한 공정들과 실질적으로 동일한 공정들을 수행하여 제2 콘택 홀들(167)을 매립하는 제1 플러그(170a)를 형성한다.
- [0064] 구체적으로, 제2 콘택 홀들(167)을 매립하는 도전막을 금속 실리사이드 패턴(159), 오프셋 스페이서(169) 및 산화막 패턴(160a) 상에 형성한 후, 제1 하드 마스크(153a)의 상면이 노출될 때까지 상기 도전막을 평탄화한다. 이에 따라, 제2 콘택 홀들(167)의 내벽 상에는 오프셋 스페이서(169)가 추가로 형성될 수 있고, 제2 콘택 홀들(167)의 내부 공간을 매립하는 제1 플러그(170a)가 자기 정렬 방식으로 형성될 수 있다.
- [0065] 도 15 내지 도 22는 또 다른 실시예들에 따른 반도체 소자의 제조 방법을 나타내기 위한 단면도들이다. 상기 반도체 소자의 제조 방법은 제1 영역(I) 및 제2 영역(II)으로 구분되는 기판 상에 구조물들을 형성한다는 점을 제외하고는, 도 1 내지 도 11을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 통해 수행되므로, 이에 대한 자세한 설명은 생략한다.
- [0066] 도 15를 참조하면, 소자 분리막(210)이 형성된 기판(200) 상에 제1 더미 게이트 구조물(220) 및 제2 더미 게

이트 구조물(220a)을 형성한다. 이때, 기관(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있으며, 제1 및 제2 더미 게이트 구조물들(220, 220a)은 기관(100)의 제1 및 제2 영역들(I, II) 상에 각각 형성될 수 있다. 예시적인 실시예들에 따르면, 제1 및 제2 영역들(I, II)은 각각 셀 영역 및 주변 회로 영역일 수 있다.

[0067] 한편, 제1 및 제2 더미 게이트 구조물들(220, 220a)은 각각 기관(200) 상에 순차적으로 적층된 제1 및 제2 더미 게이트 절연막 패턴들(213, 213a), 제1 및 제2 더미 게이트 전극들(215, 215a) 및 제1 및 제2 더미 게이트 마스크들(217, 217a)을 포함할 수 있다.

[0068] 도 16을 참조하면, 도 2 내지 도 5를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.

[0069] 즉, 제1 및 제2 더미 게이트 전극들(215, 215a) 및 제1 및 제2 더미 게이트 절연막 패턴들(213, 213a)의 각 측면 상에 제1 및 제2 스페이서들(225, 225a)을 형성하고, 제1 및 제2 더미 게이트 전극들(215, 215a)에 인접한 기관(100)의 제1 및 제2 영역들(I, II) 상부에 각각 제1 및 제2 불순물 영역들(203, 205)을 형성한다. 또한, 제1 및 제2 더미 게이트 구조물들(220, 220a) 및 제1 및 제2 스페이서들(225, 225a)을 덮는 제1 층간 절연막(230)을 기관(100) 상에 형성한 후, 제1 및 제2 더미 게이트 전극들(245, 245a)의 상면이 노출될 때까지 제1 층간 절연막(230)을 평탄화한다. 이후, 제1 및 제2 더미 게이트 전극들(215, 215a) 및 제1 및 제2 더미 게이트 절연막 패턴들(213, 213a)을 제거하여 기관(200)의 제1 및 제2 영역들(I, II) 상면을 각각 노출시키는 제1 및 제2 개구들(도시되지 않음)을 형성하고, 상기 제1 개구 내에 제1 게이트 절연막 패턴(243) 및 제1 게이트 전극(245)을 순차적으로 형성하고, 상기 제2 개구 내에 제2 게이트 절연막 패턴(243a) 및 제2 게이트 전극(245a)을 순차적으로 형성한다. 이때, 제1 게이트 절연막 패턴(243) 및 제1 게이트 전극(245)은 제1 게이트 구조물을 형성할 수 있고, 제2 게이트 절연막 패턴(243a) 및 제2 게이트 전극(245a)은 제2 게이트 구조물을 형성할 수 있다.

[0070] 이후, 제1 층간 절연막(230), 상기 제1 및 제2 게이트 구조물들 및 스페이서들(225, 225a) 상에 제1 하드 마스크 막(253) 및 제2 하드 마스크 막(255)을 순차적으로 형성한다.

[0071] 도 17을 참조하면, 도 6을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.

[0072] 이에 따라, 게이트 전극들(245, 245a), 스페이서들(225, 225a) 및 제1 층간 절연막(230) 일부 상에 제1 하드 마스크(253a)가 형성되며, 기관(200) 제1 영역(I)의 제1 불순물 영역들(203)을 노출시키는 제1 콘택 홀들(257)이 형성된다. 또한, 제1 콘택 홀들(257)을 통해 노출된 제1 불순물 영역들(203) 상에는 금속 실리사이드 패턴(259)이 형성된다.

[0073] 도 18을 참조하면, 도 7을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.

[0074] 이에 따라, 제1 콘택 홀들(257)을 매립하는 제2 층간 절연막(260)이 제1 하드 마스크(253a), 금속 실리사이드 패턴(259) 및 제1 스페이서(225) 상에 형성되며, 제2 층간 절연막(260) 상에는 제3 하드 마스크 막(265)이 형성된다.

[0075] 도 19를 참조하면, 도 8을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.

[0076] 이에 따라, 제1 하드 마스크(253a) 상에 산화막 패턴(260a)이 형성되고, 금속 실리사이드 패턴(259)을 노출시키는 제2 콘택 홀들(267)이 형성된다.

[0077] 도 20을 참조하면, 도 9 내지 도 10을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.

[0078] 이에 따라, 기관(200)의 제1 영역(I) 상에 제2 콘택 홀들(267)을 매립하며 금속 실리사이드 패턴(259)과 전기적으로 연결되는 제1 플러그들(270a)이 형성된다. 한편, 산화막 패턴(260a)은 제거될 수 있다.

[0079] 도 21을 참조하면, 제1 플러그(270a) 및 제1 하드 마스크(253a) 상에 제3 층간 절연막(275)을 형성한다. 예시적인 실시예들에 따르면 제3 층간 절연막(275)은 제1 및 제2 층간 절연막과 동일한 실리콘 산화물을 사용하여 형성할 수 있다.

[0080] 도 22를 참조하면, 포토레지스트 패턴을 사용하는 사진 식각 공정을 통해, 제3 층간 절연막(275) 및 제2 영역(II) 상의 제1 하드 마스크(253a) 부분을 식각함으로써, 제1 플러그(270a)를 노출시키는 제3 콘택 홀들(도시되지 않음) 및 제2 게이트 전극(245a)의 상면을 노출시키는 제4 콘택 홀(도시되지 않음)을 형성한다. 이후, 상기 제3 및 제4 콘택 홀들을 매립하는 도전막을 제3 층간 절연막(275), 제1 플러그(270a) 및 제2 게이트 전

극(245a) 상에 형성하고, 제3 층간 절연막(275)의 상면이 노출될 때까지 이를 평탄화한다. 이에 따라, 제1 플러그들(270a)과 전기적으로 연결되는 제2 플러그들(280) 및 제2 게이트 전극(245a)과 전기적으로 연결되는 제3 플러그(283)가 형성된다. 상기 도전막은 텅스텐, 백금, 루테튬, 탄탈륨, 이리듐 등의 금속을 사용하여 형성될 수 있다.

[0081] 이후, 도시되지는 않았지만 제2 및 제3 플러그들(280, 283)과 전기적으로 연결되는 배선을 형성하고 상기 배선을 커버하는 보호막을 제3 층간 절연막(275)에 더 형성하여, 상기 반도체 소자가 완성될 수 있다.

[0082] 도 23 내지 도 24는 또 다른 실시예들에 따른 반도체 소자의 제조 방법을 나타내기 위한 단면도들이다. 상기 반도체 소자의 제조 방법은 오프셋 스페이서가 더 형성한다는 점을 제외하고는, 도 15 내지 도 22를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 통해 수행되며, 또한 상기 오프셋 스페이서 형성 공정은 도 12 내지 도 14를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 통해 수행된다. 이에 따라, 상기 동일하거나 유사한 공정들에 대한 반복적인 설명은 생략한다.

[0083] 도 23을 참조하면, 도 15 내지 도 19를 참조하여 설명한 공정들과 실질적으로 동일한 공정들을 수행한다.

[0084] 도 24를 참조하면, 도 13 내지 도 14를 참조하여 설명한 공정들과 실질적으로 동일한 공정들을 수행한다.

[0085] 이에 따라, 오프셋 스페이서들(269)이 제1 스페이서(225) 및 제1 하드 마스크(253a)의 측벽 및 금속 실리사이드 패턴(259) 일부 상에 형성되며, 오프셋 스페이서들(269) 사이 및 금속 실리사이드 패턴(259) 상에는 제1 플러그들(270a)이 형성된다. 오프셋 스페이서(269)에 의해, 제1 플러그들(270a)과 제1 게이트 전극(245) 사이의 간격이 추가로 확보될 수 있다.

[0086] 이후 도 21 및 도 22를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행함으로써 상기 반도체 소자를 완성할 수 있다.

산업상 이용가능성

[0087] 본 발명의 사상은 좁은 게이트 사이의 간격으로 인해 미세한 콘택 형성 공정이 요구되는 낸드(NAND) 플래시 메모리 소자, 노아(NOR) 플래시 메모리 소자, DRAM 소자, SRAM 소자 등의 반도체 소자들의 제조 방법에 널리 사용될 수 있다.

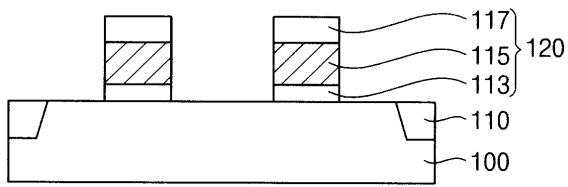
부호의 설명

- [0088]
- | | |
|----------------------------------|-----------------------|
| 100, 200: 반도체 기판 | 105: 불순물 영역 |
| 110, 210: 소자 분리막 | 113 : 더미 게이트 절연막 패턴 |
| 115: 게이트 유전막 | 117: 더미 게이트 마스크 |
| 120: 더미 게이트 구조물 | 125: 스페이서 |
| 130, 230: 제1 층간 절연막 | 135: 개구 |
| 143: 게이트 절연막 패턴 | 145: 게이트 전극 |
| 153, 253: 제1 하드 마스크 막 | 153a, 253a: 제1 하드 마스크 |
| 155, 255: 제2 하드마스크 막 | 157, 257: 제1 콘택 홀 |
| 159, 259: 금속 실리사이드 패턴 | 160, 260 : 제2 층간 절연막 |
| 160a, 260a : 산화막 패턴 | 165, 265: 제3 하드 마스크 막 |
| 167, 267: 제2 콘택 홀 | 169, 269: 오프셋 스페이서 |
| 170: 도전막 | 170a, 270a: 제1 플러그 |
| 175, 275: 제3 층간 절연막 | 180, 280: 제2 플러그 |
| 185: 배선 | 190: 보호막 |
| 203, 205 : 제1 및 제2 불순물 영역 | |
| 213, 213a: 제1 및 제2 더미 게이트 절연막 패턴 | |

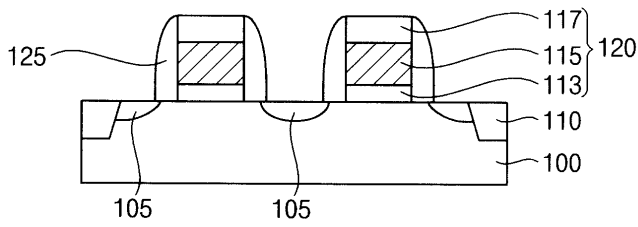
- 215, 215a: 제1 및 제2 더미 게이트 전극
- 217, 217a: 제1 및 제2 더미 게이트 마스크
- 220, 220a: 제1 및 제2 더미 게이트 구조물
- 225, 225a: 제1 및 제2 스페이서
- 243, 243a: 제1 및 제2 게이트 절연막 패턴
- 245, 245a : 제1 및 제2 게이트 전극
- 283 : 제3 플러그

도면

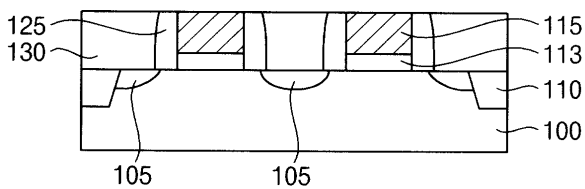
도면1



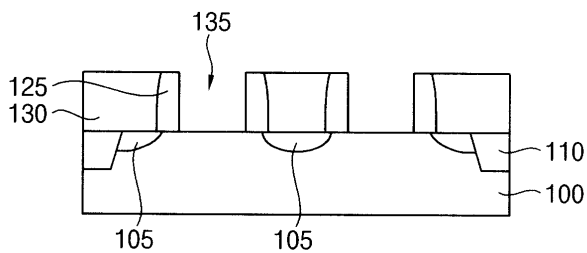
도면2



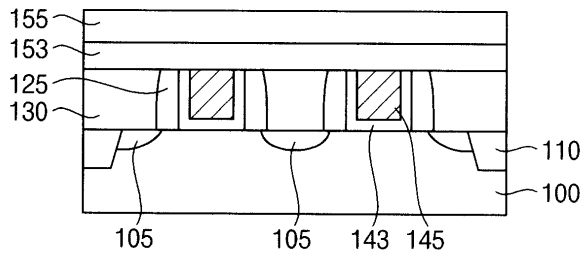
도면3



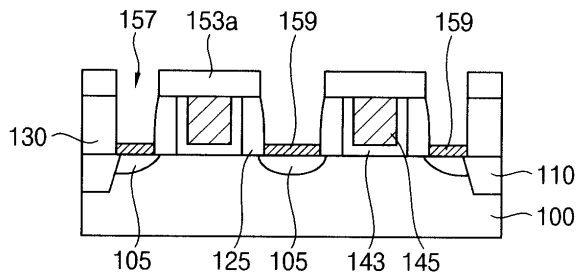
도면4



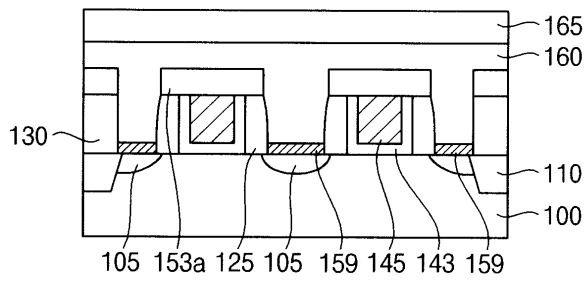
도면5



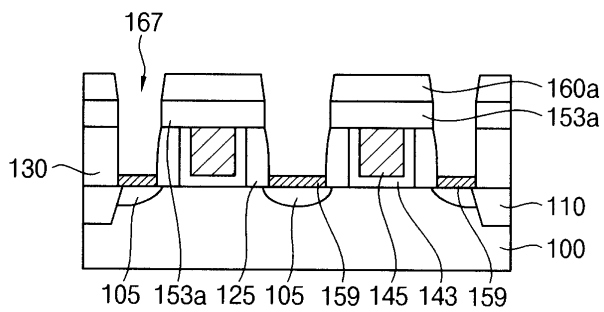
도면6



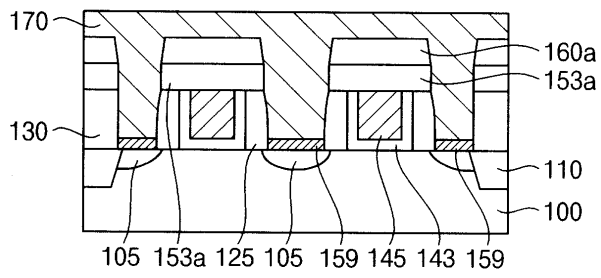
도면7



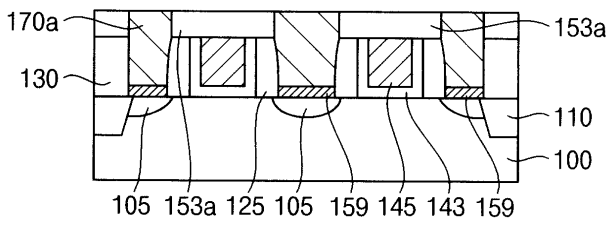
도면8



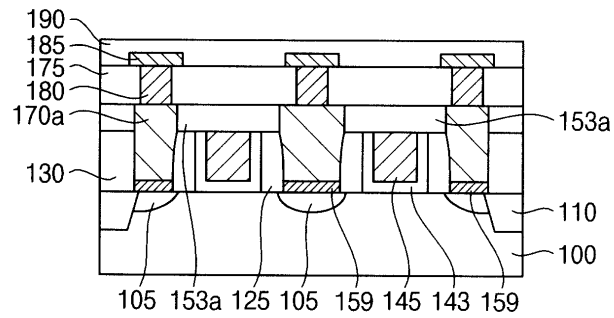
도면9



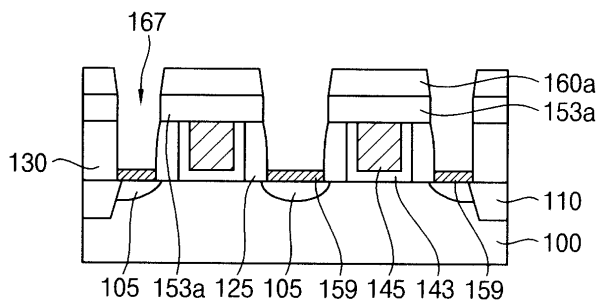
도면10



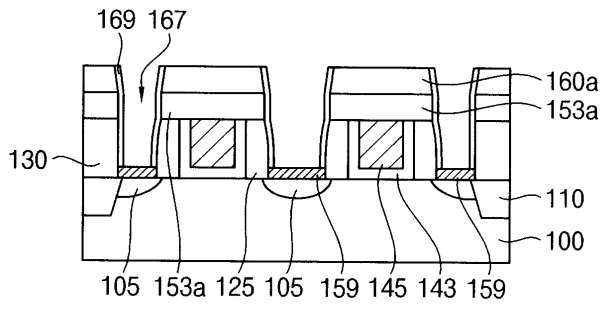
도면11



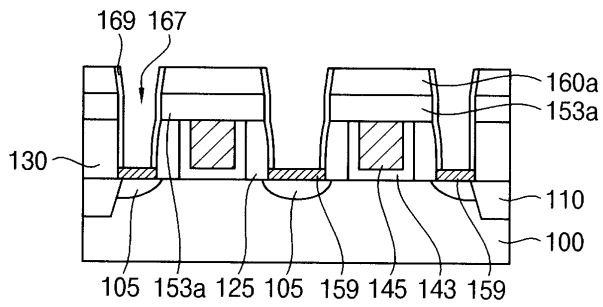
도면12



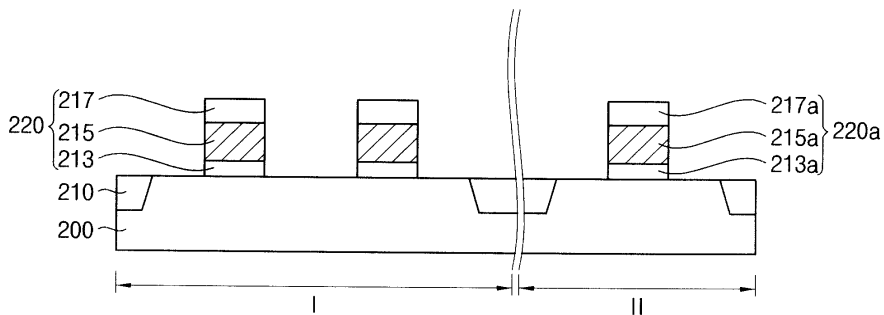
도면13



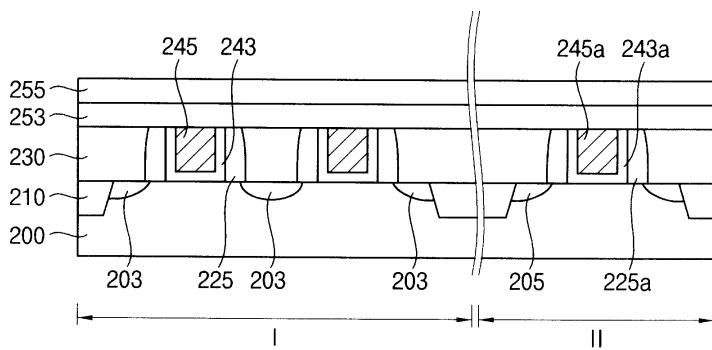
도면14



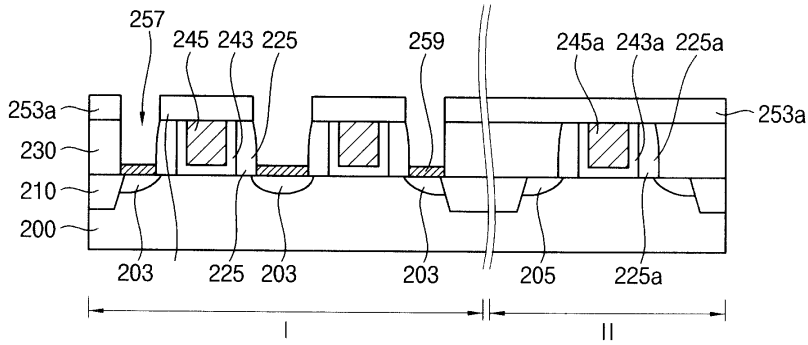
도면15



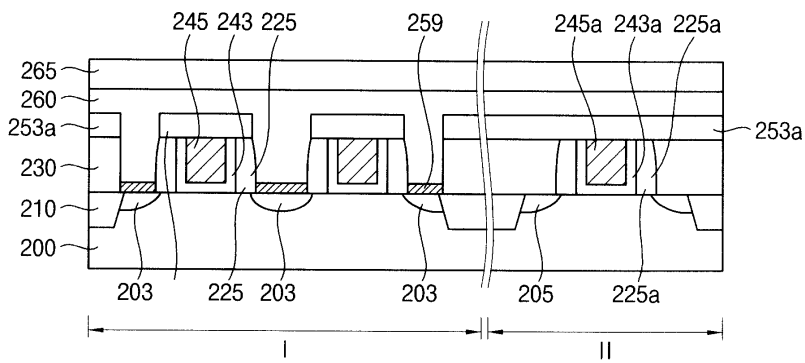
도면16



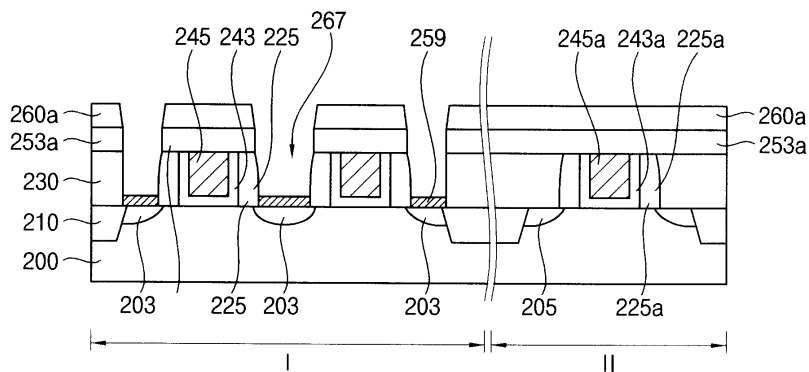
도면17



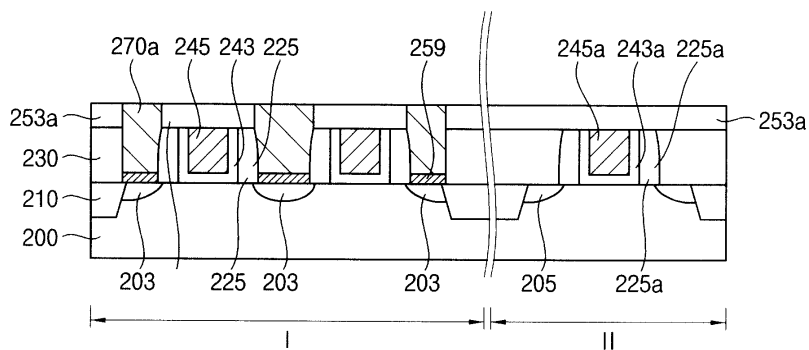
도면18



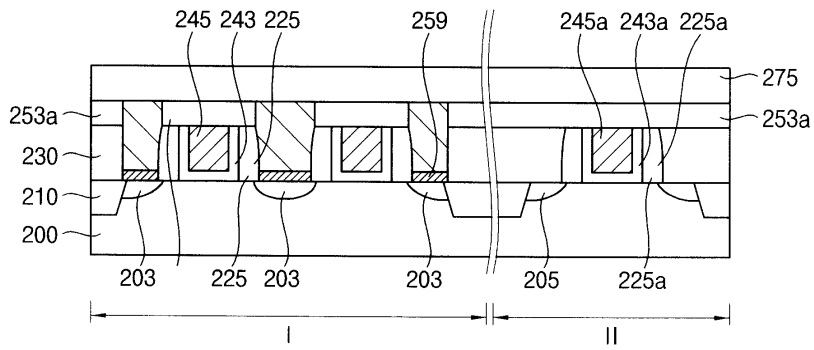
도면19



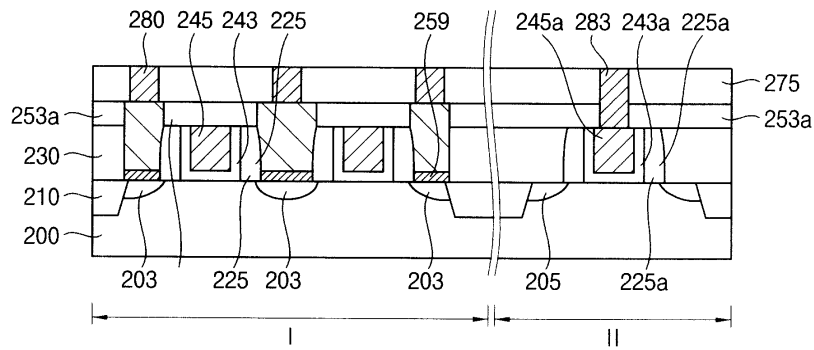
도면20



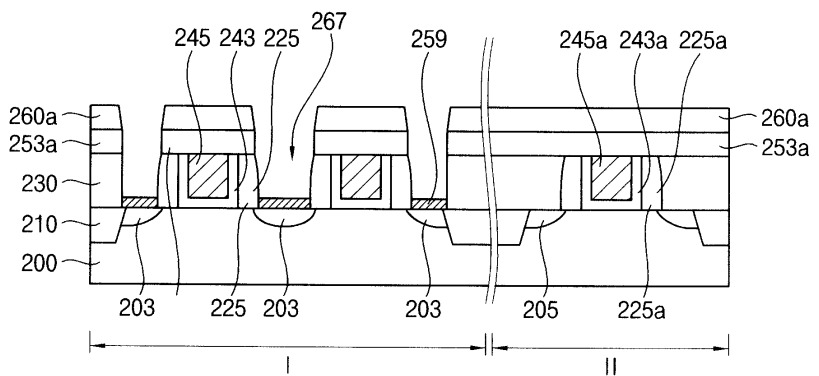
도면21



도면22



도면23



도면24

