



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

195404

(11)

(B1)

(51) Int. Cl.³
G 01 R 31/28

/22/ Přihlášeno 14 07 75
/21/ /PV 4972-75/

(10) Zveřejněno 31 05 79

(45) Vydáno 15 05 82

(75)

Autor vynálezu

DRAŠNAR JAN, PRAHA

(54) Zkušební zařízení k prověření správné funkce logických obvodů

1

Vynález se týká zkušebního zařízení k prověření správné funkce logických obvodů na desce ve statickém stavu za současné kontroly všech jejich vstupů, sestávajícího z panelu s vyvedenými kontakty, s ovládacím hrotem připojeným na zem a z nejméně jednoho signálního bloku.

Jednoduché známé zařízení používá k volbě vstupní informace vypínačů, zatímco logické úrovně výstupů jsou signalizovány pomocí žárovek. Žárovky a vypínače jsou označeny číslem špičky konektoru.

Složitější známé zařízení používá televizní obrazovku, kde jsou zobrazeny všechny vstupy a výstupy zkoušené desky včetně log. "0" a log. "1". Vstupní informace je zadávána pomocí fotonkové sondy, která se přiloží na zobrazované pole špičky vstupu. Tlačítkem na sondě se zvolí log. "0" nebo log. "1". Signál se přečte v době, kdy světelný paprsek rozkladů prochází pod fotonkovou sondou a zvolená informace je zaznamenána v paměti zkušebního zařízení a zobrazena na obrazovce.

Složitá zařízení jsou řízena děrnou páskou a podle programu otestují celou zkoušenou desku. Při chybě se testování přerušuje a tiskací jednotka vypíše závadu.

Účelem vynálezu je, navrhnout zkušební zařízení s dostupnými součástkami, aby splnilo nároky složitějšího zařízení a bylo snadno opravitelné.

Požadavky splňuje zkušební zařízení podle vynálezu, jehož podstatou je, že každý signální blok je tvořen RS klopným obvodem, sestaveným z hradel, přičemž výstup prvního hradla je zapojen na první kontakt a pracovní

2

výstup druhého hradla je zapojen na druhý kontakt a přes první omezovací odpor na bázi prvního tranzistoru a kolektor prvního tranzistoru je zapojen přes druhý odpor na jeden pól zdroje a přes třetí odpor na bázi druhého tranzistoru a na čtvrtý odpor, který má druhý konec zapojen na vývod pro zkoušenou desku, přičemž kolektor druhého tranzistoru je zapojen na signální žárovku a všechny nulovací vstupy RS klopných obvodů ze vstupu prvního hradla jsou navzájem propojeny a zapojeny na nulovací tlačítko, které je druhým pólem zapojeno na druhý pól zdroje, na který jsou zapojeny emitory obou tranzistorů.

Provedením podle vynálezu se značně zjednoduší celá logika zkušebního zařízení, při stejné přehlednosti logických stavů vstupů a výstupů a stejných nárocích na programování zkušebního testu.

Na připojených výkresech je nakresleno provedení zkušebního zařízení podle vynálezu, kde na obr. 1 je nakreslen pohled na panel zkušebního zařízení, na obr. 2 je boční pohled na jeden signální blok 2 s indikační žárovkou $\bar{Z}_1 / \bar{Z}_2$ a vyvedenými kontakty Q_1 , Q_2 k překlopení RS klopného obvodu uzemněnou sondou 4, a na obr. 3 je schéma ovládání dvou signálních bloků.

Konektory 1 na obr. 1 jsou použity k připojení zkoušené desky. Signální blok 2, uspořádaný do matice, signalizuje stavy vstupů a výstupů logické sítě. Dotelem uzemněné sondy 4 na některý ze dvou kontaktů signálního bloku 2 je řízeno překlopení RS klopného obvodu do dvou stavů. Sondou 4 se programuje log. "0" nebo log. "1" na

špičku konektoru zkoušené desky, ke které je zapojen vstup.

Nulovací tlačítko 3 se používá k vynulování všech RS klopných obvodů do stavu, kdy na všech špičkách zkoušené desky jsou samé log. "1".

Podle schématu na obr. 3 je první RS klopný obvod sestaven ze dvou NAND hradel H1, H2. Do základní polohy se uvedou všechny RS klopné obvody stisknutím nulovacího tlačítka 3. Po vynulování je výstup Q2 ve stavu log. "0", tranzistor Z1 nevede, tranzistor T2 vede a signální žárovka Z1 svítí. Na špičce konektoru A zkoušené desky je log. "1".

V případě, že na špičku konektoru A je zapojen výstup zkoušeného obvodu, který je ve stavu log. "0", potom bude i log. "0" na vstupu tranzistoru T2 a signální žárovka Z1 zhasne.

V případě, že na špičce konektoru A je

zapojen vstup zkoušeného obvodu, na špičce bude log. "0" tehdy, když se sondou 4 uzmění výstup hradla H1 RS klopného obvodu a log. "1" tehdy, když se sondou 4 uzmění výstup hradla H2 RS klopného obvodu. Dotekem sondy 4 se může libovolně měnit stejnosměrná úroveň vstupů z log. "0" do log. "1" a naopak.

Před zasunutím zkoušené desky se tlačítkem 3 vynulují všechny klopné obvody 2. Po vynulování jsou zapojeny na všechny špičky konektoru 1 zkoušené desky log. "1" a indikační žárovky svítí. Po zasunutí zkoušené desky se nastaví signální bloky tak, že log. "0" desky způsobí, že indikační žárovky Z1, Z2 zhasnou.

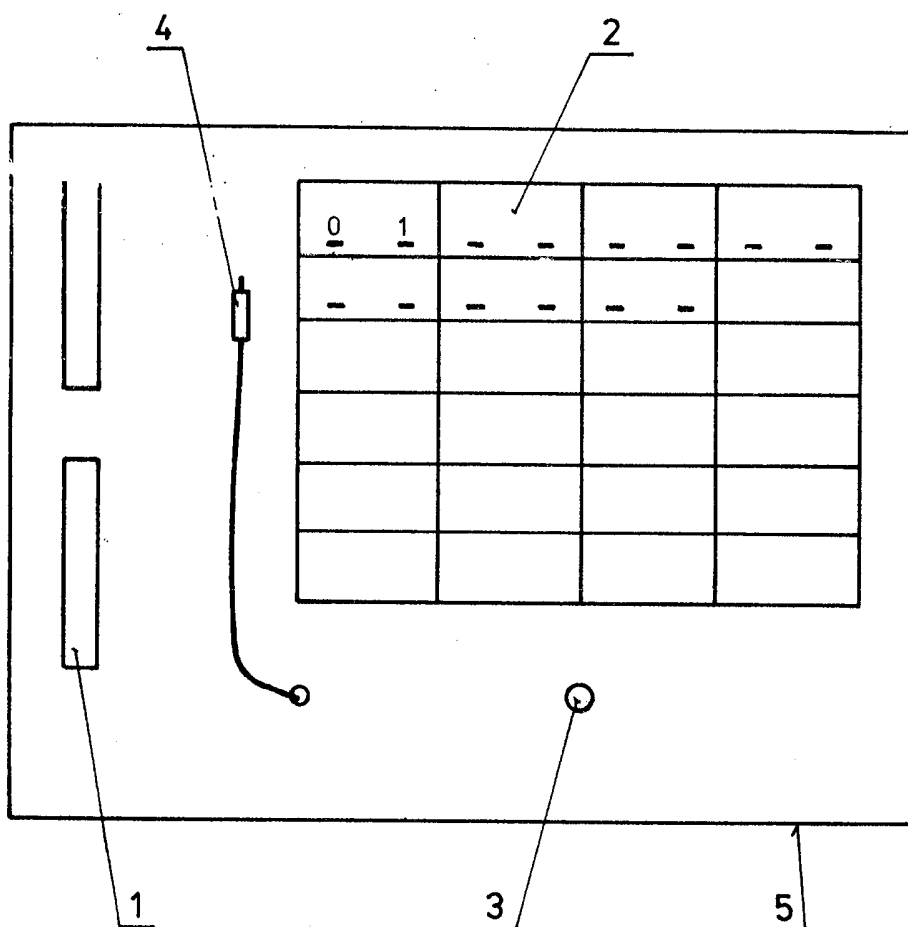
Dotekem sondy 4 na příslušný kontakt signálního bloku 2 se programuje log. "0" nebo log. "1" a sledují stavy podle schématu nebo tabulky, s předem zapsanou funkcí tak, až se vyzkouší celá logická síť desky.

P R E D M Ě T V Y N Á L E Z U

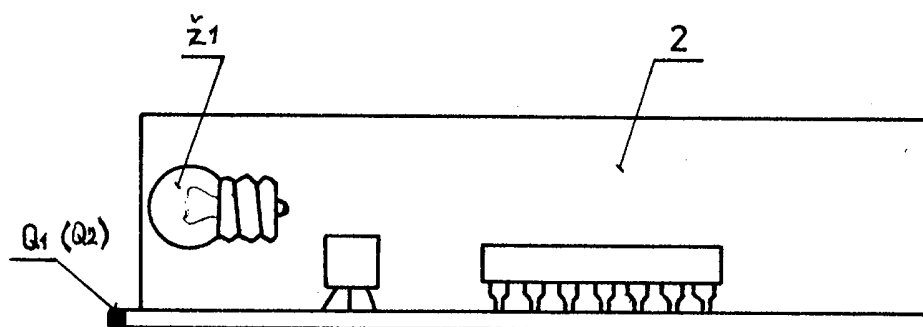
Zkušební zařízení k prověření správné funkce logických obvodů na desce ve statickém stavu za současné kontroly všech jejich vstupů, sestávající z panelu s vyvedenými kontakty a ovládacím hrotem připojeným na zem a z nejméně jednoho signálního bloku, vyznačující se tím, že každý signální blok je tvořen RS klopným obvodem, sestaveným z hradel H1, H2/, přičemž výstup prvního hradla H1/ je zapojen na první kontakt /Q1/ a pracovní výstup druhého hradla H2/ je zapojen na druhý kontakt /Q2/ a přes první omezovací odpor /R1/ na bázi prvního tranzistoru /T1/ a kolektor prvního tranzisto-

ru /T1/ je zapojen přes druhý odpor /R2/ na jeden pól zdroje /Uc/ a přes třetí odpor /R3/ na bázi druhého tranzistoru /T2/ a na čtvrtý odpor /R4/, který má druhý konec zapojen na vývod /A/ pro zkoušenou desku, přičemž kolektor druhého tranzistoru /T2/ je zapojen na signální žárovku /Z1/ a všechny nulovací vstupy RS klopných obvodů ze vstupu prvního hradla H1/ jsou navzájem propojeny a zapojeny na nulovací tlačítko /3/, které je druhým pólem zapojeno na druhý pól zdroje /Uc/, na který jsou zapojeny emistory obou tranzistorů /T1, T2/.

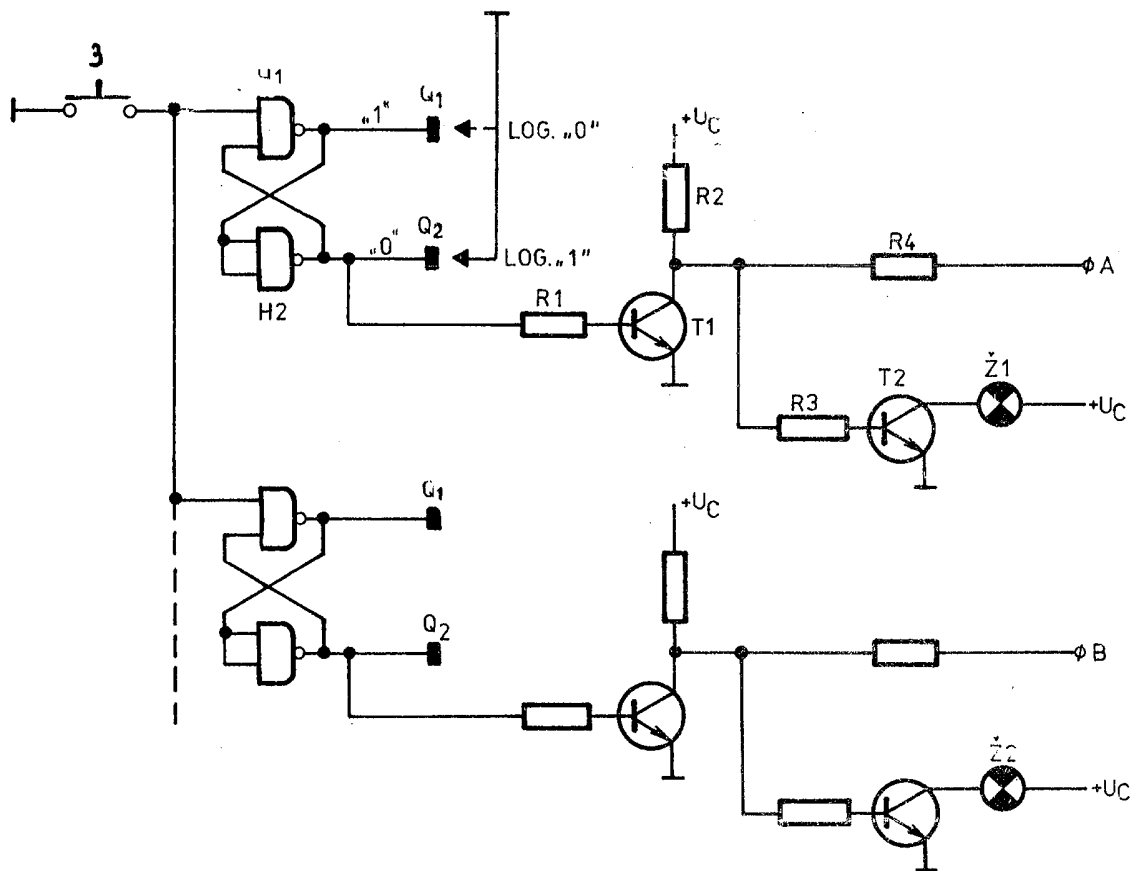
2 listy výkresů



OBR.1



Obr. 2



OBR.3