

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/485 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02820665.7

[45] 授权公告日 2008 年 4 月 9 日

[11] 授权公告号 CN 100380647C

[22] 申请日 2002.10.17 [21] 申请号 02820665.7

[30] 优先权

[32] 2001.10.18 [33] US [31] 10/032,623

[86] 国际申请 PCT/US2002/033568 2002.10.17

[87] 国际公布 WO2003/056625 英 2003.7.10

[85] 进入国家阶段日期 2004.4.19

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 D·丹尼尔森 P·帕卢达

R·格莱克斯纳 R·奈克

[56] 参考文献

US6218732 B1 2001.4.17

EP1146552 A2 2001.10.17

EP1139413 A2 2001.10.4

US5172212 A 1992.12.15

审查员 王琳

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 章社杲

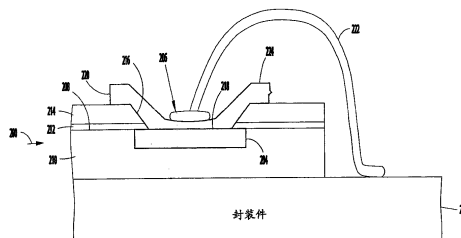
权利要求书 4 页 说明书 6 页 附图 6 页

[54] 发明名称

导线结合结构和微电子电路芯片及其连接方法

[57] 摘要

一种导线结合结构和微电子电路芯片及其连接方法，包括形成在微电子电路芯片的表面上或者表面中的铜焊盘。包括与该铜焊盘接触的导电层，且结合导线结合到该导电层。该导电层由一种单一材料形成，以在氧化环境和具有达到至少大约 350°C 的温度的环境的至少一种环境中在结合导线和铜焊盘之间提供稳定的接触。



1. 一种导线结合结构，其包括：  
基底；  
形成在该基底的表面上的铜焊盘；  
与该铜焊盘接触的导电层；以及  
结合到该导电层的结合导线，其中，该导电层包括一种单一材料，以在氧化环境和具有达到至少 350℃ 的温度的环境的至少一种环境中在结合导线和铜焊盘之间提供稳定的接触。
2. 如权利要求 1 的导线结合结构，其特征在于：该导电层包括单层钛。
3. 如权利要求 1 的导线结合结构，其特征在于：该导电层具有在几百纳米和几个微米之间的厚度。
4. 如权利要求 1 的导线结合结构，其特征在于：该结合导线包括铝。
5. 如权利要求 1 的导线结合结构，其特征在于：该导电层包括钛，且该结合导线包括铝，其中该钛导电层和该铝结合导线在选定的温度下退火，退火持续预定的时间周期。
6. 如权利要求 1 的导线结合结构，还包括形成在基底上的至少一层钝化材料，且包括形成在其中的开口，该导电层通过该开口接触铜焊盘。
7. 如权利要求 1 的导线结合结构，还包括：  
形成在基底的表面上的第一层氮化硅；以及  
形成在该第一层上的第二层聚酰亚胺，其中，开口形成在第一层氮化硅和第二层聚酰亚胺中，该导电层通过该开口接触铜焊盘。
8. 如权利要求 1 的导线结合结构，其特征在于：该基底是微电子电路芯片的层间电介质。
9. 一种导线结合结构，其包括：  
基底；  
形成在该基底的表面上的铜焊盘；  
形成在该基底上且覆盖该铜焊盘的至少一层钝化材料；  
形成在该至少一层钝化材料上且通过形成在该至少一层钝化材料中的开口与该铜焊盘接触的单层导电材料；以及  
结合到该单层导电材料的结合导线，其中，该结合导线是铝，且该单

层导电材料提供提供在结合导线和铜焊盘之间的附着。

10. 如权利要求 9 的导线结合结构, 其特征在于: 该单层导电材料包括钛。

11. 如权利要求 9 的导线结合结构, 其特征在于: 该单层导电材料包括钛, 且该结合导线包括铝, 其中该单层导电材料和该结合导线在选定的温度下退火, 退火持续预定的时间周期。

12. 如权利要求 9 的导线结合结构, 其特征在于: 该至少一层钝化材料包括:

第一层氮化硅; 以及  
形成在该第一层上的第二层聚酰亚胺。

13. 一种微电子电路芯片, 其包括:  
基底;  
多个形成在该基底上的铜结合焊盘;  
形成在该基底上且覆盖该多个铜结合焊盘的至少一层钝化材料;  
多个电触点, 每个电触点由单层导电层形成, 多个电触点的每一个通过形成在至少一层钝化材料中的开口连接到多个铜结合焊盘的相应的一个; 以及

多个结合导线, 每个结合到多个电触点中的相应的一个。

14. 如权利要求 13 的微电子电路芯片, 其特征在于: 多个电触点的每一个包括钛。

15. 如权利要求 13 的微电子电路芯片, 其特征在于: 多个结合导线的每一个包括铝。

16. 如权利要求 13 的微电子电路芯片, 其特征在于: 每个电触点包括钛, 且多个结合导线的每一个包括铝, 其中, 该微电子电路芯片在选定的温度下退火, 退火持续预定的时间周期。

17. 如权利要求 13 的微电子电路芯片, 其特征在于: 该基底是微电子电路芯片的层间电介质。

18. 一种制造与微电子电路芯片的电连接的方法, 其包括:

在微电子电路芯片的表面中形成铜焊盘;  
在电路芯片的表面和铜焊盘上形成至少一层钝化材料;  
在至少一层钝化材料中形成开口, 以暴露至少一部分铜焊盘;  
形成一通过该开口与铜焊盘接触的单层导电材料; 以及

将结合导线依附到该层导电材料，以形成导线结合组件，其中，该层导电材料包括一种材料，以在氧化环境和具有达到至少 350℃ 的温度的环境的至少一种环境中在结合导线和铜焊盘之间提供稳定的接触。

19. 如权利要求 18 的方法，其特征在于：在至少一层钝化材料中形成开口包括机械去除和化学去除材料中的至少一种。

20. 如权利要求 18 的方法，其特征在于：形成该层导电材料包括形成单层钛。

21. 如权利要求 18 的方法，还包括选择性地去除该层导电材料的部分，以形成预定的图案。

22. 如权利要求 18 的方法，还包括在选定的温度下退火该导线结合组件，退火持续预定的时间周期。

23. 如权利要求 18 的方法，其特征在于：将结合导线依附到该层导电材料包括楔形焊接。

24. 一种制造微电子电路芯片封装件的方法，其包括：

提供微电子电路芯片；以及

将多个结合导线的每一个电连接到形成在该微电子电路芯片的表面中的多个铜焊盘的相应的一个，其中，将每个结合导线连接到多个铜焊盘的相应的一个包括：

在至少一层钝化材料中形成多个开口，以暴露多个铜焊盘的每一个的至少一部分，

形成一通过这些开口与多个铜焊盘的每一个接触的单层导电材料，

选择性地去除该层导电材料的部分，以形成该层导电材料的多个分离的电触点，每个分离的电触点连接到多个铜焊盘的相应的一个，以及

将多个结合导线的每一个电连接到该层导电材料的多个分离的电触点的相应的一个，以形成微电子电路芯片封装件，其中，该层导电材料包括一种材料，以在氧化环境和具有达到至少 350℃ 的温度的环境的至少一种环境中在多个结合导线的每一个和多个铜焊盘的相应的一个之间提供稳定的接触。

25. 如权利要求 24 的方法，其特征在于：形成该层导电材料包括形成单层钛。

26. 如权利要求 24 的方法，其特征在于：将多个结合导线的每一个电连接到多个分离的电触点的相应的一个包括楔形焊接。

---

27. 如权利要求 24 的方法, 还包括在选定的温度下退火该微电子电路芯片封装件, 退火持续预定的时间周期。

## 导线结合结构和微电子电路芯片及其连接方法

### 技术领域

本发明总的涉及微电子电路芯片以及封装这样的器件，更具体的，本发明涉及导线结合结构和电连接到微电子电路芯片的方法。

### 背景技术

微电子电路芯片、半导体晶片等等通常容纳在称为封装件或者封装的保护覆盖物中。形成在封装件上的管脚通过结合导线电连接到形成在电路芯片或者芯片的基底或者层间电介质中的相应的焊盘。然后，使用封装件的管脚将微电子电路芯片连接到安装在电路板上的插座中，或者在一些设计中，封装件的管脚可以直接连接到电路板或者其它基底上。

形成在电路芯片的层间电介质中的焊盘通常由铜形成，且结合导线通常由铝或者金形成。当暴露到诸如空气之类的氧化环境中时，铜和铝都会在暴露的表面上形成一薄氧化物层。铜易于连续氧化，铝不会。在铝和铜连接之间的氧化层会增加由铜焊盘和铝结合导线形成的导电通路的电阻。通过将铝结合导线直接连接到铜焊盘形成的电接触强度随着时间的流逝也会机械地变弱和变坏。

另外，当暴露到诸如那些用于测试微电子电路芯片、电路板等等之类的高温中，或者在那些可能经历高温和氧化环境的专门的应用中时，铝和铜可以相互反应。暴露到诸如达到大约 200℃ 摄氏度或者更高之类的高温中会引起在铝结合导线和铜焊盘之间形成的连接不稳定，导致结合的断裂和断开，或者导致随着时间的流逝更容易变坏的结合。高温还可以引起增加的金属氧化和增加铜与铝的结合或者连接之间的电阻。虽然在大多数应用中不期望经历这样的高温，但是微电子电路芯片和电路在这样的温度下测试，以确保这些器件和它们的连接随着时间的流逝和在所有正常环境条件下的可靠性和稳定性。

在图 1 中显示了一种已知的导线结合结构 100。铜结合焊盘 102 形成在封装件 105 的层间电介质 104 中。氮化硅钝化层 106 可以形成在层间电介质 104 的表面 108 和铜结合焊盘 102 的顶部表面 110 上。聚酰亚胺钝

化层 112 可以形成在氮化硅层 106 上。开口 114 形成在聚酰亚胺层 112 和氮化硅层 106 中，以暴露铜结合焊盘 102 的顶部表面 110 的至少一部分。第一薄的钽阻挡层 116 形成在铜焊盘 102 的顶部表面 110 上，第二较厚的铝层 118 形成在钽阻挡层 116 上。钽阻挡层 116 和第二铝层 118 必须被蚀刻，以形成导线结合结构 100。然后，铝结合导线 120 依附到第二层 118。因此，该导线结合结构 100 需要多层界面，包括第一阻挡层 116 来接触铜焊盘 102，第二铝层 118 来与铝结合导线 120 接触。形成和蚀刻这些层 116 和 118 的每一层需要额外的加工步骤和材料，这增加了生产的成本和时间。

### 发明内容

因此，由于上述的原因，以及当阅读和理解了本说明书时会明白的其它原因，所以需要一种在铝结合导线和铜焊盘之间只包括单层导电材料的导线结合结构。另外，需要这样一种导线结合结构，即，其在铝结合导线和铜焊盘之间形成稳定的坚固的结合或者连接，且其可以承受氧化环境和高温，以及随着时间的流逝和在大多数操作条件下可以维持其完整性。

具体地，本发明提出一种导线结合结构，其包括：基底；形成在该基底的表面上的铜焊盘；与该铜焊盘接触的导电层；以及结合到该导电层的结合导线，其中，该导电层包括一种单一材料，以在氧化环境和具有达到至少大约 350℃ 的温度的环境的至少一种环境中在结合导线和铜焊盘之间提供稳定的接触。

也提出一种导线结合结构，其包括：基底；形成在该基底的表面上的铜焊盘；形成在该基底上且覆盖该铜焊盘的至少一层钝化材料；形成在该至少一层钝化材料上且通过形成在该至少一层钝化材料中的开口与该铜焊盘接触的单层导电材料；以及结合到该单层导电材料的结合导线，其中，该结合导线是铝，且该单层导电材料提供提供在结合导线和铜焊盘之间的附着。

还提出一种微电子电路芯片，其包括：基底；多个形成在该基底上的铜结合焊盘；形成在该基底上且覆盖该多个铜结合焊盘的至少一层钝化材料；多个电触点，每个电触点由单层导电层形成，多个电触点的每一个通过形成在至少一层钝化材料中的开口连接到多个铜结合焊盘的相

应的一个；以及多个结合导线，每个结合到多个电触点中的相应的一个。

也提出一种制造与微电子电路芯片的电连接的方法，其包括：在微电子电路芯片的表面中形成铜焊盘；在电路芯片的表面和铜焊盘上形成至少一层钝化材料；在至少一层钝化材料中形成开口，以暴露至少一部分铜焊盘；形成一通过该开口与铜焊盘接触的单层导电材料；以及将结合导线依附到该层导电材料，以形成导线结合组件，其中，该层导电材料包括一种材料，以在氧化环境和具有达到至少大约 350℃ 的温度的环境的至少一种环境中在结合导线和铜焊盘之间提供稳定的接触。

### 附图说明

图 1 是在铝结合导线和铜结合焊盘之间包括多层界面的现有技术的导线结合结构。

图 2 是根据本发明的连接到微电子电路芯片的导线结合结构的截面图。

图 3A - 3I 示出了形成根据本发明的连接到微电子电路芯片的导线结合结构的操作。

图 4 是制造微电子电路芯片封装件的方法的流程图，包括通过根据本发明的导线结合结构将封装件连接到微电子电路芯片。

### 具体实施方式

在下面的优选实施例的详细描述中，参考形成其一部分的附图，且在上述附图中通过示例来显示实现本发明的具体的实施例。应该理解，可以利用其它的实施例，且在不偏离本发明的范围的情况下可以进行结构改变。

图 2 是根据本发明的连接到微电子电路芯片 200 的导线结合结构 206 的截面图。图 2 示出了通过根据本发明的导线结合结构或者组件 206 连接到微电子电路芯片 200 或者集成电路的微电子电路芯片封装件 202 的局部视图。微电子电路芯片 200 的导线结合结构 206 包括铜结合焊盘 204，其形成在层间电介质 210 的表面 208 或者微电子电路芯片 200 的基底上。第一钝化层 212 可以形成在层间电介质 210 的表面 208 和铜结合焊盘 204 上。层 212 可以是氮化硅或者类似物。第二钝化层 214 可以形成在第一层 212 上。该第二钝化层 214 可以是聚酰亚胺或者类似物。开

口 216 形成在第一和第二钝化层 214 和 216 中，以暴露铜结合焊盘 204 的顶部表面 218 的至少一部分。一层导电材料 220 形成在铜结合焊盘 204 的顶部表面 218 和第二钝化层 214 上。结合导线 222 通过结合到导电层 220 来依附到微电子电路芯片 200。结合导线 222 可以通过诸如超声楔形焊接或者类似方式的标准的铝焊接过程来结合到导电层 220。

可以使用不同的材料来形成导电层 220，包括钽、铂和金，其可以通过无电镀覆来形成；然而，在高温条件下和在氧化环境中，用于导电层 220 的钝化钛层结合铜结合焊盘 204 和铝结合导线 222 提供了上好的性能和稳定性。在形成具有最小线路内电阻的牢固而可靠的电连接中，钛与铜和铝都兼容。另外，在选定的温度下，退火微电子电路芯片封装件 200，退火持续预定时间周期，引起导电层 220 或者钛钝化层与铝结合导线 222 反应，以形成在氧化环境中或者在具有达到大约 350℃ 或者更高的高温的环境中不会断裂、断开或者腐蚀的更加稳定的电连接。发现大约 400℃ 的选定退火温度和至少大约 10 秒的预定时间周期引起钛层 220 与铝结合导线 222 反应，形成在测试条件下稳定的连接。

多个结合导线 222 通常连接到微电子电路芯片 200。每个结合导线连接到形成在电路芯片 200 的层间电介质 210 中的多个结合焊盘 204 中的相应的一个。因此，导电层 220 的部分可以根据预定的图案来选择性地去除，以形成多个单独的电触点 224，每个电触点覆盖且连接到多个铜结合焊盘 204 的相关的一个。在结合导线 222 通过楔形焊接过程或者类似方式来依附或者结合到电触点 224 以后，每个电触点 224 将相关的铜焊盘 204 结合到相应的结合导线 222。

图 3A-3I 示出了形成根据本发明的图 2 的导线结合结构或者组件 206 的操作，以将集成电路或者微电子电路芯片 200 的结合焊盘 204 连接到微电子电路芯片封装件 202。在图 3A 中，与图 2 中的铜结合焊盘 204 相同的铜结合焊盘 304 形成在微电子电路芯片 300 的层间电介质 310 或者基片中。该铜结合焊盘 304 可以通过任何已知的方法来形成，诸如通过光刻技术和蚀刻或者类似技术来在层间电介质 310 的顶部表面 308 中形成孔 311，然后通过电镀或者类似的技术来沉积铜。

在图 3B 中，第一钝化层 312 可以形成在层间电介质 310 的表面 308 和铜结合焊盘 304 上。该第一钝化层 312 可以是氮化硅或者类似的钝化材料。在图 3C 中，第二钝化层 314 可以形成在第一钝化层 312 上。该第

二钝化层 314 可以是聚酰亚胺或者类似的钝化材料。在图 3D 中, 通过该第一和第二钝化层 312 和 314 形成开口 316, 以暴露该铜结合焊盘 304 的顶部表面 318 的至少一部分。开口 316 可以使用光刻技术和机械或者化学去除过程或者蚀刻来形成, 以去除第一和第二钝化层 312 和 314 的部分。

在图 3E 中, 导电材料的覆盖层 320 形成为与铜结合焊盘 304 的顶部表面 318 接触且在第二钝化层 314 上。在沉积导电材料的覆盖层 320 以前, 铜结合焊盘 304 的顶部表面 318 最好应该没有任何氧化。可以使用稀乙酸浸渍来清除铜结合焊盘 304 的顶部表面 318 的任何氧化。根据本发明, 导电材料覆盖层 320 最好是钛钝化层, 以形成铜结合焊盘 304 和铝结合导线 222 (图 2) 之间的稳定的结合或者接触。该钛覆盖层 320 可以通过溅镀来形成。钛层的厚度可以从几百纳米到几微米。在图 3F 中, 光致抗蚀剂材料层 321 形成在导电材料覆盖层 320 上。该光致抗蚀剂层 321 可以使用标准的光致抗蚀剂过程来曝光和显影, 以形成覆盖下面的导电覆盖层 320 的预定图案。该形成图案的光致抗蚀剂层 321 覆盖和保护下面的导电覆盖层 320 的覆盖和接触结合焊盘或者多个结合焊盘 304 的部分。在图 3G 中, 导电覆盖层 320 的没有被光致抗蚀剂层 321 覆盖和保护的部分通过机械蚀刻、化学蚀刻或者其它方式来选择性地去除, 以根据预定的图案形成导电层 320。包括过氧化氢、氢氧化铵和水的湿化学蚀刻可以用来去除钛导电或者钝化层 320 的没有保护的部分。在图 3H 中, 剩下的光致抗蚀剂层 321 被去除或者去掉, 以从导电材料层 320 形成电触点 324。在图 3I 中, 铝结合导线 322 通过超声楔形焊接或者类似方式来依附或者结合到电触点 324。尝试了金的球焊接技术, 但是没有提供与钛导电层 320 的充分的附着。

在图 3I 中显示的导线结合结构 326 可以在选定的温度下退火, 退火持续预定的时间周期, 以在铝结合导线 322、电触点 324 和铜结合焊盘 304 之间形成坚固的稳定的结合。对于钛电触点 324, 该选定的温度可以是大约 400℃, 该预定的时间周期可以是至少大约 10 秒, 以促使铝结合导线 322 和钛触点 324 之间的反应。

虽然在图 3A - 3I 中的本发明描述为单个结合导线 322 连接到单个结合焊盘 304, 但是应该注意, 典型的电路芯片 200 (图 2) 具有多个要被连接到图 3A - 3I 中的多个结合焊盘 204 或者 304 的在图 3A - 3I 中的结

合导线 222 或者 322。因此，参考图 3A - 3I 描述的操作同样地应用到多个结合导线 322 和结合焊盘 304。

图 4 是制造微电子电路芯片封装件 202 的方法 400 的流程图，其包括通过类似于在图 2 和 3 中显示的导线结合结构 206 或者 326 将封装件 202 连接到微电子电路芯片 200 或者 300。块 402 提供或者形成包括多个结合导线 222 的微电子电路芯片封装件 202。块 404 将多个结合导线 222 的每一个连接或者结合到形成在电路芯片 200 的基底或者层间电介质 210 的表面 208 中的多个结合焊盘 204 的相应的一个。为了将多个结合导线 222 的每一个连接或者结合到多个结合焊盘 204 相应的一个，在块 406 中，多个开口 216 形成在至少一层钝化材料 212 和 214 中，以暴露多个结合焊盘 204 的每一个的顶部表面 218 的至少一部分。在块 408 中，最好是钛的导电材料层 224 形成为通过开口 216 与多个结合焊盘 204 的每一个的顶部表面 218 接触。在块 410 中，导电材料层 224 的部分根据预定的图案选择性地去除，以形成多个分离的电触点 224。每个电触点 224 电连接到多个结合焊盘 204 的相应的一个。在块 412 中，微电子电路芯片 202 的多个结合导线 222 的每一个电连接到多个分离的电触点 224 的相应的一个，且在块 414 中，该完成的微电子电路芯片封装件 200 可以在选定的温度下退火，退火持续预定的时间周期。对于铝结合导线 222 和钛触点 224，该选定的温度大约为 400℃，持续大约 10 秒。

尽管这里示出了和描述了具体的实施例，但是本领域中的普通技术人员会理解，任何想要达到相同目的的装置可以替代显示的具体实施例。本申请意在覆盖本发明的任何改变或者变化。因此，本发明只由权利要求书和它的等价物限定。

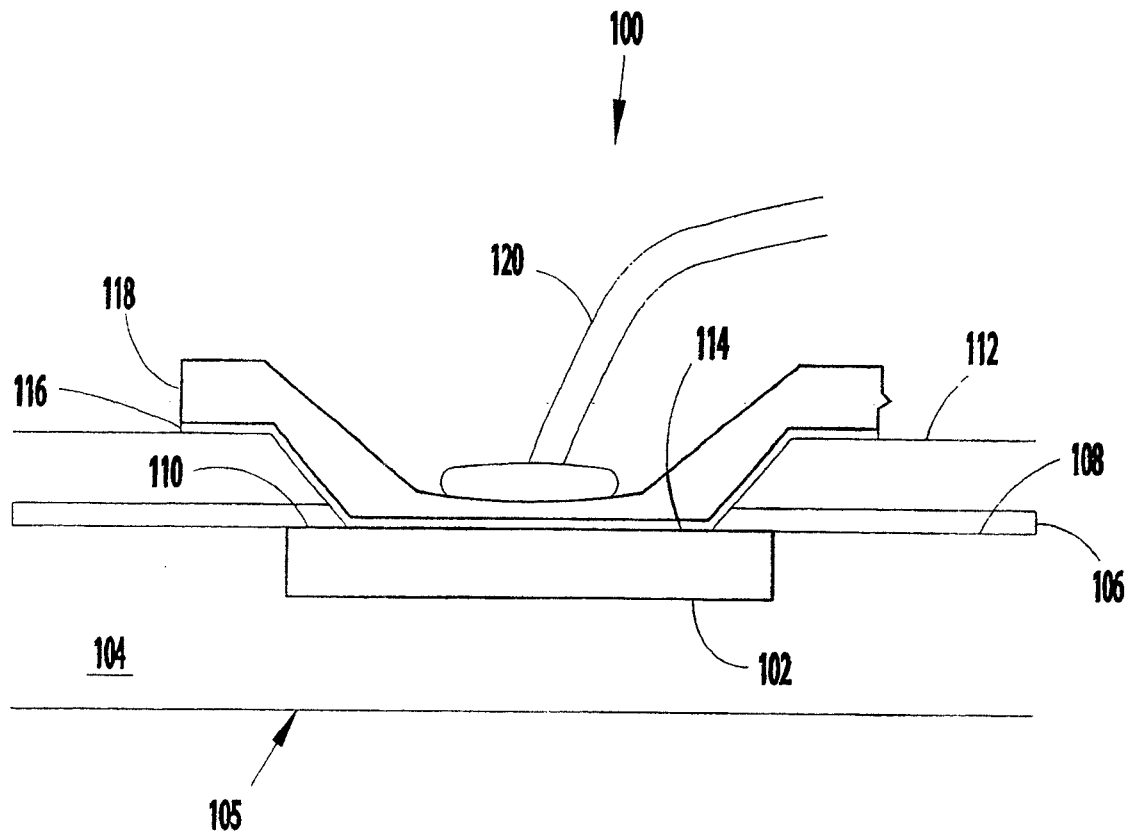


图 1

(现有技术)

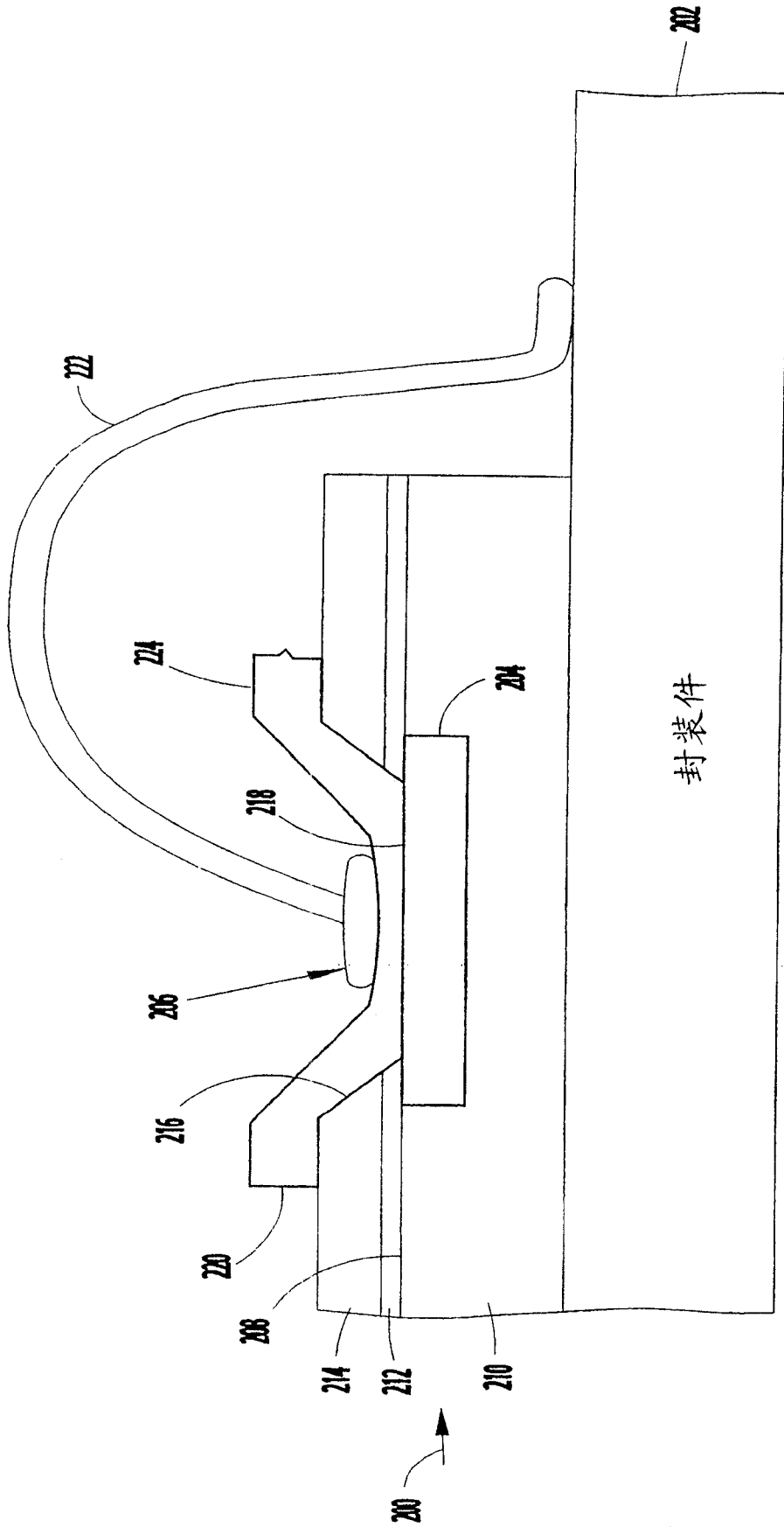


图 2

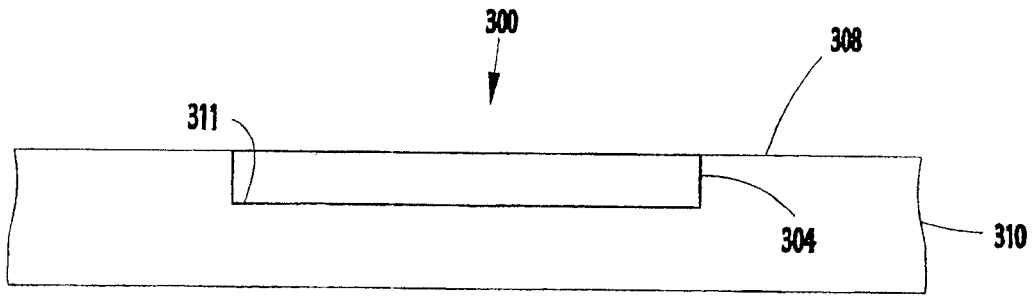


图 3A

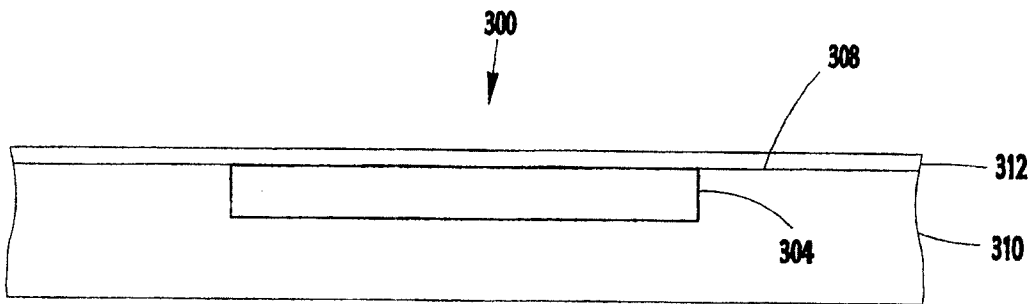


图 3B

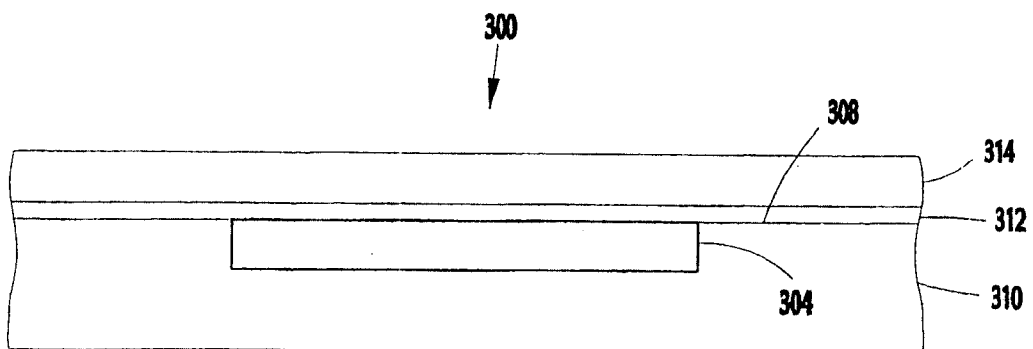


图 3C

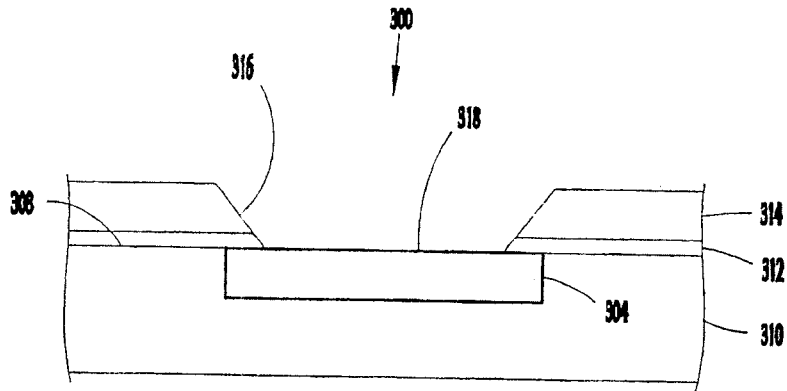


图 3D

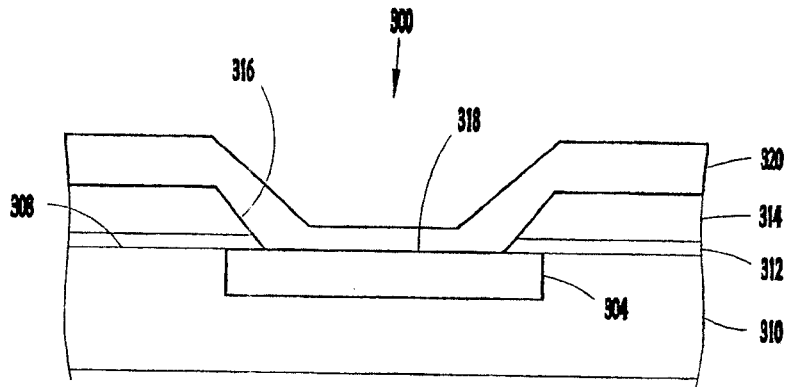


图 3E

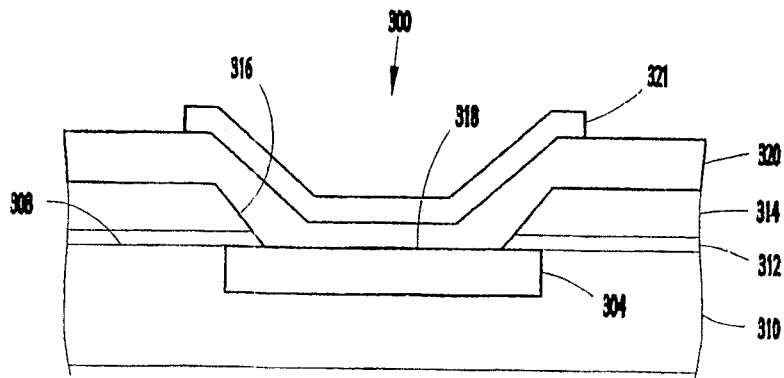


图 3F

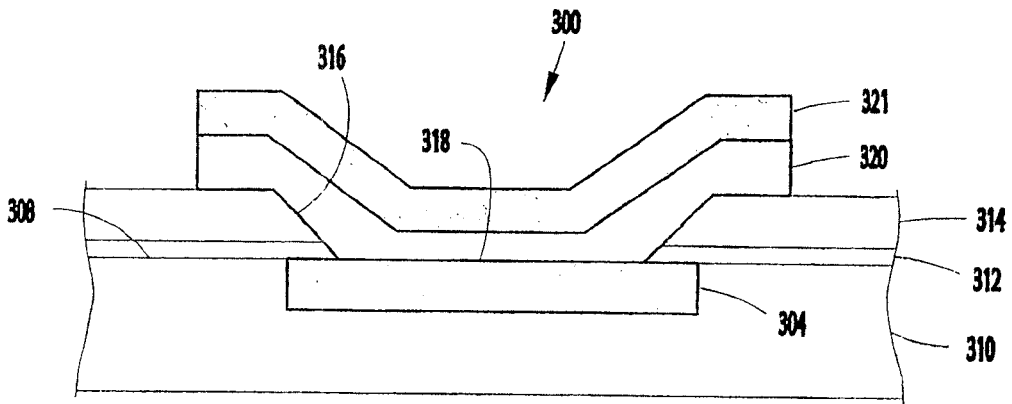


图 3G

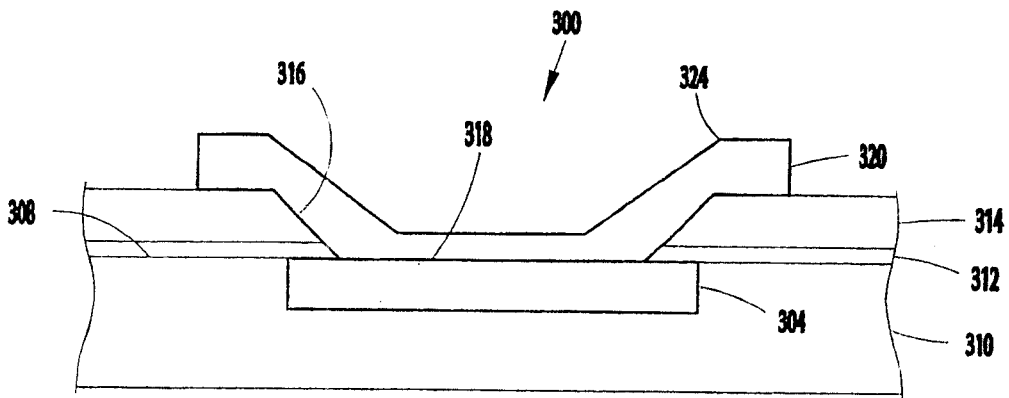


图 3H

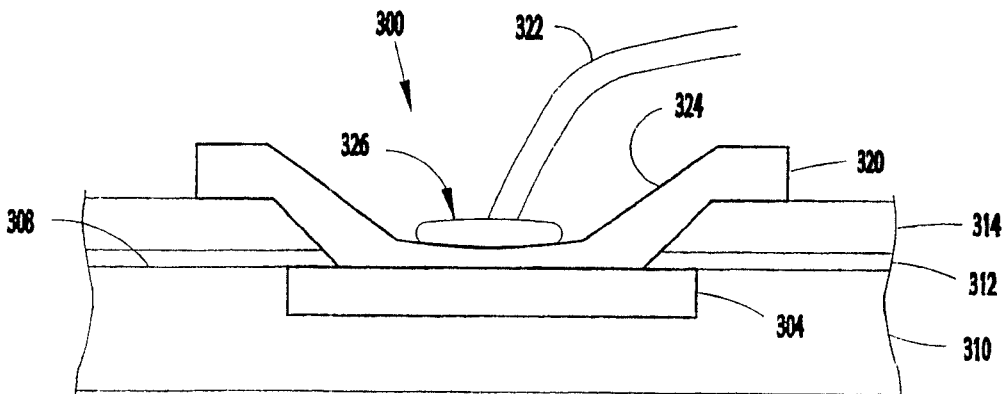


图 3I

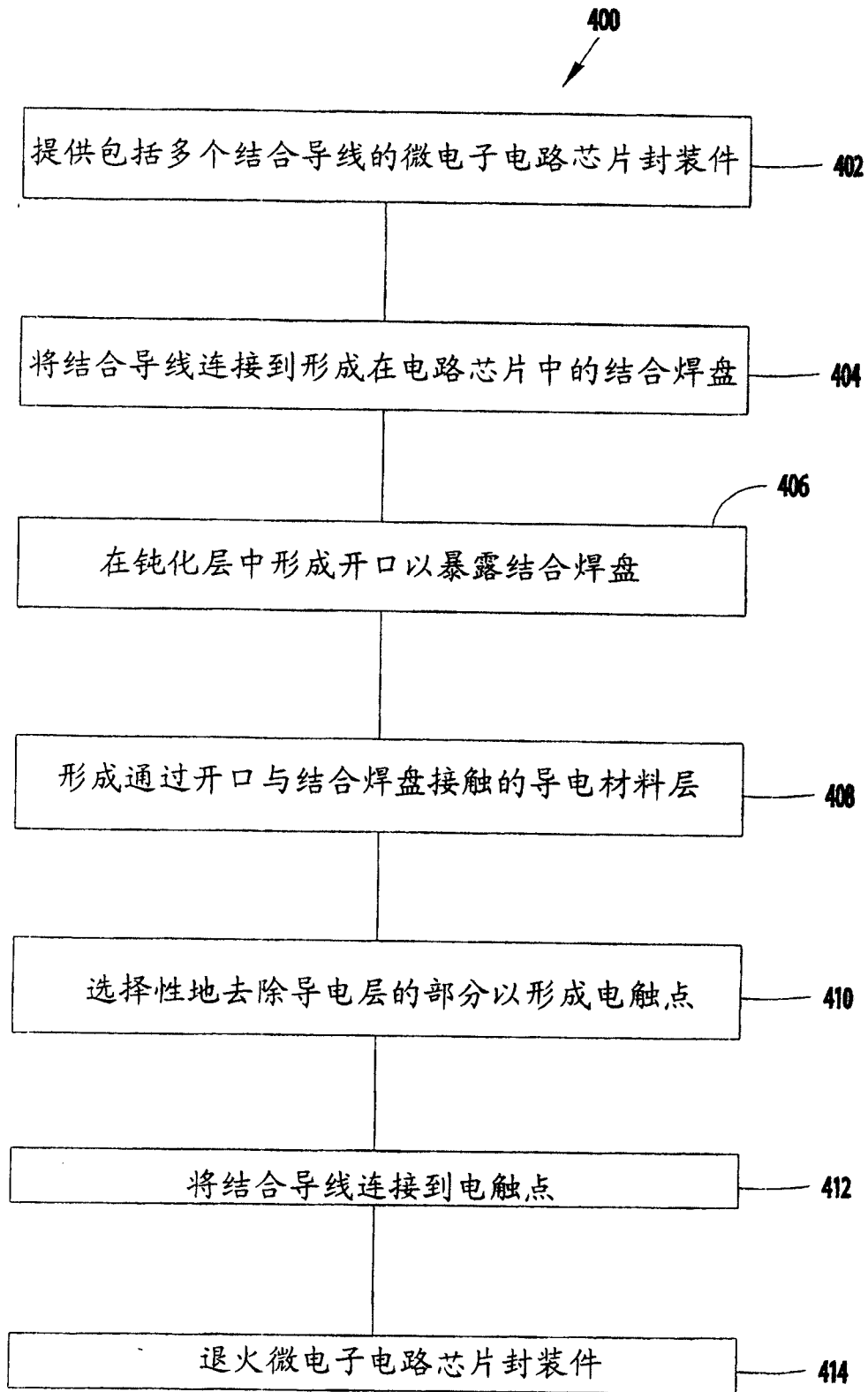


图 4