

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5576369号
(P5576369)

(45) 発行日 平成26年8月20日(2014.8.20)

(24) 登録日 平成26年7月11日(2014.7.11)

(51) Int.Cl.

F I

H O 1 L 29/812 (2006.01)

H O 1 L 29/80 H

H O 1 L 29/778 (2006.01)

H O 1 L 29/80 Q

H O 1 L 21/338 (2006.01)

H O 1 L 21/28 3 O 1 B

H O 1 L 21/28 (2006.01)

H O 1 L 29/58 Z

H O 1 L 29/423 (2006.01)

H O 1 L 29/58 G

請求項の数 15 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2011-521088 (P2011-521088)
 (86) (22) 出願日 平成21年4月6日(2009.4.6)
 (65) 公表番号 特表2011-529639 (P2011-529639A)
 (43) 公表日 平成23年12月8日(2011.12.8)
 (86) 国際出願番号 PCT/US2009/002153
 (87) 国際公開番号 W02010/014128
 (87) 国際公開日 平成22年2月4日(2010.2.4)
 審査請求日 平成23年3月11日(2011.3.11)
 (31) 優先権主張番号 12/183,672
 (32) 優先日 平成20年7月31日(2008.7.31)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 592054856
 クリー インコーポレイテッド
 C R E E I N C .
 アメリカ合衆国 ノースカロライナ州 2
 7 7 0 3 ダラム シリコン ドライブ
 4 6 0 0
 (74) 代理人 110000855
 特許業務法人浅村特許事務所
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100091339
 弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】 常時オフ半導体デバイスおよびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

ⅢⅢⅢ族窒化物バッファ層と、
 前記ⅢⅢⅢ族窒化物バッファ層上のⅢⅢⅢ族窒化物バリア層と、
 前記ⅢⅢⅢ族窒化物バリア層上の非伝導性スペーサ層であって、前記ⅢⅢⅢ族窒化物バリア層および前記スペーサ層は前記バリア層を貫いて延びて前記バッファ層の一部を露出させるトレンチを画定する非伝導性スペーサ層と、
 前記スペーサ層上および前記トレンチ内のゲート構造と、
 前記ゲート構造上のゲート電極と、
 を含み、

前記ゲート構造は前記スペーサ層上および前記トレンチ内の窒化アルミニウム(A1N)層および前記A1N層上の誘電体層を含むトランジスタ。

【請求項 2】

請求項1記載のトランジスタであって、前記トレンチは、さらに、前記バッファ層により画定され、前記A1N層は1.0 から10.0 の厚さを有するトランジスタ。

【請求項 3】

請求項2記載のトランジスタであって、前記A1N層は窒化アルミニウム・ガリウム(A1GaN)層を含むトランジスタ。

【請求項 4】

請求項3記載のトランジスタであって、前記ゲート構造は、さらに、前記A1N層上に

窒化ガリウム (G a N) 層を含み、前記 G a N 層は前記誘電体層と前記 A l N 層との間にあるトランジスタ。

【請求項 5】

請求項 4 記載のトランジスタであって、前記 G a N 層は 2 . 0 から 3 0 の厚さを有し、前記トランジスタは、さらに、前記 A l N 層と前記トレンチとの間に 2 . 0 から 5 0 . 0 の厚さを有する薄い窒化ガリウム (G a N) 層を含むトランジスタ。

【請求項 6】

請求項 5 記載のトランジスタであって、前記ゲート構造は誘電体層を含み、前記誘電体層は 6 0 から 6 0 0 の厚さを有するトランジスタ。

【請求項 7】

請求項 6 記載のトランジスタであって、
前記第 1 の非伝導性スペーサは窒化ケイ素からなり、3 0 0 から 3 0 0 0 の厚さを有し、
前記ゲート電極は 0 . 5 μm から 5 . 0 μm の長さを有し、
前記トランジスタは常時オフ高電子移動度トランジスタ (H E M T) を含むトランジスタ。

【請求項 8】

請求項 2 記載のトランジスタであって、さらに、前記 A l N 層と前記トレンチとの間に 2 . 0 から 5 0 . 0 の厚さを有する薄い窒化ガリウム (G a N) 層を含むトランジスタ。

【請求項 9】

請求項 1 記載のトランジスタであって、前記トレンチは、さらに、前記バッファ層により画定され、前記トランジスタは、さらに、
前記ゲート電極上および前記誘電体層上の第 2 の非伝導性スペーサ層と、
前記第 2 の非伝導性スペーサ上のフィールドプレートと、
を含むトランジスタ。

【請求項 10】

請求項 9 記載のトランジスタであって、前記フィールドプレートはソース電極または前記ゲート電極に電気的に結合されているトランジスタ。

【請求項 11】

請求項 9 記載のトランジスタであって、前記第 2 の非伝導性スペーサは 5 0 0 から 5 0 0 0 の厚さを有するトランジスタ。

【請求項 12】

請求項 1 記載のトランジスタであって、前記トレンチは、さらに、前記バッファ層により画定され、前記トランジスタは、さらに、前記トレンチと前記ゲート構造との間に 2 . 0 から 5 0 . 0 の厚さを有する薄い G a N 層を含むトランジスタ。

【請求項 13】

半導体デバイスを形成する方法であって、
I I I 族窒化物バッファ層を形成するステップと、
前記 I I I 族窒化物バッファ層上に I I I 族窒化物バリア層を形成するステップと、
前記 I I I 族窒化物バリア層上に非伝導性スペーサ層を形成するステップと、
前記 I I I 族窒化物バリア層および前記スペーサ層をエッチングしてトレンチを形成するステップであって、前記トレンチは前記バリア層を貫いて延びて前記バッファ層の一部を露出させるステップと、
前記スペーサ層上および前記トレンチ内にゲート構造を形成するステップと、
前記ゲート構造上にゲート電極を形成するステップと、
を含み、

前記ゲート構造を形成するステップは前記スペーサ層上および前記トレンチ内に窒化アルミニウム (A l N) 層を形成しかつ前記 A l N 層上に誘電体層を形成するステップを含む方法。

10

20

30

40

50

【請求項 14】

請求項 13 記載の方法であって、前記ゲート構造を前記形成するステップは誘電体層を形成するステップを含み、前記誘電体層は 60 から 600 の厚さを有する方法。

【請求項 15】

請求項 13 記載の方法であって、エッチングステップは、さらに、前記 III 族窒化物バッファ層の一部をエッチングするステップを含み、前記ゲート構造を形成するステップは、さらに、前記 AlN 層上に窒化ガリウム (Ga₂N₃) 層を形成するステップを含み、前記 Ga₂N₃ 層は前記誘電体層と前記 AlN 層との間にある方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

(米国政府の関与の声明)

本発明は米海軍研究所が授与した契約第 N00014-05-C-226 号の元で政府の支援によりなされたものである。

【0002】

(発明の分野)

本発明は半導体デバイスに関し、特に、トランジスタおよび関連する方法に関するものである。

【背景技術】

【0003】

20

(発明の背景)

ハイパワー、高温および/または高周波数応用のための炭化ケイ素 (室温においてアルファ SiC に対する 2.996 eV) および III 族窒化物 (たとえば、室温において GaN に対する 3.36 eV) 等のワイドバンドギャップ半導体材料に高い関心が寄せられている。これらの材料は、典型的に、ガリウムヒ素およびシリコンに比べてより高い電界破壊強度およびより高い電子飽和速度を有する。

【0004】

ハイパワーおよび/または高周波数応用のために特に関心のあるデバイスは高電子移動度トランジスタ (HEMT) であり、変調ドープ電界効果型トランジスタ (MODFET) としても知られている。2次元電子ガス (2-DEG) が異なるバンドギャップ・エネルギーを有する 2つの半導体材料のヘテロジャンクションにおいて形成されるため、これらのデバイスは多くの状況下で動作上の利点を提供し、そこではバンドギャップのより小さい材料がより高い電子親和性を有する。2-DEG はアンドロフト (「非意図的にドープされた」)、バンドギャップのより小さい材料内の蓄積層であり、たとえば、 10^{13} キャリア/cm² を超える非常に高いシート電子濃度を含むことができる。さらに、バンドギャップのより広い半導体に由来する電子は 2-DEG へ移動し、イオン化された不純物拡散の低減により高い電子移動度が許される。

30

【0005】

高キャリア濃度および高キャリア移動度のこの組合せは HEMT に非常に大きな相互コンダクタンスを与えることができ、高周波数応用に対して金属半導体電界効果トランジスタ (MESFET) を凌ぐ強力な性能上の利点を与えることができる。

40

【0006】

窒化ガリウム/窒化アルミニウム・ガリウム (Ga₂N₃/AlGa₂N₃) 材料系で作製された高電子移動度トランジスタは、前記した高い絶縁破壊電界、広いバンドギャップ、大きな伝導帯オフセット、および/または高い飽和電子ドリフト速度を含む材料特性の組合せのために、大量の RF 電力を発生する可能性を秘めている。さらに、2-DEG 内の電子の大部分は AlGa₂N₃ の分極 (polarization) に起因する。本開示の一部としてここに組み入れられている同一譲り受け人による特許文献 1 は、半絶縁炭化ケイ素基板、基板上の窒化アルミニウムバッファ層、バッファ層上の絶縁窒化ガリウム層、窒化ガリウム層上の窒化アルミニウム・ガリウム・バリア層、および窒化アルミニウム・ガリウ

50

ム・アクティブ構造上のパシベーション層を有する H E M T を記述している。

【 0 0 0 7 】

H E M T は常時オフまたは常時オンとすることができる。常時オフ操作は、安全の理由で、高電圧パワースイッチとして使用されるトランジスタにおいて所望されることがある。常時オフ操作は、また、トランジスタが R F パワーアンプ内で使用される時にバイアス回路を簡素化することができる。従来の高性能 G a N パワースイッチ・トランジスタおよび R F トランジスタは典型的に常時オンである。従来の常時オフ H E M T は、典型的に、高いオン状態抵抗、低いスイッチング速度、および / または不安定なデバイス特性を有するデバイスとなる。これらの従来デバイスのいくつかについて以下に検討する。

【 0 0 0 8 】

従来の方法はゲートのエッチング後にフッ素処理を含むことがある。特に、ゲート領域内の A l G a N 表面はゲート・メタライゼーションの前にフッ素含有プラズマに晒すことがある。非特許文献 1 で検討されているように、デバイスの閾値電圧はフッ素プラズマ照射により正值へシフトすることがある（常時オフ）。たとえば、非特許文献 2 で検討されているように、この方法は G a N パワースイッチ・トランジスタに適合されている。これらの方法が使用される時は、閾値電圧はストレスの元で安定せずにより負の値へ向かってシフトすることがある。さらに、達成される閾値電圧はかろうじて正となることがある。応用内でのサブスレッショルド・リーク、プロセス変動、およびノイズ耐性を考慮すると、 $V_t > +1 \text{ V}$ が典型的に望まれる。

【 0 0 0 9 】

さらなる従来のデバイスは P 型 A l G a N または G a N キャップを含むことができる。特に、P 型ドープト材料（G a N または A l G a N）をゲート領域内の A l G a N バリア層の上面に形成することができる。非特許文献 3 で検討されているように、これらのデバイスは低いオン抵抗および高い絶縁破壊電圧を有することができる。しかしながら、G a N および A l G a N 内での p 型ドーピングは典型的に浅いアクセプタ準位を持たないため、正規のデバイス操作中のアクセプタの充填（c h a r g i n g）および枯渇（d e p l e t i o n）は M H z スwitching 速度で応答するには遅すぎる可能性がある。そのため、デバイスが高いスイッチング速度で操作されると、ダイナミック・オン抵抗が増加することがある。

【 0 0 1 0 】

従来の M O S F E T は非意図的にドーパされた G a N 膜から作製することができる。たとえば、非特許文献 4 で検討されているように、これらのデバイスは S i M O S F E T 構造を精密に模倣している。特に、ソースおよびドレイン・コンタクトは n^+ 注入領域上に形成される。閾値電圧よりも上の正のゲートバイアスは p 型バッファ（または半絶縁バッファ）内に電子反転層を誘起することがある。反転層の移動度は界面拡散により低いことがあり、それによりデバイスのオン状態抵抗は高くなる可能性がある。

【 0 0 1 1 】

精密に制御されたエッチレートにより、元々 250 程度である A l G a N 層はエッチングしてゲート領域内におよそ 25 を残せることが理解される。この薄い残りの A l G a N 層上にゲートメタルを堆積させて常時オフ・デバイスを作り出すことができる。このプロセスは凹部エッチング深さに極端に敏感であるため、実用的ではない。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 シェパード等の米国特許第 6,316,793 号

【 特許文献 2 】 米国特許出願第 11/286,805 号 “ GROUP III NITRIDE SEMICONDUCTOR DEVICES WITH SILICON NITRIDE LAYERS AND METHODS OF MANUFACTURING SUCH DEVICES ”, 出願日: 2005 年 11 月 23 日

【 非特許文献 】

10

20

30

40

50

【0013】

【非特許文献1】Cai等のHigh-performance enhancement-mode AlGa_N/Ga_N HEMTs using fluoride-based plasma treatment (IEEE Electron Device Letters, Vol. 26, No. 7, p. 435, 2005)

【非特許文献2】C. S. Suh等のHigh-Breakdown enhancement-Mode AlGa_N/Ga_N HEMTs with integrated Slant Field-Plate (Proceedings from IEEE International Electron Device Meeting 2006, p. 911)

10

【非特許文献3】Y. Uemoto等によるA Normally-off AlGa_N/Ga_N Transistor with RonA = 2.6mΩcm² and BV_{ds} = 640V using Conductivity Modulation (Proceedings from IEEE International Electron Device Meeting 2006, p. 907)

【非特許文献4】Y. Niiyama等の250°C operation normally-off Ga_N MOSFETs (Solid-State Electronics vol. 51, p. 784, 2007)

【非特許文献5】M. Kuraguchi等による (Phys. Stat. Sol. (a) Vol. 204, No. 6, p. 2010, 2007)

20

【非特許文献6】High Breakdown Voltage Achieved on AlGa_N/Ga_N HEMTs With Integrated Slant Field Plates (IEEE Electron Device Letters, vol. 27, no. 9, p. 713, 2006)

【発明の概要】

【発明が解決しようとする課題】

【0014】

二重チャネル構造中への凹部エッチング (Recess etching) は非特許文献5において検討されている。二重チャネル・エピタキシャル構造 (AlGa_N/Ga_N/AlGa_N/Ga_N) 上に形成されたデバイスが検討され、下地Ga_N層の内側を止める上部AlGa_N層を貫いてゲート・トレンチがエッチングされる。ゲート・トレンチをエッチングした後で、誘電体層およびゲートメタルが堆積される。したがって、Ga_N/AlGa_N/Ga_N構造はゲートの下に設けられ、そこではAlGa_N層の厚さおよびAl組成は、ゼロバイアスにおいて下部AlGa_N/Ga_N界面には実質的に電子が蓄積されないようにされる。典型的に、閾値電圧はゲート・トレンチ深さには敏感ではなく、オン抵抗状態における輸送特性が敏感なことがある。ゲート誘電体直下のGa_N厚さが薄すぎると、電子はデバイス・オン状態におけるゲートの下の下部AlGa_N/Ga_N界面ではなく誘電体/Ga_N界面に蓄積することがある。これにより電子移動度が低下しデバイス・オン抵抗が高くなることがある。

30

【課題を解決するための手段】

40

【0015】

(発明の概要)

本発明のいくつかの実施例はIII族窒化物バッファ層およびIII族窒化物バッファ層上のIII族窒化物バリア層を含むトランジスタを提供する。非伝導性スペーサ層がIII族窒化物バッファ層上に設けられる。III族窒化物バリア層およびスペーサ層はバリア層中を延びてバッファ層の一部を露出させるトレンチを画定する。スペーサ層上およびトレンチ内にゲート構造が設けられ、ゲート構造上にゲート電極が設けられる。

【0016】

本発明のさらなる実施例において、トレンチはさらにバッファ層により画定することができる。トランジスタは、さらに、ゲート電極および誘電体層上の第2の非伝導性スペー

50

サ層と第2の非伝導性スペーサ層上のフィールドプレートを含むことができる。フィールドプレートはソース電極またはゲート電極に電氣的に結合することができる。第2の非伝導性スペーサはおよそ500 からおよそ5000 の厚さを有することができる。

【0017】

本発明のさらなる実施例において、トレンチはさらにバッファ層により画定することができる。トランジスタは、さらに、およそ2.0からおよそ50.0 の厚さを有する薄いGa_{0.9}N層をトレンチおよびゲート構造間を含むことができる。

【0018】

本発明のいくつかの実施例では、ゲート構造は誘電体層を含むことができ、誘電体層はおよそ60 からおよそ600 の厚さを有する。

10

【0019】

本発明のさらなる実施例において、トレンチはさらにバッファ層により画定ことができ、ゲート構造はスペーサ層上およびトレンチ内の窒化アルミニウム (AlN) 層およびAlN層上の誘電体層を含むことができる。AlN層はおよそ1.0 からおよそ10.0 の厚さを有することができる。特定の実施例では、AlN層は窒化アルミニウム・ガリウム (AlGa_{0.9}N) 層とすることができる。およそ2.0 からおよそ50.0 の厚さを有する薄い窒化ガリウム (Ga_{0.9}N) 層をAlN層およびトレンチ間に設けることができる。

【0020】

本発明のさらなる実施例において、ゲート構造はAlN層上の窒化ガリウム (Ga_{0.9}N) 層を含むことができ、Ga_{0.9}N層は誘電体層およびAlN層間とすることができる。Ga_{0.9}N層はおよそ2.0 からおよそ30.0 の厚さを有することができる。およそ2.0 からおよそ50.0 の厚さを有する薄い窒化ガリウム (Ga_{0.9}N) 層をAlN層およびトレンチ間に設けることができる。

20

【0021】

本発明のいくつかの実施例では、第1の非伝導性スペーサ層はおよそ300 からおよそ3000 の厚さを有する窒化ケイ素を含むことができる。

【0022】

本発明のさらなる実施例において、ゲート電極はおよそ0.5 μmからおよそ5.0 μmの長さを有することができる。

30

【0023】

本発明のさらなる実施例において、トランジスタは常時オフ高電子移動度トランジスタ (HEMT) とすることができる。

【0024】

本発明のいくつかの実施例はIII族窒化物バリア層およびIII族窒化物バリア層上の非伝導性スペーサ層を含んでいる。スペーサ層はその中を貫いて延びてバリア層の一部を露出させるトレンチを画定する。ゲート注入領域がバリア層の一部内に設けられる。ゲート電極が注入領域上のトレンチ内およびスペーサ層上に設けられる。

【0025】

本発明のさらなる実施例において、誘電体サイドウォールスペーサをトレンチのサイドウォール上に設けることができる。注入領域はおよそ $5.0 \times 10^{12} \text{ cm}^{-2}$ からおよそ $1.0 \times 10^{14} \text{ cm}^{-2}$ の注入量を有することができる。誘電体サイドウォールスペーサはおよそ1.0 nmからおよそ50.0 nmの厚さを有することができる。

40

【0026】

本発明のさらなる実施例において、トランジスタは、さらに、ゲート電極およびスペーサ層上の第2の非伝導性スペーサ層と第2の非伝導性スペーサ層上のフィールドプレートを含むことができる。フィールドプレートはソース電極またはゲート電極に電氣的に結合することができる。第2の非伝導性スペーサはおよそ500 からおよそ5000 の厚さを有することができる。

【0027】

50

本発明のいくつかの実施例では、トレンチはバリア層中に延びることができる。トレンチはバリア層中におよそ0 からおよそ200 延びることができる。

【0028】

本発明のいくつかの実施例を主としてトランジスタの実施例に対して検討してきたが、対応する方法も提供される。

【図面の簡単な説明】

【0029】

【図1A】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図1B】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

10

【図1C】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図1D】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図2】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図3】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図4】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図5A】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図5B】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

20

【図6A】本発明のいくつかの実施例に従った性能特性を例示するさまざまなグラフを示す図である。

【図6B】本発明のいくつかの実施例に従った性能特性を例示するさまざまなグラフを示す図である。

【図6C】本発明のいくつかの実施例に従った性能特性を例示するさまざまなグラフを示す図である。

【図7A】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図7B】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

30

【図7C】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図7D】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図7E】本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを例示する断面図である。

【図8】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図9A】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図9B】本発明のいくつかの実施例に従った半導体デバイスを例示する断面図である。

【図10】本発明のいくつかの実施例に従った性能特性を例示するグラフを示す図である

40

【発明を実施するための形態】

【0030】

(本発明の実施例の詳細な説明)

本発明の実施例が示される添付図を参照して、以下に本発明の実施例をより詳細に記述する。しかしながら、本発明は多くの異なる形で実施することができ、ここに記載されている実施例に限定されるものと解釈してはならず、これらの実施例は本開示が綿密かつ完全なものであり、発明の範囲を当業者に完全に伝えるように提供される。全体を通して同じ番号は同じエレメントを示す。さらに、図示されているさまざまな層および領域は概略的に示されている。したがって、本発明は添付図に例示された相対的サイズ、間隔および

50

配置に限定はされない。当業者ならばお判りのように、基板または他の層「の上に」形成された層とは基板または他の層の上に、あるいは基板または他の層の上に形成された介在層の上に直接形成された層を指すことができる。また、当業者ならばお判りのように、もう1つの特徴に「隣接」配置される構造や特徴は隣接特徴に重なり合うまたはその下にある部分を有することができる。

【0031】

「より下 (below)」または「より上 (above)」または「上部」または「下部」または「水平」または「垂直」等の相対的な用語は、ここでは、図示されている1つのエレメント、層または領域のもう1つのエレメント、層または領域に対する関係を記述するのに使用されることがある。これらの用語は図に示す方位の他にデバイスの異なる方位を包含するものであることが理解される。

10

【0032】

本発明の実施例は、ここでは、本発明の理想化された実施例（および中間構造）の略図である断面図を参照して記述される。図中の層および領域の厚さは判り易くするために誇張されることがある。さらに、たとえば、製作技術および/または公差の結果図面の形状からの変化も予期される。このように、本発明の実施例はここに例示された領域の特定の形状に限定されものと解釈してはならず、たとえば、製作から生じる形状の偏差を含むものと解釈しなければならない。たとえば、矩形として例示された注入領域は、典型的に、丸められたおよび/または曲げられた特徴および/または注入領域から非注入領域までの離散変化 (discrete change) ではなくそのエッジにおける注入濃度勾配を有する。同様に、注入により形成された埋込領域により埋込領域とそれを介して注入が行われる表面との間の領域内で多少の注入が行われることがある。このように、図示された領域は概略的なものであり、それらの形状はデバイスの領域の実際の形状を例示しようとするものではなく、本発明の範囲を限定しようとするものでもない。

20

【0033】

ここで使用される用語は特定の実施例を記述することだけが目的であり、本発明を限定しようとするものではない。ここで使用される冠詞の単数形 “a”、“an” および “the” は文脈で明瞭に表示されない限り複数形を含むものとする。さらに、ここで使用される「含む」、「有する」（時に “comprises”、“comprising”、“includes” および/または “including”）という用語は述べられた特徴、インテジャ (integers)、ステップ、操作、エレメント、および/またはコンポーネントの存在を指定するが、1つ以上の他のタイプの特徴、インテジャ (integers)、ステップ、操作、エレメント、コンポーネント、および/またはそのグループの存在または追加を排除しないことが理解される。

30

【0034】

特記無き限り、ここで使用される全ての用語（技術および科学用語を含む）は本発明が属する分野の当業者により一般的に理解されているのと同じ意味を有する。さらに、ここで使用される用語は本明細書および関連するものの文脈における意味と一致する意味を有するものと解釈すべきであることが理解され、特記無き限り、理想化されたまたは過度に形式的な感覚で解釈されることはない。

40

【0035】

本発明の実施例はIII族窒化物系デバイス等の窒化物系HEMT内で使用するのに特によく適している。ここで使用される「III族窒化物」という用語は窒素と周期表のIII族の元素、通常はアルミニウム (Al)、ガリウム (Ga)、および/またはインジウム (In)、との間に形成された化合物半導体のことである。この用語はAlGaInおよびAlInGaIn等の三元および四元化合物にも当てはまる。当業者ならばお判りのように、III族元素は窒素と結合して二元 (binary)（たとえば、GaN）、三元 (ternary)（たとえば、AlGaIn、AlInN）、および四元 (quaternary)（たとえば、AlInGaIn）化合物を形成することができる。これらの化合物は全て窒素の1モルが合計1モルのIII族元素と結合される実験式を有する。したが

50

って、 $Al_xGa_{1-x}N$ 、ここに $0 < x < 1$ 、等の式がそれらを記述するのによく使用される。

【0036】

本発明の実施例は GaN HEMT デバイスに関して記述されるが、本発明は他のタイプのデバイスおよび／または材料に関して使用することができる。たとえば、本発明の実施例は炭化シリコン MESFET デバイスで使用するのにも特に適している。同様に、本発明のいくつかの実施例は、 $GaAs/AlGaAs$ pHEMT デバイス等の $GaAs$ 系デバイスだけでなく、 GaN 系発光デバイス (LED) においても有利に使用することができる。

【0037】

低オン抵抗を有する高耐圧デバイスは、典型的に、ゲートおよびソース間とゲートおよびドレイン間の領域内に低抵抗値を有し、同時にゲートおよびドレイン間の領域内でチャネル枯渇を許す。ゲートおよびソース間とゲートおよびドレイン間の領域は、ここでは、「アクセス領域」と呼ばれる。 $AlGaN/GaN$ または $AlGaN/AlN/GaN$ 構造の高移動度および高電荷密度はこれに適切なことがあり、たとえば、非特許文献 6 で検討されている高性能常時オン・デバイスを示すのに使用されている。常時オフ操作が所望される場合、典型的に、同じ層構造をゲート領域内で使用することはできない。したがって、図 1A から 1D についてさらに検討されるように、本発明のいくつかの実施例は低抵抗アクセス領域を有する常時オフ・デバイスおよびその作製方法を提供する。

【0038】

常時オフ・デバイスはパワースイッチ等の応用に使用することができる。パワーアップ・シーケンス中に供給される電流は、常時オン・デバイスが経験するように、デバイスにシステムを破裂させることがないため、常時オフ・デバイスはパワースイッチ／電源応用に対して本質的により安全である。このように、本発明のいくつかの実施例は常時オフ操作が可能でありかつ金属絶縁体半導体ゲート構造を有する GaN HEMT デバイスを提供する。前記したように、常時オフ操作は安全の理由で高電圧パワースイッチとして使用されるトランジスタ内で所望される。常時オフ操作はトランジスタが RF パワーアンプ内で使用される時にバイアス回路を単純化することもできる。従来の高性能 GaN パワースイッチ・トランジスタおよび RF トランジスタは典型的に常時オンである。前記したように、常時オフ操作を達成する従来のデバイスは、典型的に、高いオン状態抵抗値、遅いスイッチング速度、および／または不安定なデバイス特性を生じる。このように、本発明のいくつかの実施例に従って、常時オフ GaN HEMT には常時オン・デバイスに匹敵する性能が提供される。

【0039】

図 1 から 6C について詳細に検討されるように、本発明のいくつかの実施例では、 GaN バッファ層およびバリア層間に 2 次元電子ガス (2-DEG) を含む GaN HEMT エピタキシャル・ウェーハには非伝導性スペーサ層が被せられている。バリア層構造、たとえば、 $AlGaN/GaN$ がデバイスのアクセス領域内に設けられている。スペーサ層はバリア層の上面に設けられている。デバイスのゲート領域内で、スペーサおよびバリア層を貫いてトレンチがエッチングされ、 GaN バッファ層の一部を露出させる。たとえば、薄い AlN/GaN スタックと誘電体層の再成長が行われ、続いてメタルゲート電極が堆積される。薄い AlN/GaN スタックはゼロ・ゲートバイアスにおいてゲートの下に電荷は実質的に誘起されず、デバイスに常時オフ特性が提供されるように設計される。正のゲートバイアスの元で、電子は AlN 層と下地 GaN バッファ間の界面に蓄積する。電子は半導体ヘテロ界面に典型的な高い移動度を有し、低いオン状態抵抗値となる。ゲート構造を形成する層はアクセス領域を形成する層とは別に形成されるため、各層構造を別々に最適化してさらに検討されるように所望のデバイス特性を達成することができる。

【0040】

本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップを図 1A から 1D について検討する。最初に図 1A を見ると、基板 10 が提供され、その上に窒

10

20

30

40

50

化物系デバイスを形成することができる。本発明のいくつかの実施例では、基板 10 は半絶縁性炭化ケイ素 (SiC) 基板とすることができ、それは、たとえば、炭化ケイ素の 4H ポリタイプとすることができ、他の炭化ケイ素候補ポリタイプとして 3C、6H、および 15R ポリタイプが含まれる。「半絶縁性 (semi-insulating)」という用語は絶対的感覚ではなく相対的感覚で使用される。本発明の特定の実施例では、炭化ケイ素バルク結晶は室温においておよそ 1×10^5 - cm 以上の抵抗率を有する。

【0041】

オプショナル・バッファ、核生成 (nucleation) および / または遷移層 (図示せず) を基板 10 上に設けることができる。たとえば、AlN バッファ層を設けて炭化ケイ素基板とデバイスの残りとの間に適切な結晶構造遷移を提供することができる。

10

【0042】

炭化シリコンはサファイア (Al_2O_3) よりも III 族窒化物に対して遥かに近い結晶格子整合を有し、それは III 族窒化物デバイスに対する非常に一般的な基板材料である。より近い格子整合によりサファイア上で一般的に得られるものよりも高品質の III 族窒化物膜とすることができ、炭化ケイ素は、また、非常に高い熱伝導率を有し、炭化ケイ素上の III 族窒化物デバイスの総出力電力は、典型的に、サファイア上に形成された同じデバイスの場合のように基板の熱散逸により制限されないようにされる。また、半絶縁性炭化ケイ素基板の可用性により素子分離および寄生容量低減を提供することができる。適切な SiC 基板は、たとえば、本出願の譲受人である Cree, Inc., of Durham, N.C., により製造することができる。

20

【0043】

炭化ケイ素は基板材料として使用することができるが、本発明の実施例は本発明の範囲を逸脱することなく、サファイア、窒化アルミニウム、窒化アルミニウム・ガリウム、窒化ガリウム、シリコン、GaAs、LGO、ZnO、LAO、InP 等の任意適切な基板を利用することができる。いくつかの実施例では、適切なバッファ層を形成することもできる。

【0044】

図 1A に戻って、バッファ (チャネル) 層 20 が基板 10 上に形成される。前記したように、バッファ層 20 はバッファ層、遷移層、および / または核生成層を使用して基板 10 上に形成することができる。バッファ層 20 は圧縮歪下にあるものとすることができる。さらに、チャネル層および / またはバッファ核生成および / または遷移層は有機金属化学蒸着 (metal-organic chemical vapor deposition) (MOCVD) または、分子線エピタキシー (MBE)、ハイドライド気相エピタキシー (HVPE) または他の適切な技術等の、当業者ならば既知の他の技術によりエピタキシャル成長させることができる。

30

【0045】

本発明のいくつかの実施例では、バッファ層 20 の伝導帯エッジのエネルギーがチャネルおよびバリア層間の界面においてバリア層 22 の伝導帯エッジのエネルギーよりも小さければ、バッファ層 20 は $Al_xGa_{1-x}N$ 等の III 族窒化物であり、 $0 < x < 1$ である。本発明の特定の実施例では、 $x = 0$ であり、バッファ層 20 は GaN であることを示す。本発明の範囲を逸脱することなく、バッファ層 20 は InGaN、AlInGaN 等の他の III 族窒化物を含むこともできる。バッファ層 20 はアンドロフト (「非意図的にドーピングされた」) とすることができ、およそ $0.5 \mu m$ からおよそ $10 \mu m$ の厚さまで成長することができる。本発明の範囲を逸脱することなく、バッファ層 20 は GaN、AlGaN の超格子または組合せ等の多層構造とすることもきる。

40

【0046】

バリア層 22 はバッファ層 20 上に形成される。バリア層 22 はバッファ層 20 のバンドギャップよりも大きいバンドギャップを有することができ、また、バリア層 22 はバッファ層 20 よりも小さい電子親和力を有することができる。このように、異なるバンドギャップ・エネルギーを有する 2 つの半導体材料 (バリア層 22 およびバッファ層 20) のへ

50

テロジャンクションにおいて2次元電子ガス(2-DEG)が形成され、小さいバンドギャップ材料は大きい電子親和力を有する。2-DEG33はアンドロフト(「非意図的にドーピングされた」)、小さいバンドギャップ材料内の蓄積層であり、たとえば、 10^{13} キャリア/cm²を超える非常に高いシート電子濃度を含むことができる。さらに、バンドギャップのより広い半導体に由来する電子は2-DEG33へ移動し、イオン化された不純物散乱の低減により高い電子移動度が可能となる。

【0047】

バリア層22はバッファ層20の上に直接エピタキシャル成長させることができる。本発明の特定の実施例では、バリア層22はAlN、AlInN、AlGaNおよび/またはAlInGaNを含み、厚さはおよそ100 からおよそ700 である。いくつかの実施例では、バリア層22はAl_xGa_{1-x}Nを含むことができ、0 < x < 0.32である。特定の実施例では、x = 0.22である。

10

【0048】

ここでは、特定のHEMT構造について本発明の実施例が記述されるが、本発明はこのような構造に限定されるものと解釈してはならない。たとえば、HEMT内に追加層を含むことができ、それでも本発明の教示から恩恵を受ける。このような追加層はバリア層22上のGaNキャップ層を含むことができる。さらに、バリア層22には複数層を設けることができる。このように、本発明の実施例はバリア層を単一層に限定するものと解釈してはならず、たとえば、GaN、AlGaNおよび/またはAlN層の組合せを有するバリア層を含むことができる。たとえば、GaN、AlN構造を利用して合金散乱を低減または防止することができる。このように、本発明の実施例は窒化物系バリア層を含むことができ、このような窒化物系バリア層はAlGaN系バリア層、AlN系バリア層およびその組合せを含むことができる。

20

【0049】

本発明の特定の実施例では、バリア層22は十分厚くバリア層22がオーミックコンタクト・メタルの下に埋め込まれる時に偏極効果によりバッファ層20およびバリア層22間の界面において有意キャリア濃度を誘発するのに十分高いAl組成およびドーピングを有する。

【0050】

前記したように、バリア層22はバッファ層20のそれよりも大きいバンドギャップを有し、バッファ層20よりも小さい電子親和力を有することができる。したがって、本発明の特定の実施例では、バリア層22はAlGaN、AlInGaNおよび/またはAlNまたはそれらの層の組合せを含むことができる。バリア層22はその中でクラックが生じたり相当な欠陥が形成されるほど薄くしてはならない。本発明の特定の実施例では、バリア層22はドーピングされていないか、またはおよそ 1×10^{19} cm⁻³よりも低い濃度までn型ドーパントでドーピングされている。本発明のいくつかの実施例では、バリア層22はAl_xGa_{1-x}Nを含み、0 < x < 1である。特定の実施例では、アルミニウム濃度はおよそ25%とすることができる。しかしながら、本発明の他の実施例では、バリア層22はAlGaNを含むことができ、アルミニウム濃度はおよそ5%とおよそ100%の間である。本発明のいくつかの実施例では、アルミニウム濃度はおよそ10%よりも大きい。

30

40

【0051】

図1Aにさらに例示されているように、第1の非伝導性スペーサ層23をバリア層22上に形成することができる。第1の非伝導性スペーサ層は、たとえば、窒化ケイ素を含むことができる。第1の非伝導性スペーサ層はおよそ300 からおよそ3000 の厚さを有することができる。

【0052】

次に、図1Bを見ると、スペーサ層23、バリア層22およびバッファ層はマスク30を使用してパターン化される。マスク30はホトレジストおよび/またはメタルを含むことができ、本発明の範囲を逸脱することなく従来のホトリソグラフィック/リフトオフ技

50

術を使用してパターン化することができる。特に、バッファ層 20、バリア層 22 およびスペーサ層 23 がエッチングされてトレンチ 75 を形成する。図からお判りのように、トレンチはスペーサ層 23 およびバリア層 22 を貫いて延びてバッファ層 20 に入り、その一部を露出させる。いくつかの実施例では、トレンチ 75 はバッファ層 20 中へおよそ 50 からおよそ 500 延びることができる。トレンチ 75 が許容範囲内でバッファ層 20 内へ延びている時にプロセスが終了するようにエッチング時間を調節することができる。

【0053】

次に、図 1C を見ると、マスク 30 が除去されトレンチ上およびスペーサ層上にゲート構造 435 が形成される（図 4）。図 1C に例示された本発明の実施例では、ゲート構造は誘電体層 35 である。しかしながら、図 2 および 3 についてさらに検討されるように、ゲート構造（図 4）はこの構成に限定はされない。

10

【0054】

次に、図 4 を見ると、本発明のいくつかの実施例では、ゲート構造 435 の形成にオプショナルな薄い GaN 層 47 の形成が先行する。トレンチ 75 をエッチングした後で、バッファ層 20 の露出面はざらざらしていることがある。この粗面は、ゲート構造 435 の堆積後に、デバイスのオン状態において電子が蓄積される界面を形成する表面である。この界面の粗さにより、より低い電子移動度およびより高いデバイス・オン抵抗とする可能性がある。このように、本発明のいくつかの実施例では、薄い GaN 層 47 はゲート構造 435 が形成される前にトレンチ 75 内に形成（堆積）される。薄い GaN 層 47 はバッファ層 20 およびバリア層 22 のサイドウォール上に成長させることができるが、典型的には、スペーサ層 23 上には成長させない。いくつかの実施例では、薄い GaN 層は有機金属化学蒸着（MOCVD）を使用しておよそ 600 からおよそ 1200 °C の温度で成長させることができる。しかしながら、本発明の実施例はこの形成プロセスに限定はされない。薄い GaN 層 47 が堆積されると、トレンチ・エッチングにより生じる粗さは回復されてアズグロウン GaN に典型的なステップフロー形態となる。薄い GaN 層 47 はおよそ 2.0 からおよそ 50 の厚さを有することができる。

20

【0055】

次に、図 1C を見ると、前記したように、図 1C に例示された本発明の実施例では、ゲート構造 435（図 4）は誘電体層 35 により提供される。このように、図 1C の構造が表面平滑さを回復させる薄い GaN 層 47 を含んでおれば、薄い GaN 層 47 はトレンチ 75 と誘電体層 35 との間に設けられる。誘電体層はおよそ 60 からおよそ 600 の厚さを有することができる。

30

【0056】

誘電体層 35 は窒化ケイ素（ Si_xN_y ）、二酸化ケイ素（ SiO_2 ）、 $AlSiN$ 、および/または酸窒化ケイ素（ $SiON$ ）等の他の適切な誘電体材料を含むことができる。「 Si_xN_y 」、「 SiN 」および「窒化ケイ素」という用語は、ここでは、化学量論的および非化学量論的窒化ケイ素の両方を交換可能に指すものとして使用される。誘電体層 35 に他の材料を利用することもできる。たとえば、誘電体層 35 は酸化マグネシウム、酸化スカンジウム、酸化アルミニウムおよび/または酸窒化アルミニウムを含むこともできる。さらに、誘電体層 35 は単一層とすることができ、あるいは均一および/または不均一組成の複数の層を含むことができる。誘電体層 35 の材料は比較的高温に耐えなければならない。

40

【0057】

一般的に、誘電体層 35 は比較的高い絶縁破壊電界強度を有し、バッファ層 20 のような下地 III 族窒化物層との界面に比較的低い界面トラップを提供する誘電体層とすることができる。誘電体層 35 はバリア層 22 の材料に反応しなくてもよい。さらに、誘電体層 35 はその中に比較的低い不純物レベルを有することができる。たとえば、誘電体層 35 は水素および、酸素、炭素、フッ素および塩素を含む他の不純物の比較的低いレベルを有することができる。さらに、誘電体層 35 は後続するプロセスステップにおいて使用される高いアニール温度に耐えるために比較的高温（たとえば、 $> 1000^\circ C$ ）において

50

安定であることができる。

【0058】

本発明の特定の実施例では、誘電体層35はSiNを含むことができる。SiN誘電体層35は、たとえば、化学蒸着(CVD)により形成することができる。SiN誘電体層35は化学量論的とすることができる(すなわち、材料内の窒素に対するケイ素の比はおよそ3対4である)。SiN層の化学量論は、たとえば、CVDプロセスにおけるSiH₄およびNH₃ソースガスの相対的流量を調節して調節することができる。さらに、比較的高温において形成される場合、CVD成長SiNは化学量論的となる傾向がある。

【0059】

SiN層の化学量論は層の屈折率にも影響することがある。本発明の特定の実施例では、SiN誘電体層35は633nmの波長においておよそ1.6からおよそ2.2の屈折率を有することができる。特定の実施例では、SiN誘電体層35の屈折率はエリプソメトリで測定して 1.98 ± 0.05 である。化学量論的SiNはバッファード酸化膜エッチング(BOE)におけるそのエッチングレートにより特徴づけることもできる。たとえば、BOEにおける化学量論的SiNのエッチングレートはほぼゼロである。

【0060】

いくつかの実施例では、誘電体層35はSiO₂とすることができる。SiO₂はLPCVDおよび/またはMOCVDにより形成することができ、化学量論的とすることができる。本発明の特定の実施例では、SiO₂保護層は633nmの波長においておよそ1.36からおよそ1.56の屈折率を有することができる。特定の実施例では、SiO₂保護層の屈折率はエリプソメトリで測定して 1.46 ± 0.03 である。

【0061】

誘電体層35が窒化ケイ素を含む場合、誘電体層35は、Csイオンビームで二次イオン質量分析(SIMS)により測定された表1に示すレベル以下の不純物レベルを有することができる。

【表1】

表 1

| 元 素 | 濃 度 (cm ⁻³) |
|-----|-------------------------|
| H | 4X10 ²¹ |
| O | 3X10 ¹⁸ |
| C | 7X10 ¹⁷ |
| F | 1x10 ¹⁶ |
| Cl | 4x10 ¹⁶ |

【0062】

誘電体層は、2005年11月23日に出願され、本開示の一部としてここに組み入れられている特許文献2に記述されているような高純度SiN層を含むことができる。特に、本発明の特定の実施例に従って、SiN誘電体層35は比較的高温(たとえば、およそ700°Cよりも上)においてLPCVDまたはMOCVDを使用して成長させることができる。特定の実施例では、SiN層は900-1000°Cの範囲内の温度で成長させることができる。このような高温成長はSiN層内での不純物レベルの低下を促進させることもできる。さらに、SiN層内に取り入れられる背景リアクタ不純物のレベル低下を促進することができる高い成長率を用いることもできる。たとえば、本発明の特定の実施例では、SiN層は少なくともおよそ0.2ミクロン/時の成長率で成長させることができる。いくつかの実施例では、成長率はおよそ2ミクロン/時とすることができる。

【0063】

本発明のいくつかの実施例に従っておよそ300 の厚さを有する誘電体層35を含む

デバイスのオフおよびオン状態におけるシミュレートされた伝導帯エッジを例示するグラフが図6Aに提供されている。前記したように、デバイスのオン状態において、電子は誘電体-半導体界面に蓄積する。これらの電子は、誘電体層35に近接しているため、恐らく低い移動度を有する。これは全体的なデバイスのオン抵抗に悪影響を及ぼすことがある。しかしながら、ゲート長がアクセス領域の長さに比べて十分短ければ、ゲート下の高抵抗はデバイスのオン抵抗を実質的に増加させることがない。

【0064】

誘電体層を形成した後で、ソース30およびドレイン31コンタクト(図5Aおよび5B)が形成される。ソース30およびドレイン31コンタクトは当業者ならばご存じの任意の方法を使用して形成することができる。たとえば、マスクをスペーサ層23上に形成

10

【0065】

次に、マスク上およびバリア層22のマスクにより露出された部分上に、たとえば、蒸発によりメタル層を堆積させてソースおよびドレイン・コンタクト30および31を提供することができる。適切なメタルはTi、Si、Ni、Au、Al、Ta、Mo、TiN、WSiN、および/またはPtを含むことができる。特定の実施例では、メタルは基板上に順次形成されたTi(250)、Al(1000)およびNi(500)のスタックを含むことができる。図5Aおよび5Bに例示されているように、次に、マスクを

20

【0066】

いくつかの実施例では、堆積されたメタルはアニールしてソースおよびドレイン・コンタクト30および31の接触抵抗を低減することができる。アニールはN₂またはAr等の不活性ガスの雰囲気内でおよそ600からおよそ1200°Cの温度におけるアニールとすることができる。オーミックコンタクト・アニールを使用して、オーミックコンタクトの抵抗を比較的高い抵抗からおよそ1- mm以下に低減することができる。したがって、ここで使われているように、「オーミックコンタクト」という用語はおよそ1- m

30

【0067】

次に、図1Dを見ると、ゲート電極32は前記したようにソースおよびドレイン・コンタクトをアニールした後で形成することができる。ゲート電極32はアニールしなくてもよい。図1Dに例示されているように、ゲート電極32は誘電体層35上のトレンチ75内およびスペーサ層23上に形成される。ゲート電極32はおよそ0.5 μmからおよそ5.0 μmのゲート長を有することができる。ゲート電極32は図1Dに例示されているように「T」ゲートとすることができ、従来の作製技術を使用して作製することができる。適切なゲート材料は、Ni、Pt、NiSi_x、Cu、Pd、Cr、Wおよび/またはWSiN等の、窒化物系半導体材料とショットキーコンタクトすることができる従来の材料を含むことができる。適切なゲート材料はTi、Alおよび/またはTiW等の、窒化物系半導体材料とショットキーコンタクトすることができない材料を含むこともできる。

40

【0068】

したがって、本発明のいくつかの実施例は常時オフ操作と組み合わせられた低抵抗アクセス領域を有するデバイスを提供する。前記したように、本発明のいくつかの実施例はその上にスペーサ層23があるバリア層構造22、たとえば、アクセス領域内のAlGa_{0.5}N/GaN、を提供する。ゲート領域内で、スペーサ層23およびバリア層22を貫いてトレンチ75がエッチングされ、バッファ層20を露出させる。1つ以上の層(図1Cの誘電体層35等)がゲート領域内に堆積されて所望する閾値電圧および横方向輸送特性を有するゲート構造35を形成する。ゲート構造を構成する層はアクセス領域を構成する層とは

50

別に堆積されるため、各層構造を別々に最適化して所望するデバイス特性を達成することができる。

【0069】

次に、図2を見ると、本発明のいくつかの実施例では、ゲート構造435(図4)はトレンチ75および誘電体層35間に追加AlN層36を含んでいる。図2に例示されているように、スペーサ層23上およびトレンチ75内のAlN層36は誘電体層35の前に形成され、誘電体層35はAlN層36の上に形成される。AlN層36はおよそ1.0からおよそ10.0の厚さを有することができる。本発明のいくつかの実施例では、AlN層36はより厚いAlGaIn層と置換することができ、しかもほぼ同等の結果を達成する。しかしながら、AlGaIn層を堆積する時は、組成制御が困難となることがある。GaIn堆積が選択的である条件下では、AlGaIn層内のAl組成は均一とならないことがある。さらに、前記したように、表面粗さを平滑化するために薄いGaIn層47が含まれる実施例では、薄いGaIn層47はAlN層36とトレンチ75/スペーサ層23との間に形成される。

【0070】

およそ5の厚さを有するAlN層36およびおよそ300の厚さを有する誘電体層35を含むデバイスのオフおよびオン状態におけるシミュレートされた伝導帯エッジを例示しているグラフが図6Bに記載されている。デバイスのオン状態において、電子はAlN/GaN界面に蓄積する。AlN層は結晶とすることができ、AlN/GaNは誘電体層35しかないことに関して前記した実施例について期待できるよりも高い電子移動度を有する半導体ヘテロ構造を形成することができる。これはデバイスのオン抵抗をより低くする可能性がある。AlN層36の厚さが増加すると、蓄積された電子はAlN/誘電体界面からさらに分離されるため、電子移動度は増加することができる。しかしながら、AlN層36の厚さが増加すると、AlN層36内の強い偏光誘発電界により、閾値電圧は低下することがある。

【0071】

次に、図3を見ると、本発明のいくつかの実施例では、ゲート構造435(図4)はAlN層36および誘電体層35間にGaIn層39を含んでいる。図3に例示されているように、GaIn層39はAlN層36上で、誘電体層35およびAlN層36間に形成される。GaIn層39はおよそ2.0からおよそ30の厚さを有することができる。さらに、前記したように、表面粗さを平滑化するために薄いGaIn層47が含まれる実施例では、薄いGaIn層47はAlN層36とトレンチ75/スペーサ層23との間に形成される。

【0072】

およそ5の厚さを有するAlN層36、およそ10の厚さを有するGaIn層39、およびおよそ300の厚さを有する誘電体層35を有するデバイスのオフおよびオン状態におけるシミュレートされた伝導帯エッジを例示しているグラフが図6Cに記載されている。デバイスのオン状態において、電子はより低いAlN/GaN界面に蓄積する。しかしながら、蓄積した電子は図3のデバイス内の誘電体層からさらに分離され、それにより電子移動度はより高くなりデバイスのオン抵抗はより低くなることがある。電子移動度はGaIn層39およびAlN層36の厚さと共に増加することができ、それは蓄積した電子が誘電体層35からさらに分離されるためである。しかしながら、GaIn層39の厚さが特定の閾値厚さを超えると、電子はより低いAlN/GaN界面の代わりにGaIn-誘電体界面に蓄積し始め、電子移動度は低下する可能性がある。

【0073】

図1Aから4について検討した本発明の実施例では、ゲート構造435(図4)の堆積は選択的ではない、すなわち、ゲート構造はアクセス領域内のスペーサ層23上だけでなくエッチングされたゲート・トレンチ75内、およびゲート・トレンチ75のサイドウォール上に堆積される。本発明のいくつかの実施例では、AlN層36および誘電体層35の堆積は前記したように行うことができるが、GaIn層39の堆積はこのような層がゲー

10

20

30

40

50

ト構造の一部である時は選択的となることがある、すなわち、堆積技術および堆積条件に応じてGaNはエッチングされたゲート・トレンチ75内だけに堆積される。GaN層39の選択的堆積を使用する本発明の実施例では、GaN層39の堆積の前にアクティブ・デバイス外側の大きな領域を貫いて非伝導性スペーサ層23をエッチングすることができる。このように、GaNはアクティブ・デバイス外側のエッチングされた大きな領域内に堆積することもでき、恐らくゲート・トレンチ75内でのより予測可能で制御可能な堆積速度を提供する。

【0074】

次に、図5Aおよび5Bを見ると、本発明のいくつかの実施例では、ゲート電極32は典型的なGaN HEMTデバイス構成においてソースおよびドレイン・コンタクト30および31間に位置づけられる。図5Bにさらに例示されているように、本発明のいくつかの実施例では、第2の非伝導性スペーサ層43がゲート電極32上に設けられる。いくつかの実施例では、第2のスペーサ層43はゲート・メタライゼーション後に堆積することができ、およそ500 からおよそ5000 の厚さを有することができる。スペーサ層43の適切な材料として、たとえば、窒化ケイ素を含むことができる。第2の非伝導性スペーサ層43の形成に続いてデバイスのドレイン側にメタル・フィールドプレート45を堆積させることができる。フィールドプレート45の適切な材料として、たとえば、Ni、Au、AlおよびTiを含むことができる。本発明の範囲を逸脱することなく、フィールドプレート45はゲート電極32またはソース電極30に接続することができる。図5Bは本発明のいくつかの実施例を例示しているにすぎず、ゲート電極32およびフィールドプレート45の他の構成およびジオメトリも可能であることが理解される。

【0075】

本発明のいくつかの実施例は、図7Aから10について後述するように、ゲート電極の下のパリア層内にイオン注入領域を含む常時オフ操作が可能なGaN HEMTデバイスを提供する。注入された元素はゲート電極の下伝導帯を曲げるように働き、ゼロ・ゲートバイアスにおいてゲート電極の下チャンネル内には実質的に可動電荷が存在しないようにする。正のゲートバイアスにおいて、典型的に、電子はパリア層および下地バッファ層間の界面におけるチャンネル内に蓄積する。イオン注入領域を含む本発明のいくつかの実施例では、注入元素は主にパリア層内に配置することができ、バッファ内および界面において注入元素の比較的低濃度を見つけることができる。このように、蓄積された電子は注入されたイオンによる散乱の影響を受けず、高移動度および低オン状態抵抗を有するデバイスとなる。

【0076】

前記したように、とりわけ、安全の理由で高電圧パワースイッチとして使用されるトランジスタでは常時オフ操作が望まれる。さらに、常時オフ・デバイスは常時オン・デバイスと共に、非常に複雑なGaAs低消費電力回路に対して現在最も人気のあるデジタル回路ファミリである、GaN HEMT直接結合FET（エンハンスメント/デプレッションモード・ロジック）論理回路を作製することができる。常時オフ操作はRFパワーアンプ内で使用されるトランジスタに対するバイアス回路を簡素化することもできる。これまでに報告された高性能GaNパワースイッチ・トランジスタおよびRFトランジスタは、典型的に、常時オンである。常時オフ操作を達成するための従来のアプローチでは高いオン状態抵抗、遅いスイッチング速度および/または不安定なデバイス特性となった。図7Aから10について後述するように、本発明のいくつかの実施例は常時オン・デバイスに匹敵する性能を有する常時オフ・デバイスを提供する。

【0077】

本発明のいくつかの実施例に従った半導体デバイスの作製における処理ステップが図7Aから7Eについて検討される。最初に、図7Aを見ると、基板10、バッファ層20、パリア層22、およびスペーサ層23が図1Aについて検討したのと同様なプロセス・ステップを使用して形成される。さらに、異なるバンドギャップ・エネルギーを有する2つの半導体材料（パリア層22およびバッファ層20）のヘテロジャンクションにおいて2次

元電子ガス (2 - D E G) 3 3 が形成され、やはり図 1 A について検討したように、バンドギャップのより小さい材料がより高い電子親和力を有する。したがって、これらの元素の形成に関する詳細はこれ以上検討しない。

【 0 0 7 8 】

次に、図 7 B を見ると、スペーサ層 2 3 がマスク 3 1 を使用してパターン化されエッチングされる。マスク 3 1 はホトレジストおよび / またはメタルを含むことができ、本発明の範囲を逸脱することなく従来のホトリソグラフィック / リフトオフ技術を使用してパターン化することができる。特に、スペーサ層 2 3 はエッチングされてトレンチ 7 6 を形成する。図からお判りのように、トレンチはスペーサ層 2 3 を貫いて延びてバリア層 2 2 の一部を露出させる。本発明のいくつかの実施例では、バリア層 2 2 はトレンチ 7 6 の形成中にエッチングすることができる。これらの実施例では、トレンチ 7 6 はバリア層 2 2 中におよそ 0 からおよそ 2 0 0 延びることができる。

10

【 0 0 7 9 】

次に、図 7 C を見ると、マスク 3 1 をまだきちんとしたまま、トレンチ 7 6 のエッチングにより露出されたバリア層 2 2 の表面中にイオン 5 0 0 が注入されてゲート注入領域 5 1 0 が設けられる。本発明のいくつかの実施例では、得られる注入元素の分布が主としてバリア層 2 2 内にあるように注入エネルギーを選択することができ、バッファ層 2 0 中に延びる注入元素の濃度を非常に低いレベルに制限する。このように、イオン注入に関連する構造的損傷をバリア層 2 2 およびバッファ層 2 0 間の界面付近、2 - D E G 3 3 付近、で低減することができる。したがって、2 - D E G 3 3 内に高移動度を提供することができる。

20

【 0 0 8 0 】

特に、注入元素 (イオン) は一度バリア層 2 2 中に注入されると負の空間電荷となるように選択することができる。1つの可能な注入元素はマグネシウム (M g) を含むことができる。M g は A l G a N 層内の I I I 族格子サイト上に置かれるとアクセプタとして働き、それは枯渇すると (d e p l e t e d) 負の空間電荷となることがある。他の適切な注入元素として、たとえば、フッ素 (F) または亜鉛 (Z n) を含むことができる。注入エネルギーはおよそ 3 . 0 k e V からおよそ 1 0 k e V とすることができる。注入量はバンド曲がり閾値電圧を正値へシフトするように選択することができる。適切な注入量は、たとえば、およそ $5 . 0 \times 1 0 ^ { 1 2 } \text{ cm}^{-2}$ からおよそ $1 . 0 \times 1 0 ^ { 1 4 } \text{ cm}^{-2}$ とすることができる。閾値電圧をどれくらい正へシフトできるかの限界がある。特定の注入量を超えると、得られるバンド曲がりによりバリア層 2 2 内の価電子帯はゼロ・ゲートバイアスにおいてフェルミレベルと交差することがある。これにより正孔が形成される可能性があり、デバイス分散および / またはデバイスの動作中に閾値電圧ドリフトを生じることがある。

30

【 0 0 8 1 】

イオン 5 0 が注入されて注入ゲート領域 5 1 0 を形成した後で、注入ゲート領域 5 1 0 をアニールして注入により生じた格子の損傷を回復することができる。アニールは注入元素を電氣的にアクティブな格子サイト中へ、たとえば、A l G a N 層内の格子間サイトから I I I 族サイトへ移すのにも役立つ。注入アニールはおよそ 1 0 0 0 ° C からおよそ 1 3 0 0 ° C の温度で実施することができ、それは A l G a N および G a N に対する典型的な M O C V D 成長温度に近いかそれよりも高い。注入アニールはおよそ 3 0 秒からおよそ 1 0 分間実施することができる。本発明のいくつかの実施例では、注入アニールはアンモニア含有雰囲気内で実施することができる。これは露出された A l G a N または G a N 表面が分解する可能性を低減することができる。さらに、図 7 D に示すように、本発明のいくつかの実施例では、アニールの前にデバイスの表面上にカプセル化層 (e n c a p s u l a t i o n l a y e r) 5 2 0 を堆積させて、露出された表面が分解する可能性をさらに低減することができる。本発明の範囲を逸脱することなく、アンモニア (a m m o n i a) 、カプセル化層 5 2 0 のいずれかまたは両方を使用できることが理解される。

40

【 0 0 8 2 】

50

注入アニールの後で、あるいは別のアニールとして、注入ゲート領域 510 から水素を除去するように設計された雰囲気内で低温活性化アニールを実施することができる。この活性化アニールは Mg ドープト GaN に対して実施される活性化アニールに類似したものとすることができる。アズグロン (as-grown) MOCVD Mg ドープト GaN は p 型ではない。しかしながら、純粋な N_2 または N_2 / O_2 雰囲気内でおよそ 1.0 分からおよそ 1.0 時間およそ 600 からおよそ 900 °C の温度でアニールされると、アズグロン GaN は GaN から水素を除去して p 型とすることができる。

【0083】

本発明のいくつかの実施例では、ソースおよびドレイン・コンタクト 30 および 31 (図 9A および 9B) は注入アニールおよび活性化アニールの前または後で形成することができる。特に、注入アニールおよび活性化アニール温度がオーミックコンタクト・メタルの最大閾値を超えると、典型的な作製シーケンスは修正しなければならない。前記したように、オーミックコンタクト・メタルは、典型的に、ゲート・プロセスが実施される前に形成される。一方、オーミックコンタクト・プロセスがイオン注入および注入アニールを含む場合、ゲート注入アニールおよびオーミック注入アニールは同時に実施ことができ、続いてオーミックコンタクト・メタル堆積が行われる。ソースおよびドレイン・コンタクト 30 および 31 (図 9A および 9B) は図 5A および 5B について前記したのと同様なプロセスを使用して形成することができ、したがって、その形成の詳細はこれ以上検討しない。

【0084】

次に、図 7E を見ると、ゲート電極 32 は前記した注入ゲート領域 510 およびアニール・プロセスの後で形成することができる。ゲート電極 32 はアニールしなくてもよい。図 7E に例示されているように、ゲート電極 32 は注入ゲート領域 510 上のトレンチ 76 内およびスペーサ層 23 上に形成される。ゲート電極 32 はおよそ 0.5 μm からおよそ 5.0 μm のゲート長を有することができる。ゲート電極 32 は図 7E に例示されているように「T」ゲートとすることができ、従来の作製技術を使用して作製することができる。適切なゲート材料として、Ni、Pt、NiSi_x、Cu、Pd、Cr、W および / または WSiN 等の窒化物系半導体材料とショットキーコンタクトすることができる従来の材料を含むことができる。

【0085】

さらに、リフトオフ技術により画定されるゲート・メタル領域はゲート注入領域 510 を含むことができるが、注入領域 510 両側のスペーサ層 23 の表面上へ延びることもできる。スペーサ層 23 内のエッチングされた開口により画定される、バリア層 22 の表面と接触するゲート・メタルは、こうして、ゲート注入領域 510 に自己整合することができる。

【0086】

次に、図 10 を参照して、Mg 注入ゲートを有するデバイス上のドレイン電流の測定値を例示しているグラフが検討される。特に、本発明のいくつかの実施例では、ドーパントイオンはおよそ 8 keV の注入エネルギーとおよそ $2.0 \times 10^{13} \text{ cm}^{-3}$ のドーズを有する。ドーパントイオンはマグネシウムを含むことができる。注入ドーパントイオンはおよそ 1130 °C からの温度でおよそ 1 分間アニールすることができる。注入アニール後に、注入ドーパントイオンの活性化アニールをおよそ 80 % N_2 および 20 % O_2 を含む雰囲気内でおよそ 700 °C からの温度で 15 分間実施することができる。これらの実施例では、デバイスのエピタキシャル構造は炭化ケイ素基板上のおよそ 250 の厚さを有する $Al_{0.2}Ga_{0.8}N$ 層、およそ 3.0 の厚さを有する AlN 層およびおよそ 1.4 μm の厚さを有する GaN 層とすることができる。図 10 は異なる Mg 注入ドーズを有するデバイスに対するドレイン電流対ゲートバイアスを例示している。前記した $2.0 \times 10^{13} \text{ cm}^{-3}$ の注入ドーズにおいて、閾値電圧は +0.5 V であった。

【0087】

図 10 について前記した値は単なる例として提供されたもので、本発明の実施例はこれ

10

20

30

40

50

らの値に限定はされないことが理解される。たとえば、本発明のいくつかの実施例では、ドーパントイオンはおよそ 5 keV の注入エネルギーとおよそ $3 \cdot 0 \times 10^{13} \text{ cm}^{-2}$ のドーズを有することができ、ドーパントイオンは亜鉛 (Zn) とすることができ、本発明の範囲を逸脱することなく、注入はおよそ 1170°C の温度でおよそ 1 分間アニールすることができる。

【0088】

次に、図 8 を参照して、本発明のいくつかの実施例に従った半導体デバイスを例示している断面が検討される。図 8 のデバイスは図 7 A から 7 E について検討したデバイスに類似しているが、さらに、トレンチ 76 のサイドウォール上に誘電体サイドウォール・スペーサ 630 を含んでいる。サイドウォール・スペーサ 630 は前記したゲート注入 510 の後で形成することができる。誘電体サイドウォール・スペーサ 630 はおよそ 1.0 nm からおよそ 50.0 nm の厚さを有することができる。サイドウォール・スペーサ 630 の厚さが薄すぎると、正バイアスされた時のゲート電極 32 は注入領域 510 の下に可動電荷を蓄積できないことがあり、ゲートエッジにおいて電流チョークを生じることがある。

【0089】

いくつかの実施例では、半導体デバイス上にコンフォーマル誘電体層を形成することができ、コンフォーマル誘電体層をエッチングしてトレンチ 76 のサイドウォール上に誘電体サイドウォール・スペーサ 630 を設けることができる。本発明のいくつかの実施例では、コンフォーマル誘電体層はその非常に異方性の反応性イオンエッチングを使用してエッチングすることができる。このように、ゲートが順方向にバイアスされると、図 7 A から 7 E について前記した構造はゲート注入領域 510 に隣接する非注入バリア 22 を介したゲートメタルから 2 - D E G までの可能な漏洩径路を提供することができる。図 8 のサイドウォール 630 はゲートメタルを非注入バリア層 22 から分離することができ、それは図 7 A から 7 E について前記した実施例において生じることがある寄生漏洩径路を実質的に減らしたり恐らくは排除したりすることができる。したがって、誘電体サイドウォール 630 を含む図 8 のデバイスはより高いゲート電圧にバイアスすることができ、そのためより高い最大ドレイン電流およびより低いオン抵抗とすることができる。

【0090】

次に、図 9 A および 9 B を参照して、本発明のいくつかの実施例に従ったデバイスの断面が検討される。図 9 A および 9 B に例示されているように、ゲート電極 32 はソース 30 およびドレイン 31 コンタクト間に配置される。図 9 B は、さらに、第 2 の非伝導性スペーサ層 73 の形成を例示している。第 2 の非伝導性スペーサ層 73 はおよそ 500 からおよそ 5000 の厚さを有することができる。第 2 の非伝導性スペーサ層 73 はゲート電極 32 の形成後に堆積することができる。第 2 の非伝導性スペーサ層 73 の形成に続いてメタル・フィールドプレート 75 を形成することができる。本発明の範囲を逸脱することなく、メタル・フィールドプレート 75 はソース 30 のゲート 32 に接続することができる。フィールドプレート 75 に対する適切な材料として、たとえば、Ni、Au、Al および Ti を含むことができる。図 9 B は本発明のいくつかの実施例を例示するにすぎず、ゲート電極 32 およびフィールドプレート 75 の他の構成およびジオメトリも可能であることが理解される。

【0091】

したがって、本発明のいくつかの実施例は常時オフ操作と組み合わせられた低抵抗アクセス領域を有するデバイスを提供する。前記したように、本発明のいくつかの実施例はゲート電極 32 の下のバリア層 22 内に注入領域 510 を提供する。注入領域 510 の存在によりゲート電極 32 の下の伝導帯は曲がって、ゼロバイアスにおいてゲート電極 32 の下のチャンネル内には可動電荷が存在しないようにすることができる。正のバイアスにおいて、電子はバリア層 22 と下地 GaN バッファ 20 との間の界面におけるチャンネル内に蓄積する。注入元素は主としてバリア層 22 内に配置され、また GaN バッファ 20 内および界面には比較的低い濃度が存在するため、蓄積された電荷は注入されたイオンによる散乱

10

20

30

40

50

により影響されず、図 7 A から 1 0 について前記したように高い移動度および低いオン状態抵抗を有するデバイスを提供することができる。したがって、本発明のいくつかの実施例は常時オン・デバイスに匹敵する性能を有する G a N H E M T の常時オフ操作を提供することができる。

【 0 0 9 2 】

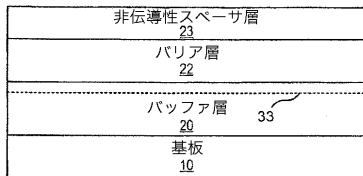
G a N H E M T の特定の構造が検討されたが、これらの構造は例を提供するにすぎない。本発明のいくつかの実施例に従ってここで検討されたゲート構造および/またはゲート注入領域は、本発明の範囲を逸脱することなく、機能デバイスを提供する任意の構造を有する任意の H E M T 内に含むことができる。

【 0 0 9 3 】

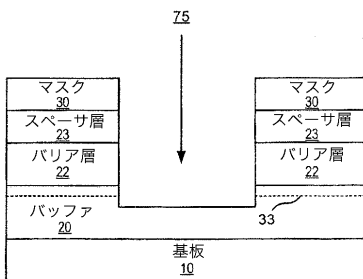
図面および明細書に、本発明の典型的な実施例が開示されており、特定の用語が使用されているが、それらは一般的かつ記述的な意味だけで使用されており、制限する目的ではない。

10

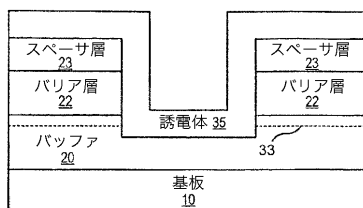
【 図 1 A 】



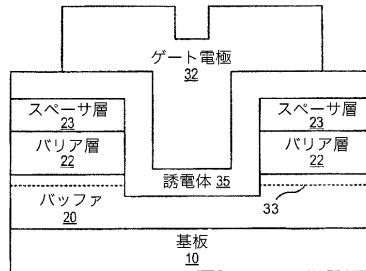
【 図 1 B 】



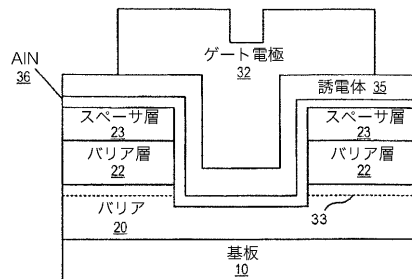
【 図 1 C 】



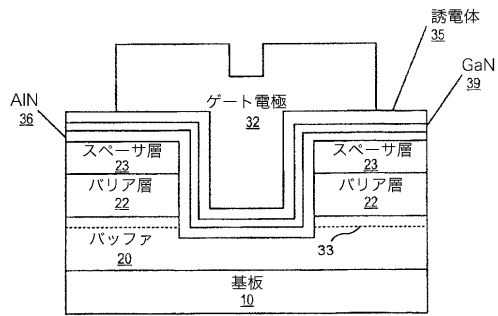
【 図 1 D 】



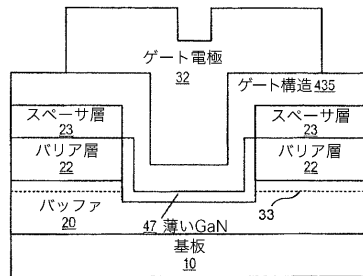
【 図 2 】



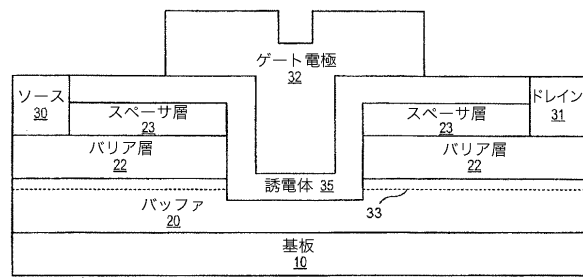
【図 3】



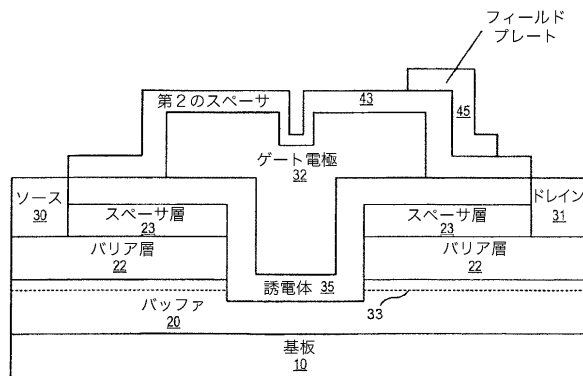
【図 4】



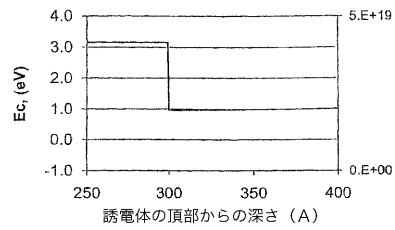
【図 5 A】



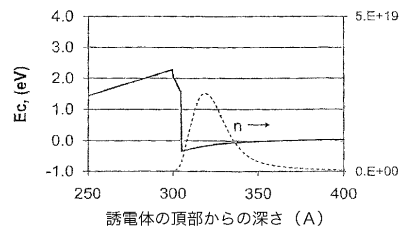
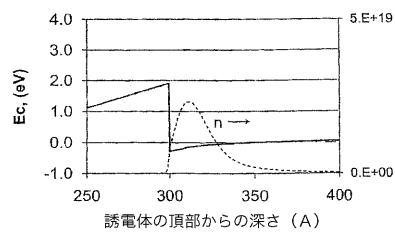
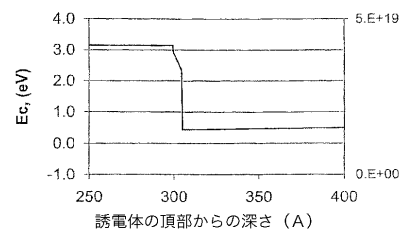
【図 5 B】



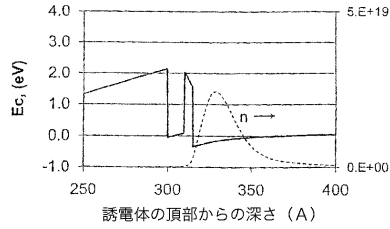
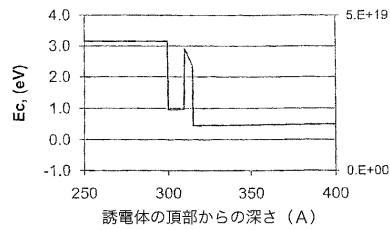
【図 6 A】



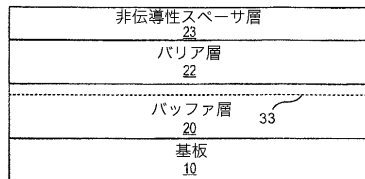
【図 6 B】



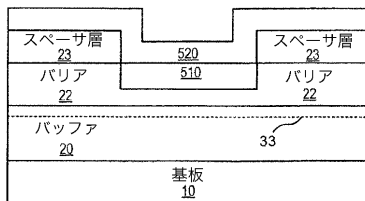
【図 6 C】



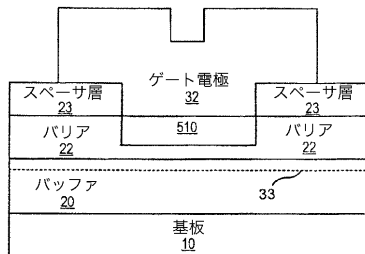
【図 7 A】



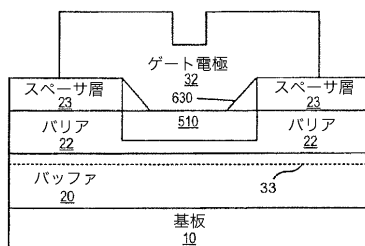
【図 7 D】



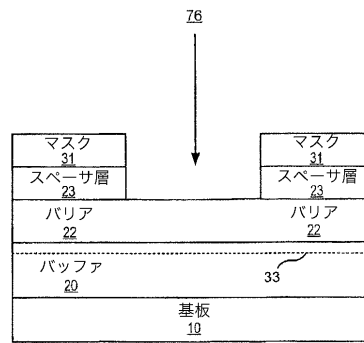
【図 7 E】



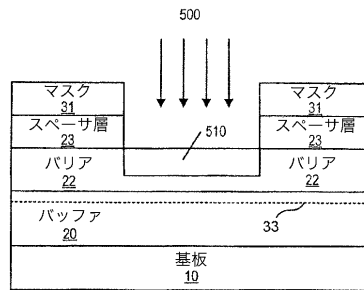
【図 8】



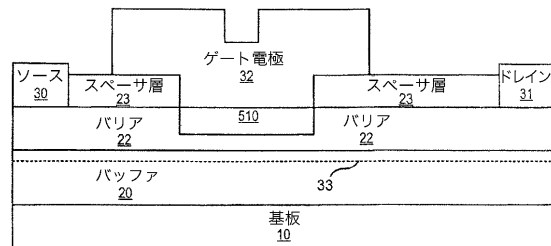
【図 7 B】



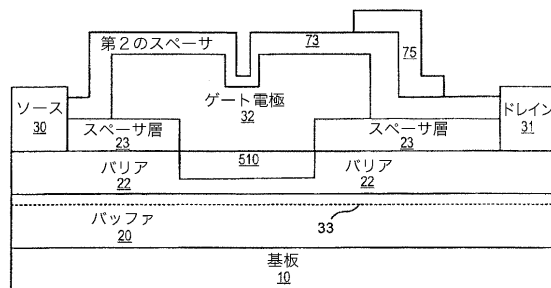
【図 7 C】



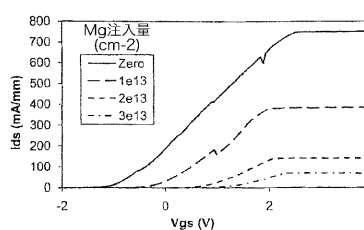
【図 9 A】



【図 9 B】



【図 10】



フロントページの続き

| | | | |
|--------------------------|--|---------------|---------|
| (51)Int.Cl. | | F I | |
| H 0 1 L 29/49 (2006.01) | | H 0 1 L 29/44 | Y |
| H 0 1 L 29/41 (2006.01) | | H 0 1 L 29/78 | 3 0 1 B |
| H 0 1 L 29/78 (2006.01) | | | |
| H 0 1 L 21/336 (2006.01) | | | |

(74)代理人 100094673

弁理士 林 銘三

(74)代理人 100159525

弁理士 大日方 和幸

(74)代理人 100138346

弁理士 畑中 孝之

(74)代理人 100147658

弁理士 岩見 晶啓

(72)発明者 ヘイクマン、ステン

アメリカ合衆国、カリフォルニア、ゴレタ、ローレル ウォーク 787、アパートメント エイチ

(72)発明者 ウー、イーフェン

アメリカ合衆国、カリフォルニア、ゴレタ、ファイヤーサイド レーン 528

審査官 棚田 一也

(56)参考文献 国際公開第2006/001369(WO, A1)

特開2009-004743(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/28

H 0 1 L 21/336

H 0 1 L 29/41

H 0 1 L 29/423

H 0 1 L 29/49

H 0 1 L 29/778

H 0 1 L 29/78

H 0 1 L 29/812