(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 3/36

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0340744
(24) 등록일자 2002년06월01일

(21) 출원번호 10-2000-0050095
(22) 출원일자 2000년08월28일

(65) 공개번호 특2001-0021445
(43) 공개일자 2001년03월15일

(30) 우선권주장 99-244245 1999년08월31일 일본(JP)

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
가부시기가이샤 히다치초엘에스아이시스템즈
스즈키 진이치로
일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1
히타치 디바이스엔지니어링 가부시키가이샤
나시모토 류오조
일본국 치바켄 모바라시 하야노 3681

(72) 발명자
가토미츠루
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼쇼유켄혼부나이
나카야스요죠
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼쇼유켄혼부나이
야스카와신지
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼쇼유켄혼부나이
아가타켄타로
일본국치바켄모바라시하야노3681히타치디바이스엔지니어링가부시키가이샤
야마시타유지
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼쇼유켄혼부나이
코테라코이치
일본국도쿄도코다이라시조수이혼쵸5-22-1히다치초엘에스아이시스템즈가부시키가이샤

(74) 대리인
이종일

심사관 : 정연우

(54) 액정표시장치

요약

액정표시장치는 다수의 화소와 표시 데이터에 따라서 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 영상 신호선으로 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함한다. 영상 신호선 구동회로는 다수의 계조전압을 생성하기 위해서 외부 전원공급회로로부터 공급되는 다수의 계조기준전압 사이의 전압을 분할하기 위한 전압-분할 저항기회로가 구비된 계조전압 생성회로 및 표시 데이터에 따라서 계조전압 중 하나의 계조전압을 선택하기 위해 영상 신호선에 대응하는 다수의 전압-선택기 회로를 구비한다. 전압-분할 저항기회로는 다수의 계조전압을 생성하기 위해서 다수의 계조기준전압 사이의 전압을 분할하기 위한 다수의 중간 탭이 구비된 저항체, 계조전압에 대응하는 다수의 계조전압선, 저항체로부터 계조전압선을 절연하기 위한 중간층 절연필름, 및 중간층 절연필름에 형성된 구멍을 통해서 중간 탭 중 대응하는 하나에 계조전압선 각각을 전기적으로 연결시키기 위한 다수의 연결부를 구비한다. 연결부는 저항체 내를 흐르는 전류의 전류 경로로부터 대치된 위치에 배치된다.

대표도

도 1

명세서

도면의 간단한 설명

첨부된 도면에서, 유사한 참조번호는 도면 전체에서 유사한 구성요소를 가리킨다.

도 1 은 본 발명 실시형태의 TFT방식 액정표시모듈의 개략적인 구성을 나타낸 블럭도이다.

도 2 는 도 1 에 나타낸 액정표시패널의 일예로서의 등가회로를 나타낸 도면이다.

도 3 은 도 1 에 나타낸 액정표시패널의 또 다른 예로서의 등가회로를 나타낸 도면이다.

도 4 는 도 1 에 나타낸 내부전원회로의 개략적인 구성을 나타낸 블럭도이다.

도 5 는 도 1 에 나타낸 드레인 드라이버의 일예로서의 개략적인 구성을 나타낸 블럭도이다.

도 6 은 도 5 에 나타낸 양극성 계조전압 생성회로 혹은 음극성 계조전압 생성회로의 회로구성을 나타낸 회로도이다.

도 7 은 반도체 집적회로(반도체칩)내에서의 종래의 계조전압 생성회로의 레이아웃을 나타낸 부분 단면도이다.

도 8 은 반도체 집적회로(반도체칩)내에서의 본 실시형태의 계조전압 생성회로의 레이아웃을 나타낸 부분 단면도이다.

도 9 는 도 8 에 나타낸 IX-IX절단선을 따른 단면구조를 나타낸 단면도이다.

도 10 은 종래의 바이어스회로의 기본회로 구성의 일예를 나타낸 회로도이다.

도 11 은 종래의 바이어스회로의 기본회로 구성의 또 다른 예를 나타낸 회로도이다.

도 12 는 본 실시형태의 바이어스회로의 기본회로 구성의 일예를 나타낸 회로도이다.

도 13 은 본 실시형태의 바이어스회로의 기본회로 구성의 또 다른 예를 나타낸 회로도이다.

도 14 는 양극성의 계조전압을 증폭하는 고전압 앰프회로의 기본회로 구성을 나타낸 회로도이다.

도 15 는 음극성의 계조전압을 증폭하는 저전압앰프회로의 기본회로 구성을 나타낸 회로도이다.

도 16 은 도 14, 도 15 에 나타낸 앰프회로에, 바이어스전류를 공급하기 위한 도 13 에 나타낸 기본 바이어스회로를 사용하는 바이어스회로를 나타낸 회로도이다.

도 17 은 본 실시형태의 바이어스회로의 기본회로 구성의 다른 예를 나타낸 회로도이다.

도 18 은 도 17 에 나타낸 바이어스회로에 있어서, NMOS트랜지스터를 2개 직렬로 한 회로구성을 나타낸 회로도이다.

도 19 는 도 17 에 나타낸 바이어스회로에 있어서, 커런트 미러 회로(current mirror circuits)를 2단 구성으로한 회로구성을 나타낸 회로도이다.

도 20 은 도 14, 도 15 에 나타낸 앰프회로에 바이어스전류를 공급하기 위한 도 17 에 나타낸 기본 바이어스회로를 사용하는 바이어스회로를 나타낸 회로도이다.

< 도면 주요부분에 대한 부호의 설명

10 : 액정표시패널 19 : 계조전압배선

20 : 저항체 21 : 접속부

22 : 층간절연막 23 : 돌출부

100 : 표시제어장치 110 : 내부전원회로

130 : 드레인 드라이버 133 : 버스라인

131, 132, 142 : 신호선 140 : 게이트 드라이버

121 : 정전압 생성회로 122 : 부전압 생성회로

123 : 코먼전극 전압생성회로 124 : 게이트전극 전압생성회로

151 : 정극성 계조전압 생성회로 152 : 부극성 계조전압 생성회로

153 : 래치 어드레스 셀렉터 154, 155 : 래치회로

156 : 디코더 회로 157 : 출력앰프회로

158 : 바이어스회로 159 : 클럭 제어회로

160 : 데이터 반전회로 200 : 디코더

210 : 출력앰프회로 300 : 콘택트홀

ETO1, ETO2 : 스타트펄스 M2,M3 : p형 MOS트랜지스터

M1,M4,M5,M6 : n형 MOS트랜지스터 VB : 바이어스 전압

VCC : 전원전압 VGP : 바이어스전압

VGN : 바이어스회로 V0 V8 : 정극성의 계조기준전압

V9 V17 : 부극성의 계조기준전압 iHn, iLp : 전류

io, ia : 전류

Mo1, Mo2, Mo3, Mo4, M11 : 고내압의 NMOS

D : 드레인 신호선 G : 게이트 신호선

TFT1, TFT2 : 박막트랜지스터 ITO1 : 화소전극

ITO2 : 코먼전극(common electrode) LC : 액정층

CLC : 액정용량 CADD : 부가용량

AR : 표시영역 COM : 공통신호선

CSTG : 유지용량 R,G,B : 표시용 데이터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 퍼스널컴퓨터, 워크스테이션 등에 사용되는 액정표시장치에 관한 것으로, 특히 다계조표시가 가능한 액정표시장치의 영상신호선 구동회로(드레인 드라이버)에 적용하는 유효한 기술에 관한 것이다.

화소마다 능동소자(예를 들면, 박막트랜지스터)를 갖추고, 이 능동소자를 스위칭구동하는 액티브 매트릭스형 액정표시장치는 노트형 퍼스널컴퓨터 등의 표시장치로서 널리 사용되고 있다.

상기 액티브 매트릭스형 액정표시장치는 능동소자를 통해서 화소전극에 영상신호전압(계조전압)을 인가하기 때문에, 각 화소간의 크로스토크가 없고 단순매트릭스형 액정표시장치와 같이 크로스토크를 방지하기 위한 특수 구동방법을 사용할 필요없이 다계조표시가 가능하다.

상기 액티브 매트릭스형 액정표시장치중 하나에, TFT(Thin Film Transistor)방식의 액정표시패널(TFT-LCD)과, 액정표시패널의 상변측에 배치되는 드레인 드라이버와, 액정표시패널의 측면에 배치되는 게이트 드라이버를 구비하는 TFT방식의 액정표시모듈이 알려져 있다.

상기 TFT방식의 액정표시모듈에 있어서는, 드레인 드라이버내에 다수의 계조전압을 생성하는 계조전압 생성회로와, 계조전압 생성회로에서 생성된 다수의 계조전압 중에서 표시데이터에 대응하는 계조전압을 선택하는 디코더와, 디코더에서 선택된 계조전압을 증폭하여 표시데이터에 대응하는 영상신호전압으로 각 드레인 신호선에 출력하는 앰프회로와, 앰프회로내의 정전류원의 전류치를 제어하는 바이어스회로를 갖춘다.

또한, 상기와 같은 기술은, 예를 들면, 일본특허공개 평11-47885호(1999년 2월 25일 출원, 본원 출원일 시점에서는 미공개)에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

상기 드레인 드라이버내의 계조전압 생성회로는 전원회로로부터 공급되는 다수의 계조기준전압간을 분압해서 다수의 계조전압을 생성하는 저항분압회로를 갖춘다.

상기 드레인 드라이버는 1개의 반도체 집적회로(반도체칩)로 구성되므로, 상기 저항분압회로는 탭이 부착된 저항체와, 각 계조전압이 출력되는 다수의 계조전압배선과, 이 계조전압배선과 상기 저항체를 절연하는 층간절연막과, 이 층간절연막에 형성된 콘택트홀을 통해서 상기 계조전압배선과 상기 저항체를 접속하는 접속부로 구성된다.

여기서, 상기 탭이 부착된 저항체와 인접하는 2개의 탭간 저항치는 저항체의 상기 2개의 탭간 저항체의 길이(L)/상기 저항체의 폭(W) ×상기 저항체의 시트저항으로 결정된다.

종래의 드레인 드라이버는 상기 계조전압배선과 상기 저항체의 탭을 접속하는 접속부가 상기 저항체를 흐르는 전류의 경로내에 형성되어 있다. 이 경우, 인접하는 2개의 탭간 저항체의 길이(L)는 콘택트홀치수의 제조오차 등에 의해 편차가 생기게 된다. 이로 인해, 저항분압회로의 인접하는 2개의 탭간 저항체의 저항치에 편차가 생기고, 이로 인해 저항분압회로에서 생성되는 계조전압에 편차가 생기고, 액정표시패널에 표시되는 표시화상의 표시품질을 훼손하게되는 문제점이 있었다.

또, 저항체를 흐르는 전류의 경로내에 콘택트홀을 형성하기 위하여, 콘택트홀의 콘택트면적에 제한이 있어 콘택트면적을 작게할 필요가 있었다. 이로 인해, 상기 계조전압배선과 상기 저항체의 탭을 접속하는 접속부의 저항이 증대하여 저항분압회로로부터 후단의 앰프회로로의 계조전압 전달특성이 지연되는 문제점이 있었다.

최근에 TFT방식의 액티브 매트릭스형 액정표시장치에 있어서는, 표시패널(TFT-LCD)의 대형화, 고해상도화, 고화질화, 저소비전력화가 요망되고 있고, 또한 노트형 퍼스널컴퓨터의 보급에 따라 배터리에 의한 장시간 구동의 필요성이 높아져 액정표시장치에 대한 저소비전력화가 요망되고 있다.

이 경우에, 고화질화를 위해서는 액정의 응답속도향상 및 콘트라스트향상을 위하여 액정층에 인가하는 계조전압의 전압범위, 즉, 드레인 드라이버로부터 출력하는 출력전압의 전압범위가 큰 편이 좋다. 이로 인해, 드레인 드라이버의 전원전압(VDD)은 고전압으로 되어가고 있다.

또, 일반적으로 드레인 드라이버의 각각의 앰프회로는 양극성의 계조전압을 증폭하는 고전압 앰프회로와, 음극성의 계조전압을 증폭하는 저전압 앰프회로로 구성된다.

그리고, 상기 고전압 앰프회로 및 저전압 앰프회로는 차동증폭기로 구성되는데, 상기 고전압 앰프회로 및 저전압 앰프회로를 구성하는 각각의 차동증폭기의 각 정전류원의 전류치는 하나의 바이어스회로에 의해 결정된다.

이 경우에, 바이어스회로는 드레인 드라이버의 전원전압(VDD)이 고전압이기 때문에 높은 절연파괴전압을 갖는 MOS 트랜지스터로 구성할 필요가 있었다.

그러나, 높은 절연파괴전압을 갖는 MOS트랜지스터는 일반적으로 내압확보를 위해 게이트산화막의 막두께가 두껍고, 또한 전계완화영역이 필요하기 때문에 높은 절연파괴전압을 갖는 MOS트랜지스터 소자의 임계값 전압 등의 편차가 내압이 낮은 MOS트랜지스터에 비해서 크다. 이로 인해, 드레인 드라이버마다 바이어스회로로부터 드레인 드라이버의 앰프회로를 구성하는 차동증폭기의 정전류원으로 공급하는 전류치에 편차가 생기고, 드레인 드라이버를 10개정도 사용하는 액정표시패널에 있어서는 드레인 드라이버마다 휘도편차가 발생할 우려가 있어 액정표시패널에 표시되는 표시화상의 표시품질을 훼손시키는 문제점이 있었다.

본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 이루어진 것으로서, 본 발명의 목적은 액정표시장치에 있어서, 액정표시패널에 표시되는 표시화상의 표시품질을 향상시키는 것이 가능한 기술을 제공하는 데 있다.

또, 본 발명의 다른 목적은 액정표시장치에 있어서 계조전압 생성회로에서 생성되는 각 계조전압에 편차가 생기는 것을 방지하는 것이 가능한 기술을 제공하는 데 있다.

또, 본 발명의 다른 목적은 액정표시장치에 있어서, 바이어스회로내에 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용할 수 있도록 하여, 드레인 드라이버의 앰프회로의 정전류원 전류치를 각 드레인 드라이버마다 균일하게 하는 것이 가능한 기술을 제공하는 데 있다.

본 발명의 상기 목적과 신규의 특징은 본 명세서의 기술 및 첨부도면에 의해 명백해질 것이다.

본 발명에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단히 설명하면 하기와 같다.

상기 목적을 달성하기 위해서 본 발명의 일실시예에 따라서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는데, 상기 영상 신호선 구동회로는 다수의 계조전압을 생성하기 위해서 외부 전원공급회로로부터 공급되는 다수의 계조기준전압 사이의 전압을 분할하기 위한 전압-분할 저항기회로가 구비된 계조전압 생성회로, 및 상기 표시 데이터에 따라서 상기 다수의 계조전압 중 하나의 계조전압을 선택하기 위한 상기 다수의 영상 신호선에 대응하는 다수의 전압-셀렉터 회로를 구비하며, 상기 전압-분할 저항기회로는 상기 계조전압을 생성하기 위해서 상기 다수의 계조기준전압 사이의 전압을 분할하기 위한 다수의 중간 탭이 구비된 저항체, 상기 다수의 계조전압에 대응하는 다수의 계조전압선, 상기 저항체로부터 상기 계조전압선을 절연하기 위한 중간층 절연필름, 및 상기 중간층 절연필름에 형성된 구멍을 통해서 상기 다수의 중간 탭 중 대응하는 하나에 상기 다수의 계조전압선 각각을 전기적으로 연결시키기 위한 다수의 접속부를 구비하고, 상기 다수의 접속부는 상기 저항체 내를 흐르는 전류의 전류 경로로부터 대치된 위치에 배치되는 것을 특징으로 하는 액정표시장치가 제공된다.

상기 목적을 달성하기 위해서 본 발명의 다른 실시예에 따라서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는데, 상기 영상 신호선 구동회로는 다수의 계조전압을 생성하기 위해서 외부 전원 공급회로로부터 공급되는 다수의 계조기준전압 사이의 전압을 분할하기 위한 전압-분할 저항기회로가 구비된 계조전압 생성회로, 및 상기 표시 데이터에 따라서 상기 다수의 계조전압 중 하나의 계조전압을 선택하기 위한 상기 다수의 영상 신호선에 대응하는 다수의 전압-셀렉터 회로를 구비하며, 상기 전압-분할 저항기회로는 상기 계조전압을 생성하기 위해서 상기 다수의 계조기준전압 사이의 전압을 분할하기 위한 다수의 중간 탭이 구비된 저항체, 상기 다수의 계조전압에 대응하는 다수의 계조전압선, 상기 저항체로부터 상기 계조전압선을 절연하기 위한 중간층 절연필름, 및 상기 중간층 절연필름에 형성된 구멍을 통해서 상기 다수의 중간 탭 중 대응하는 하나에 상기 다수의 계조전압선 각각을 전기적으로 연결시키기 위한 다수의 접속부를 구비하고, 상기 다수의 중간 탭 각각은 상기 저항소자로부터 상기 다수의 계조전압선이 연장하는 방향으로 돌출하는 돌출부를 형성하고 상기 다수의 접속부 각각은 상기 돌출부 상에 배치되는 것을 특징으로 하는 액정표시장치가 제공된다.

상기 목적을 달성하기 위해서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는 상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및 상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 전류 미러회로를 갖는 바이어스 회로를 구비하고, 제 1 기준전원 공급전압이 공급되는 제 1 전원공급 전압선과 제 2 기준전원 공급전압이 공급되는 제 2 전원공급 전압선 사이에서, 상기 전류 미러회로는, 낮은 절연파괴전압을 가지고 제 1 전도성 형태로 된 제 1 트랜지스터 소자, 상기 낮은 절연파괴전압보다 높은 절연파괴전압을 가지

고 제 2 전도성 형태로 되며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및 상기 제 1 전도성 형태로서, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결되고 제어전극에 인가되는 고정 바이어스 전압을 갖는 하나 이상의 제 3 트랜지스터 소자로서, 상기 고정 바이어스 전압은 상기 제 1 및 제 2 기준전원 공급전압 사이에 있는, 상기 제 3 트랜지스터 소자를 구비하는 것을 특징으로 하는 액정표시장치가 제공된다.

상기 목적을 달성하기 위해서 본 발명의 다른 실시예에 따라서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는 상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및 상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 전류 미러회로를 갖는 바이어스 회로를 구비하고, 제 1 기준전원 공급전압이 공급되는 제 1 전원공급 전압선과 제 2 기준전원 공급전압이 공급되는 제 2 전원공급 전압선 사이에서, 상기 전류 미러회로는 낮은 절연파괴전압을 가지고 제 1 전도성 형태로 된 제 1 트랜지스터 소자, 상기 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 제 2 전도성 형태로 되며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및 상기 제 1 전도성 형태로서, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결되고 상기 제 2 트랜지스터 소자에 연결되는 단자에 연결되는 제어전극을 갖는 하나 이상의 제 3 트랜지스터 소자를 구비하는 것을 특징으로 하는 액정표시장치가 제공된다.

상기 목적을 달성하기 위해서 본 발명의 다른 실시예에 따라서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는, 상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및 상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 바이어스 회로를 구비하고, 상기 바이어스 회로는 제 1 직렬결합 및 제 2 직렬결합을 포함하는데, (a) 상기 제 1 직렬결합은, 제 1 낮은 절연파괴전압을 갖고 제 1 전도성 형태로 된 제 1 트랜지스터 소자, 상기 제 1 절연파괴전압보다 높은 절연파괴전압을 갖고 제 2 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및 상기 제 1 낮은 절연파괴전압보다 높은 절연파괴전압을 갖고 상기 제 1 전도성 형태로 되어 있으며 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결된 하나 이상의 제 3 트랜지스터 소자를 구비하는데, 상기 하나 이상의 제 3 트랜지스터 소자에 연결된 상기 제 2 트랜지스터 소자의 단자는 상기 제 2 트랜지스터 소자의 제어전극에 연결되고, 상기 제 1 트랜지스터 소자의 제어전극에는 바이어스 전압이 공급되며, (b) 상기 제 2 직렬결합은, 제 2 낮은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 된 제 4 트랜지스터 소자, 상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 2 전도성 형태로 되며 상기 제 4 트랜지스터 소자에 직렬로 연결된 제 5 트랜지스터 소자, 및 상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 되며, 상기 제 4 트랜지스터 소자 및 상기 제 5 트랜지스터 소자 사이에 연결된 하나 이상의 제 6 트랜지스터 소자를 구비하고, 상기 제 5 트랜지스터 소자의 제어전극은 상기 제 2 트랜지스터 소자의 상기 제어전극에 연결되고, 상기 하나 이상의 제 6 트랜지스터 소자에 연결된 상기 제 4 트랜지스터 소자의 단자는 상기 제 4 트랜지스터 소자의 제어전극에 연결되고, 그리고 상기 제 4 트랜지스터 소자의 제어전극은 출력을 내보내도록 구성되는데, 상기 제 1 직렬 결합 및 상기 제 2 직렬 결합의 병렬 결합이 제 1 기준전원 공급전압이 제공된 제 1 전원공급 전압선 및 제 2 기준전원 공급전압이 제공된 제 2 전원공급 전압선 사이에 연결되고, 상기 제 1 및 제 2 기준전원 공급전압 사이의 중간전압이 상기 하나 이상의 제 3 트랜지스터 소자 및 상기 하나 이상의 제 6 트랜지스터 소자의 제어전극에 인가되는 것을 특징으로 하는 액정표시장치가 제공된다.

상기 목적을 달성하기 위해서 본 발명의 다른 실시예에서, 매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기

다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는, 상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및 상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 바이어스 회로를 구비하고, 상기 바이어스 회로는 제 1 직렬결합 및 제 2 직렬결합을 포함하는데, (a) 상기 제 1 직렬결합은, 제 1 낮은 절연파괴전압을 갖고 제 1 전도성 형태로 된 제 1 트랜지스터 소자, 상기 제 1 절연파괴전압보다 높은 절연파괴전압을 갖고 제 2 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및 상기 제 1 낮은 절연파괴전압보다 높은 절연파괴전압을 갖고 상기 제 1 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결된 하나 이상의 제 3 트랜지스터 소자를 구비하는데, 상기 하나 이상의 제 3 트랜지스터 소자에 연결된 상기 제 2 트랜지스터 소자의 단자는 상기 제 2 트랜지스터 소자의 제어전극에 연결되고, 상기 제 1 트랜지스터 소자의 제어전극에는 바이어스 전압이 공급되며, (b) 상기 제 2 직렬결합은, 제 2 낮은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 된 제 4 트랜지스터 소자, 상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 2 전도성 형태로 되며, 상기 제 4 트랜지스터 소자에 직렬로 연결된 제 5 트랜지스터 소자, 및 상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 되며, 상기 제 4 트랜지스터 소자 및 상기 제 5 트랜지스터 소자 사이에 연결된 하나 이상의 제 6 트랜지스터 소자를 구비하고, 상기 제 5 트랜지스터 소자의 제어전극은 상기 제 2 트랜지스터 소자의 상기 제어전극에 연결되고, 상기 하나 이상의 제 6 트랜지스터 소자에 연결된 상기 제 4 트랜지스터 소자의 단자는 상기 제 4 트랜지스터 소자의 제어전극에 연결되고, 그리고 상기 제 4 트랜지스터 소자의 제어전극은 출력을 내보내도록 구성되는데, 상기 제 1 직렬 결합 및 상기 제 2 직렬 결합의 병렬 결합이 제 1 기준전원 공급전압이 제공된 제 1 전원공급 전압선 및 제 2 기준전원 공급전압이 제공된 제 2 전원공급 전압선 사이에 연결되고, 상기 하나 이상의 제 3 트랜지스터 소자의 제어전극이 상기 제 2 트랜지스터 소자에 연결된 상기 하나 이상의 제 3 트랜지스터 소자의 단자에 연결되고, 그리고 상기 하나 이상의 제 6 트랜지스터 소자의 제어전극이 상기 제 5 트랜지스터 소자에 연결된 상기 하나 이상의 제 6 트랜지스터 소자의 단자에 연결되는 것을 특징으로 하는 액정표시장치가 제공된다.

발명의 구성 및 작용

이하, 본 발명의 실시형태를 도면을 참조하면서 설명한다.

또, 발명의 실시형태를 설명하기 위한 전도면에 있어서, 동일기능을 갖춘 것은 동일부호를 붙이고, 그 반복되는 설명은 생략한다.

도 1 은 본 발명 실시형태의 TFT방식 액정표시모듈의 개략적인 구성을 나타낸 블럭도이다.

본 실시형태의 액정표시모듈(LCM)은, 액정표시패널(TFT-LCD)(10)의 상부변측에 드레인 드라이버(130)가 배치되고, 또 액정표시패널(10)의 측면에 게이트 드라이버(140), 표시제어장치(100), 내부전원회로(110)가 배치된다.

도 2 는 도 1 에 나타낸 액정표시패널(10)의 일예로서의 등가회로를 나타낸 도면이다.

또, 도 2 는 회로도인데, 실제 기하학적 배치에 대응하여 그려져 있고, 도 2 에 나타낸 바와 같이 액정표시패널(10)은 매트릭스 형상으로 형성된 다수의 화소를 갖춘다.

각 화소는 인접하는 2개의 드레인 신호선(영상신호선 또는 수직신호선이라고도 부른다)(D)과, 인접하는 2개의 게이트 신호선(주사신호선 또는 수평신호선이라고도 부른다)(G)으로 둘러쌓인 영역내에 배치된다.

각 화소는 박막트랜지스터(TFT1, TFT2)를 갖추고, 각 화소의 박막트랜지스터(TFT1, TFT2)의 소스전극은 화소전극(IT01)에 접속되고, 화소전극(IT01)과 공동전극(common electrode)(IT02) 사이에 액정층(LC)이 형성되므로 박막트랜지스터(TFT1, TFT2)의 소스전극과 공동전극(IT02) 사이에 액정용량(CLC)이 등가적으로 접속된다.

또, 박막트랜지스터(TFT1, TFT2)의 소스전극과 직전의 게이트신호선(G) 사이에는 소위 부가용량(CADD)이 접속된다.

도 3 은 도 1 에 나타낸 액정표시패널(10)의 또 다른 예로서의 등가회로를 나타낸 도면이다.

도 2 에 나타낸 예에서는 직전의 게이트신호선(G)과 소스전극사이에 부가용량(CADD)이 형성되어 있는데, 도 3 에 나타낸 예의 등가회로에서는 공통신호선(COM)과 소스전극사이에 소위 유지용량(CSTG)이 형성되어 있는 점이 다르다.

본 발명은 어느쪽에도 적용할 수 있으나, 전자의 방식에서는 직전 게이트신호선(G)으로의 펄스가 부가용량(CADD)을 통해서 화소전극(IT01)에 입력되는 것에 비해, 후자의 방식에서는 입력되지 않기 때문에 보다 양호한 표시가 가능해진다. 또, 도 2 및 도 3 에 있어서, AR은 표시영역이다.

도 2 혹은 도 3 에 나타난 액정표시 패널(10)에 있어서, 열방향으로 배치된 각 화소의 박막트랜지스터(TFT1, TFT2)의 드레인전극은 각각 드레인 신호선(D)에 접속되고, 각 드레인 신호선(D)은 해당하는 열의 화소의 액정에 표시데이터에 대응하는 영상신호전압(계조전압)을 인가하는 드레인 드라이버(130)에 접속된다.

또, 행방향으로 배치된 각 화소에 있어서의 박막트랜지스터(TFT1, TFT2)의 게이트전극은 각각 게이트신호선(G)에 접속되고, 각 게이트신호선(G)은 1수평주사시간, 그 행의 박막트랜지스터(TFT1, TFT2)의 게이트전극에 주사구동전압(양의 바이어스전압 혹은 음의 바이어스전압)을 공급하는 게이트 드라이버(140)에 접속된다. 여기서, 도 1 에 나타낸 액정표시패널(10)은 1024 × 3 ×768화소로 구성된다.

도 1 에 있어서의 표시제어장치(100)는 1개의 반도체집적회로(LSI)로 구성되고, 컴퓨터본체측으로부터 반송되어 오는 클럭신호, 표시타이밍신호, 수평동기신호, 수직동기신호의 각 표시제어신호 및 표시용 데이터(R、G、B)를 근거로 드레인 드라이버(130) 및 게이트 드라이버(140)를 제어、구동한다.

표시제어장치(100)는 표시타이밍신호가 입력되면 이것을 표시개시위치로 판단하여 받은 표시데이터를 표시데이터의 버스라인(133)을 통해서 드레인 드라이버(130)로 출력한다. 그때, 표시제어장치(100)는 드레인 드라이버(130)의 데이터래치회로에 표시데이터를 래치하기 위한 표시제어신호인 표시데이터 래치용 클럭(CLK2)을 신호선(131)을 통해서 드레인 드라이버(130)로 출력한다. 여기서, 표시데이터는 각 원색마다 8비트인 24비트로 구성되어 있다.

또, 표시제어장치(100)는 표시타이밍신호의 입력이 완료되거나 또는 표시타이밍신호가 입력되고나서 소정의 일정 시간이 지나면 1수평주사선분의 표시데이터의 공급이 완료된 것으로 보고, 드레인 드라이버(130)의 래치회로에 축적해 놓은 표시데이터에 대응하는 계조전압을 액정표시패널(10)의 드레인 신호선(D)(도 2 및 도 3 참조)으로 출력하기 위한 표시제어신호인 출력타이밍 제어용 클럭(CLK1)을 신호선(132)을 통해서 드레인 드라이버(130)에 출력한다.

또, 표시제어장치(100)는 수직동기신호 입력후에 첫번째 표시타이밍신호가 입력되면 이것을 첫번째의 표시라인으로 판단하고 신호선(142)을 통해서 최초 게이트 드라이버(140)에 프레임개시 지시신호를 출력한다.

또한, 표시제어장치(100)는 수평동기신호에 근거하여 신호선(141)을 통해서 게이트 드라이버(140)로 1수평주사시간 주기의 시프트클럭인 클럭(CLK3)을 출력하고, 이로 인해 게이트 드라이버(140)는 1수평주사시간마다 순차 액정표시패널(10)의 각 게이트신호선(G)에 양의 바이어스전압을 인가한다.

이로 인해, 액정표시패널(10)의 각 게이트신호선(G)에 접속된 한 쌍의 박막트랜지스터(TFT1, TFT2)가 1수평주사시간의 간도통을 한다.

이상의 동작에 의해 액정표시패널(10)에 화소가 표시된다.

도 4 는 도 1 에 나타낸 내부전원회로(110)의 개략적인 구성을 나타낸 블럭도이다.

도 4 에 나타낸 내부전원회로(110)는 양전압 생성회로(121), 음전압 생성회로(122), 공동전극(대향전극)전압생성회로(123), 게이트전극 전압생성회로(124)로 구성된다.

양전압 생성회로(121), 음전압 생성회로(122)는 각각 직렬저항 분압회로로 구성되고 양전압 생성회로(121)는 양극성의 9치의 계조기준전압(V0 V8)을, 음전압 생성회로(122)는 음극성의 9치의 계조기준전압(V9 V17)을 출력한다.

상기 양극성의 계조기준전압(V0 V8) 및 음극성의 계조기준전압(V9 V17)은 각 드레인 드라이버(130)에 공급된다.

공동전극 전압생성회로(123)는 공동전극(ITO2)에 인가하는 구동전압을, 게이트전극 전압생성회로(124)는 박막트랜지스터(TFT1, TFT2)의 게이트전극에 인가하는 구동전압(양의 바이어스전압 및 음의 바이어스전압)을 생성한다.

또, 각 드레인 드라이버(130)에는 표시제어장치(100)로부터의 교류화 신호(교류화 타이밍신호;M)도 공급되나 도 1에서는 생략하고 있다.

일반적으로 액정층(LC)은 장시간 동일한 전압(직류전압)이 인가되고 있으면 액정층(LC)의 기울기가 고정화되어 결과적으로 잔상현상을 일으키고 액정층(LC)의 수명을 단축시키게 된다.

이를 방지하기 위하여, 종래의 액정표시장치에 있어서는 액정층(LC)에 인가하는 액정구동전압을 어느 일정시간마다 교류화, 즉 공동전극(ITO2)의 액정구동전압을 기준으로 하여 화소전극(ITO1)에 인가되는 액정구동전압을 일정시간마다 양전압측/음전압측으로 변화시키도록 하고 있다.

이 액정층(LC)에 교류전압을 인가하는 구동방법으로서, 공동전극 전압대칭법과, 공동전극 전압반전법의 2종류의 방법이 알려져 있다.

공동전극 전압반전법이란, 공동전극(ITO2)과 화소전극(ITO1)에 인가되는 전압을 함께 일정시간마다 상호 반전시키는 방법이고, 또 공동전극 전압대칭법이란 공동전극(ITO2)에 인가되는 전압을 일정하게 하고, 화소전극(ITO1)에 인가하는 전압을 공동전극(ITO2)에 인가되는 전압을 기준으로 하여 일정시간마다 상호 교대로 양,음으로 반전시키는 방법이다.

상기 공동전극 전압대칭법은 화소전극(ITO1)에 인가되는 전압의 진폭이 공동전극 전압반전법의 경우에 비해 2배가 되고, 저전압의 드라이버를 사용할 수 없다는 결점이 있으나, 저소비전력과 표시품질 면에서 뛰어난 도트반전법 혹은 V라인반전법이 사용가능하다.

액정표시모듈에 있어서, 상기 도트반전법을 사용하므로써 이웃한 드레인 신호선(D)에 인가되는 전압이 역극성이 되기 때문에 공동전극(ITO2)이나 게이트전극(G)에 흐르는 전류가 이웃한 것끼리 서로 상쇄하여 소비전력을 저감시킬 수 있다.

또, 공동전극(ITO2)에 흐르는 전류가 적고 전압강하가 커지지 않기 때문에 공동전극(ITO2)의 전압레벨이 안정되고 표시품질의 저하를 최소한으로 억제할 수 있다.

도 5 는 도 1 에 나타낸 드레인 드라이버(130)의 일예의 개략적인 구성을 나타낸 블럭도이다.

또, 드레인 드라이버(130)는 1개의 반도체집적회로(반도체칩)로 구성된다.

도 5 에 있어서, 양극성 계조전압 생성회로(151)는 양전압 생성회로(121)(도 4 참조)로부터 입력되는 양극성의 9치의 계조기준전압(V0 V8)에 근거해서 양극성의 256계조분의 계조전압을 생성하고 디코더회로(156)에 출력한다.

음극성 계조전압 생성회로(152)는 음전압 생성회로(122)로부터 입력되는 음극성의 9치의 계조기준전압(V9 V17)에 근거하여 음극성의 256계조분의 계조전압을 생성하고 디코더회로(156)에 출력한다.

또, 드레인 드라이버(130)의 래치 어드레스 셀렉터(153)는 표시제어장치(100)로부터 입력되는 표시데이터 래치용 클럭(CLK2)에 근거하여 래치회로(1)(154)의 데이터 취입용 신호를 생성하고 래치회로(1)(154)에 출력한다.

래치회로(1)(154)는 래치 어드레스 셀렉터(153)로부터 출력되는 데이터 취입용 신호에 근거하여 표시제어장치(100)로부터 입력되는 표시데이터 래치용 클럭(CLK2)에 동기하여 각 색마다 8비트의 표시데이터를 드레인 드라이버로부터의 출력 수 만큼만 래치한다.

래치회로(2)(155)는 표시제어장치(100)로부터 입력되는 출력타이밍 제어용 클럭(CLK1)에 대응하여 래치회로(1)(154)내의 표시데이터를 래치한다.

상기 래치회로(2)(155)에 취입된 표시데이터는 레벨시프트회로를 통해서 디코더회로(156)에 입력된다.

디코더회로(156)는 양극성의 256계조분의 계조전압, 혹은 음극성 256계조분의 계조전압 중에서 표시데이터에 대응하는 1개의 계조전압을 선택하여 출력앰프회로(157)에 출력한다.

출력앰프회로(157)는 입력된 계조전압을 전류증폭하여 각 드레인 신호선(D)(도 2 및 도 3 참조)(도 5 의 Y1, Y2, ... Y384)에 출력한다.

또, 도 5 에 있어서 바이어스회로(158)는 출력앰프회로(157)내의 정전류원의 전류치를 결정한다.

또, 클럭제어회로(159)는 스타트펄스(EI01, EI02)를 생성함과 동시에 내부타이밍신호를 생성한다.

또한, 데이터 반전회로(160)는 드레인 신호선(D)에 인가되는 계조전압이 양극성인지 혹은 음극성인지에 따라서, 즉 POL1신호, POL2신호에 따라 입력되는 표시데이터의 반전 혹은 비반전처리를 행한다.

도 6 은 도 5 에 나타낸 양극성 계조전압 생성회로(151) 혹은 음극성 계조전압 생성회로(152)의 회로구성을 나타낸 회로도이다.

또, 도 6 에 있어서, V ' 0 V ' 8은 양극성 혹은 음극성의 9치의 계조기준전압(V0 V8, V9 V17)을 나타낸다.

도 6 에 나타낸 바와 같이, 계조전압 생성회로는 양극성 혹은 음극성의 9치의 계조기준전압(V0 V8, V9 V17)간을 다수의 저항소자(resistor elements)로 분압해서 양극성 혹은 음극성의 256계조의 계조전압을 생성하는 저항분압회로로 구성된다.

이 경우에 각 계조기준전압간에 접속되는 각 저항소자의 저항치는 액정층에 인가하는 전압과 투과율과의 관계에 맞추어 소정의 연결이 되어 있다.

도 7 은 반도체집적회로(반도체칩)내에서의 종래의 계조전압 생성회로의 레이아웃을 나타낸 부분 단면도이다.

종래의 계조전압 생성회로는 알루미늄 등으로 형성되는 다수의 계조전압배선(19)과, 해당 계조전압배선(19)의 아래에 층간절연막(22)을 통해서 확산저항막 등에 의해 형성되는 저항체(20)와, 상기 층간절연막(22)에 형성된 콘택트홀(300)을 통해서 상기 계조전압배선(19)과 저항체(20)를 접속하는 다수의 접속부(21)로 구성된다.

디코더(200) 및 출력앰프회로(210)의 입력인피던스는 고인피던스로 정상 전류는 흐르지 않으므로 종래의 저항분압회로에서는 정상적으로 흐르는 정상전류는 저항체(20)의 각 계조기준전압간을 흐르게 된다.

이 경우에, 각 계조기준전압간에 접속되는 각 저항소자(resistor element)의 저항치는 전류경로가 되는 저항체(20)의 각 계조기준전압간 길이(L)/저항체(20)의 폭(W)×저항체(20)의 시트저항치로 결정된다.

그러나, 종래의 저항분압회로에서는 접속부(21)가 저항체(20)의 전류경로내에 설치된다.

이로 인해, 상기 층간절연막(22)에 형성된 콘택트홀(300) 치수의 제조편차 등에 의해 저항체(20)의 각 계조전압간 길이, 예를 들면 도 7 에 있어서의 L1, L2, L3 등에 편차가 생기고, 이로 인해, 저항분압회로의 각 저항치에도 편차가 생겨 저항분압회로에서 생성되는 계조전압에 편차가 생기고 만다.

그리고, 256계조의 계조전압을 생성할 경우에, 각 계조전압의 전압차는 지극히 작으므로, 저항체(20)의 각 계조전압간 길이(L)의 편차에 의해 생기는 계조전압의 편차에 의한 영향이 크고, 이로 인해 액정표시패널(10)의 표시화면의 표시품질이 훼손되게 된다.

또한, 저항체(20)의 전류경로내에 접속부(21)를 위치시켜두기 때문에 접속부(21)의 콘택트면적에 제한이 생겨 콘택트면적을 작게 할 필요가 있어 출력앰프회로(210)로의 전달특성이 지연되게 된다.

도 8 은 반도체집적회로(반도체칩)내에서의 본 실시형태의 계조전압 생성회로의 레이아웃을 나타낸 도면이다.

도 9 는 도 8 에 나타낸 IX-IX절단선을 따른 단면구조를 나타낸 단면도이다. 본 실시형태의 계조전압 생성회로도 알루미늄 등으로 형성되는 다수의 계조전압배선(19)과, 해당 계조전압배선(19)의 아래에 층간절연막(22)을 통해서 폴리실리콘 또는 확산저항막 등에 의해 형성되는 저항체(20)와, 상기 층간절연막(22)에 형성된 콘택트홀(300)을 경유해서 상기 계조전압배선(19)과 저항체(20)를 접속하기 위한, 예를 들면, 알루미늄 또는 텅스텐으로 이루어지는 다수의 접속부(21)로 구성된다.

그러나, 본 실시형태에서는 저항체(20)에 돌출부(23)를 형성하고, 상기 돌출부(23)에 계조전압배선(19)과 저항체(20)를 접속하는 접속부(21)를 위치시켜두고 있다. 즉, 본 실시형태에서는 저항체(20)의 전류경로외에 접속부(21)를 형성하도록 하고 있다.

이 경우에, 저항분압회로를 흐르는 정상전류는 저항체(20)내의 최단경로를 흐르고 저항체(20)의 외부측이 되는 돌출부(23)에는 흐르지 않는다.

이로 인해, 본 실시형태에서는 층간절연막(22)에 형성된 콘택트홀(300) 치수의 제조편차 등에 의해 저항체(20)의 각 계조전압간 길이(L)에 편차가 생기는 일이 없거나 적기 때문에 도 8 에 있어서 저항분압회로의 저항치 1, 저항치 2, 저항치 3...에 편차가 없거나 적다.

따라서, 저항분압회로에서 생성되는 계조전압에 편차가 생기는 일이 없고, 액정표시패널(10)의 표시화상의 표시품질을 향상시킬 수 있다.

또한, 콘택트홀(300)내에 형성되는 접속부(21)의 콘택트면적에도 제한이 없기 때문에, 콘택트면적을 종래보다 확대할 수 있고, 출력앰프회로(210)로의 전달특성에 지연이 생기는 것을 방지할 수 있다.

다음으로, 액정표시장치용 드레인 드라이버에 있어서의 앰프회로에 바이어스전류를 공급하는 바이어스회로에 관한 본 발명의 실시형태를 설명한다.

우선, 도 10 을 이용하여 종래의 바이어스회로의 기본회로 구성의 일예를 설명한다.

도 10 에 나타낸 바이어스회로는 커런트 미러 회로를 구성하는 p형 MOS트랜지스터(이하, 간단하게 PMOS라 부른다)(M2, M3)와, PMOS(M2)에 종속접속되는 n형 MOS트랜지스터(이하, 간단하게 NMOS라 부른다)(M1)와 PMOS(M3)에 종속접속되는 NMOS(M5)로 구성된다.

여기서, NMOS(M1)의 게이트에는 VB의 바이어스전압이 인가되고, 상기 바이어스전압(VB)에 의해 NMOS(M1)를 흐르는 전류(io)는 PMOS(M2, M3)로 구성되는 커런트 미로 회로의 효과에 의해 NMOS(M5)에 전류(ia)를 흐르게 한다.

NMOS(M5)의 게이트전압(VG)은 출력앰프회로(210)(도 6 참조)내의 정전류원을 구성하는 NMOS의 게이트에 인가된다. 여기서 NMOS(M)는 그 게이트와 드레인이 공통으로 접속되어 있으므로, 상기 NMOS(M5)와 출력앰프회로(210)내의 정전류원을 구성하는 NMOS는 또한 커런트 미로 회로를 구성한다.

따라서, 출력앰프회로(210)내의 정전류원을 구성하는 NMOS에는 바이어스전압(VB)에 의해 결정되는 전류(io)에 의해 결정되는 전류가 흐르게 된다.

그러나, 종래의 바이어스회로는 전원전압으로서 드레인 드라이버(130)(도 1 참조)의 전원전압(VDD)이 인가되고, 이 전원전압(VDD)이 고전압이기 때문에 높은 절연파괴전압을 갖는 MOS트랜지스터로 구성할 필요가 있었다.

그러나, 상기한 바와 같이, 높은 절연파괴전압을 갖는 MOS트랜지스터는 일반적으로 내압 확보를 위하여 게이트산화막의 막두께가 두껍고, 또한 전계완화영역이 필요하기 때문에 MOS트랜지스터소자의 편차(임계값 전압 등)가 낮은 절연파괴전압을 갖는 MOS트랜지스터에 비해서 크다. 이 때문에 드레인 드라이버(반도체칩)(130)마다 바이어스회로로부터 앰프회로를 구성하는 차동증폭기의 정전류원으로 공급하는 전류치에 편차가 생겨 액정표시패널(10)의 표시화상에 드레인 드라이버(130)마다 휘도편차가 발생할 우려가 있고 액정표시패널(10)의 표시화상의 표시품질을 훼손시키는 문제점이 있었다.

이것을 방지하기 위해서는 도 11 에 나타낸 바와 같이 전원전압으로서 드레인 드라이버(130)에 입력되는 디지털신호회로용의 낮은 전원전압(VCC)을 사용하여 내압이 낮은 MOS트랜지스터로 바이어스회로를 구성하는 것을 생각할 수 있다.

그러나, 저소비전력화 및 저EMI(Electromagnetic Interference)화를 위하여 드레인 드라이버(130)에 입력되는 디지털전압의 전압범위가 작아지고 있어, 이로 인해, 도 11 에 나타낸 바와 같은 바이어스회로에서는 각 MOS트랜지스터의 포화동작상태를 충족시킬 수 없게 되고 있어 커런트 미로 회로의 특성을 잃게 되고 마는 문제점이 있었다.

다음으로, 도 12 를 이용하여 본 실시형태의 바이어스회로의 기본회로 구성의 일예를 설명한다.

도 12 에 나타낸 바이어스회로는 NMOS(M1, M5)로서 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용하고, PMOS(M2)와 NMOS(M1)의 사이에 높은 절연파괴전압을 갖는 NMOS(Mo1)를, 또 PMOS(M3)과 NMOS(M5) 사이에 높은 절연파괴전압을 갖는 NMOS(Mo2)를 접속한 점에서 도 11 에 나타낸 바이어스회로와 상이하다.

여기서, NMOS(Mo1, Mo2)의 게이트에는 GND의 전원전압과 VDD의 전원전압을 분압저항에 의해 분압한 VC의 일정전압이 인가된다.

이때, NMOS(M1)의 드레인전압(즉, NMOS(Mo1))의 소스전압은 VC-Vth(Mo1)정도가 된다.

여기서, Vth(Mo1)는 NMOS(Mo1)의 임계값 전압이다.

따라서, NMOS(M5)의 게이트전압을 Vo로 했을 때, Vo-Vth(Mo1)를 NMOS(M1)의 내압 범위내의 전압이 되도록 VC의 전압을 설정하면 전류치를 결정하는 NMOS(M1)에는 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용할 수 있게 된다.

일반적으로 낮은 절연파괴전압을 갖는 MOS트랜지스터의 내압은 5V이하이므로 (Vo-Vth(Mo1))의 전압범위를 5V이하로 하면 된다.

또, NMOS(Mo2)는 출력앰프회로(210)(도 6 참조)의 회로구성에 맞추어 바이어스출력단에 낮은 절연파괴전압을 갖는 MOS트랜지스터가 필요하기 때문에 설치하고 있으나 출력앰프회로(210)의 회로구성으로서 낮은 절연파괴전압을 갖는 MOS트랜지스터가 필요하지 않다면 상기 NMOS(Mo2)는 필요없다.

일반적으로, 낮은 절연파괴전압을 갖는 MOS트랜지스터에는 임계값 등의 트랜지스터소자의 편차가 적기 때문에 본 실시형태에서는 바이어스회로로부터 출력앰프회로(210)를 구성하는 차동증폭기의 정전류원으로 공급하는 전류치에 편차가 생기는 일이 없고, 이로 인해, 액정표시패널(10)의 표시화상의 표시품질을 향상시킬 수 있다.

도 13 은 본 실시형태에 있어서의 바이어스회로의 기본회로 구성의 다른 예를 나타낸 회로도이다.

도 13 에 나타낸 바이어스회로는 커런트 미로 회로를 2단구성으로 한 회로이다. 상기 도 13 에 나타낸 회로에 있어서, NMOS(M4)와 NMOS(M5)의 사이즈가 동일하고 NMOS(M5)의 게이트전압을 Vo, NMOS(M4)의 게이트전압을 2Vo로 하고, NMOS(M1, M4, M5)의 임계값 전압이 모두 동일하다면 각 NMOS(M1, M4, M6)에 흐르는 전류는 하기(1)식과 같이 표시된다.

수학식 1

$io = \beta 1(VB - Vth)/2$

$io' = \beta 5(Vo - Vth)/2$

$ia = \beta 6(2Vo - Vth)/2$ 、、、、、、、、、、、、、、、、(1)

여기서, β는 정수로서 β1:β5 = 1:4로 하므로써 전류(ia)의 전류치가 NMOS(M1, M4, M5)의 임계값 전압의 영향을 받지 않게 할 수 있다.

도트반전구동법에서는 출력앰프회로(210)는 양극성의 계조전압을 증폭하는 고전압 앰프회로와, 음극성의 계조전압을 증폭하는 저전압 앰프회로로 구성된다.

도 14 는 양극성의 계조전압을 증폭하는 고전압 앰프회로의 기본회로 구성을 나타내는 회로도이고, 도 15 는 음극성의 계조전압을 증폭하는 저전압 앰프회로의 기본회로 구성을 나타내는 회로도이다.

도 14 , 도 15 에 나타낸 앰프회로는 모두 차동증폭기로 구성된다.

상기 도 14, 도 15 에 나타낸 앰프회로에 바이어스전류를 공급하기 위한 도 13에 나타낸 기본 바이어스회로를 사용하는 바이어스회로를 도 16 에 나타낸다.

도 16 에 나타낸 바이어스전압(VGN)이 도 14 에 나타낸 차동증폭회로의 바이어스전압으로서, 또 도 16 에 나타낸 바이어스전압(VGP)이 도 15 에 나타낸 차동증폭회로의 바이어스전압으로서 각각 공급된다.

상기 바이어스회로에서는 전류(iHn, iLp)는 NMOS(M1, M6)에서 거의 결정되므로 상기 NMOS(M1, M6)에는 트랜지스터소자의 편차가 적은 낮은 절연파괴전압을 갖는 MOS트랜지스터가 사용되고 있다.

이로 인해, 높은 절연파괴전압을 갖는 NMOS(Mo1, Mo2, Mo3, Mo4, M11)가 각각 전류라인에 추가되어 있다.

도 17 은 본 실시형태의 바이어스회로의 기본회로 구성의 다른 예를 나타낸 회로도이다.

도 17 에 나타낸 바이어스회로는 NMOS(M1, M5)로서 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용하고, PMOS(M2)와 NMOS(M1)사이에 다이오드접속된 높은 절연파괴전압을 갖는 NMOS(Mo 1)를 또, PMOS(M3)와 NMOS(M5) 사이에 다이오드접속된 높은 절연파괴전압을 갖는 NMOS(Mo2)를 접속한 점에서 도 13 에 나타낸 바이어스회로와 상이하다.

도 17 에 나타낸 바이어스회로에서는 NMOS(Mo1)의 게이트전압은 NMOS(Mo1)의 드레인전압(즉, PMOS(M2)의 드레인전압)이 된다.

이때, PMOS(M2)의 드레인전압(Vgs(M2))은 하기(2)식과 같이 표시된다.

수학식 2

$$Vgs(M2) = \sqrt{((2 \cdot Id \cdot L)/(\mu \cdot Co \cdot W))} + Vth(M2)$$

여기서, Id는 PMOS(M2)의 드레인전류, L은 PMOS(M2)의 게이트길이, μ는 PMOS(M2)의 이동도, Co는 PMOS(M2)의 게이트용량, W는 PMOS(M2)의 게이트폭, Vth(M2)는 PMOS(M2)의 임계값 전압이다.

따라서, NMOS(M1)의 드레인전압(즉, NMOS(Mo1)의 소스전압)은 Vgs(M2) - Vth(Mo1)가 된다.

여기서, Vth(Mo1)는 NMOS(Mo1)의 임계값 전압이다.

따라서, Vgs(M2) - Vth(Mo1)을 NMOS(M1)의 내압 범위내의 전압이 되도록 하면 전류치를 결정하는 NMOS(M1)에는 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용할 수 있게 된다.

일반적으로, 낮은 절연파괴전압을 갖는 MOS트랜지스터 내압은 5V이하이므로 (Vo - Vth(Mo1))의 전압범위를 5V이하로 하면 된다.

또한, NMOS(M1)의 드레인전압(Vgs(M2) - Vth(Mo1))이 지나치게 클 경우에는 NMOS(Mo1)와 동일한 MOS트랜지스터의 직열로 추가해서 정리하면 된다.

예를 들면, NMOS(Mo1)와 NMOS(Mo1a)를 2개 직렬로 한 회로구성을 도 18 에 나타낸다.

도 17 에 나타낸 바이어스회로에 있어서, 도 13 과 동일하게 커런트 미로 회로를 2단 구성으로 할 수도 있고, 그 경우의 회로구성을 도 19 에 나타낸다.

상기 도 14, 도 15 에 나타낸 앰프회로에 바이어스전류를 공급하기 위한 도 17 에 나타낸 기본 바이어스회로를 사용하는 바이어스회로를 도 20 에 나타낸다.

도 20 에 나타낸 바이어스회로(VGN)가 도 14 에 나타낸 차동증폭회로의 바이어스전압으로서, 또 도 20 에 나타낸 바이어스전압(VGP)이 도 15 에 나타낸 차동증폭회로의 바이어스전압으로서 각각 공급된다.

상기 바이어스회로에서도 전류(iHn, iLp)는 NMOS(M1, M6)에서 거의 결정되므로 상기 NMOS(M1, M6)에는 트랜지스터소자의 편차가 적은 낮은 절연파괴전압을 갖는 MOS트랜지스터로 구성되어 있다.

이를 위하여 낮은 절연파괴전압을 갖는 NMOS(Mo1, Mo2, Mo3, Mo4, M11)가 각각 전류라인에 추가되어 있다.

이상, 본 발명자에 의해 이루어진 발명을 상기 발명의 실시형태에 근거하여 구체적으로 설명했으나, 본 발명은 상기 발명의 실시형태에 한정되는 것이 아니라, 그 취지를 이탈하지 않는 범위에 있어서 종종 변경가능한 것은 물론이다.

발명의 효과

본 출원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

(1)본 발명의 액정표시장치에 의하면 액정표시소자에 표시되는 표시화상의 표시품질을 향상시키는 것이 가능해진다.

(2)본 발명의 액정표시장치에 의하면 계조전압 생성회로에서 생성되는 각 계조전압에 편차가 생기는 것을 방지할 수 있게 된다.

(3)본 발명의 액정표시장치에 의하면, 바이어스회로내에 낮은 절연파괴전압을 갖는 MOS트랜지스터를 사용할 수 있으므로 앰프회로의 정전류원의 전류치를 각 영상신호선 구동회로마다 균일하게 할 수 있게 된다.

(57) 청구의 범위

청구항 1.

액정표시장치에 있어서,

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는데,

상기 영상 신호선 구동회로는,

다수의 계조전압을 생성하기 위해서 외부 전원공급회로로부터 공급되는 다수의 계조기준전압 사이의 전압을 분할하기 위한 전압-분할 저항기회로가 구비된 계조전압 생성회로, 및

상기 표시 데이터에 따라서 상기 다수의 계조전압 중 하나의 계조전압을 선택하기 위한 상기 다수의 영상 신호선에 대응하는 다수의 전압-셀렉터 회로를 구비하며,

상기 전압-분할 저항기회로는,

상기 계조전압을 생성하기 위해서 상기 다수의 계조기준전압 사이의 전압을 분할하기 위한 다수의 중간 탭이 구비된 저항체와,

상기 다수의 계조전압에 대응하는 다수의 계조전압선과,

상기 저항체로부터 상기 계조전압선을 절연하기 위한 중간층 절연필름, 및

상기 중간층 절연필름에 형성된 구멍을 통해서 상기 다수의 중간 탭 중 대응하는 하나에 상기 다수의 계조전압선 각각을 전기적으로 연결시키기 위한 다수의 접속부를 구비하고,

상기 다수의 접속부는 상기 저항체 내를 흐르는 전류의 전류 경로로부터 대치된 위치에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 다수의 중간 탭 각각은 상기 저항소자로부터 돌출부를 형성하고 상기 다수의 연결부 각각은 상기 돌출부 상에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3.

액정표시장치에 있어서,

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는데,

상기 영상 신호선 구동회로는,

다수의 계조전압을 생성하기 위해서 외부 전원공급회로로부터 공급되는 다수의 계조기준전압 사이의 전압을 분할하기 위한 전압-분할 저항기회로가 구비된 계조전압 생성회로, 및

상기 표시 데이터에 따라서 상기 다수의 계조전압 중 하나의 계조전압을 선택하기 위한 상기 다수의 영상 신호선에 대응하는 다수의 전압-셀렉터 회로를 구비하며,

상기 전압-분할 저항기회로는,

상기 계조전압을 생성하기 위해서 상기 다수의 계조기준전압 사이의 전압을 분할하기 위한 다수의 중간 탭이 구비된 저항체,

상기 다수의 계조전압에 대응하는 다수의 계조전압선,

상기 저항체로부터 상기 계조전압선을 절연하기 위한 중간층 절연필름, 및

상기 중간층 절연필름에 형성된 구멍을 통해서 상기 다수의 중간 탭 중 대응하는 하나에 상기 다수의 계조전압선 각각을 전기적으로 연결시키기 위한 다수의 접속부를 구비하고,

상기 다수의 중간 탭 각각은 상기 저항소자로부터 상기 다수의 계조전압선이 연장하는 방향으로 돌출하는 돌출부를 형성하고 상기 다수의 접속부 각각은 상기 돌출부 상에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 4.

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는,

상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및

상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 전류 미러회로를 갖는 바이어스 회로를 구비하고,

제 1 기준전원 공급전압이 공급되는 제 1 전원공급 전압선과 제 2 기준전원 공급전압이 공급되는 제 2 전원공급 전압선 사이에서, 상기 전류 미러회로는 낮은 절연파괴전압을 가지고 제 1 전도성 형태로 된 제 1 트랜지스터 소자와,

상기 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 제 2 전도성 형태로 되며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및

상기 제 1 전도성 형태로서, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결되고 제어전극에 인가되는 고정 바이어스 전압을 갖는 하나 이상의 제 3 트랜지스터 소자로서, 상기 고정 바이어스 전압은 상기 제 1 및 제 2 기준전원 공급전압 사이에 있는 상기 제 3 트랜지스터 소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 고정 바이어스 전압은 상기 제 1 및 제 2 기준전원 공급전압 사이의 전압을 분리하는 전압분리회로에 의해 제공되는 것을 특징으로 하는 액정표시장치.

청구항 6.

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는,

상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및

상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 전류 미러회로를 갖는 바이어스 회로를 구비하고,

제 1 기준전원 공급전압이 공급되는 제 1 전원공급 전압선과 제 2 기준전원 공급전압이 공급되는 제 2 전원공급 전압선 사이에서, 상기 전류 미러회로는 낮은 절연파괴전압을 가지고 제 1 전도성 형태로 된 제 1 트랜지스터 소자,

상기 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 제 2 전도성 형태로 되며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및

상기 제 1 전도성 형태로서, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결되고 상기 제 2 트랜지스터 소자에 연결되는 단자에 연결되는 제어전극을 갖는 하나 이상의 제 3 트랜지스터 소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는,

상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및

상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 바이어스 회로를 구비하고,

상기 바이어스 회로는 제 1 직렬결합 및 제 2 직렬결합을 포함하는데,

(a) 상기 제 1 직렬결합은,

제 1 낮은 절연파괴전압을 갖고 제 1 전도성 형태로 된 제 1 트랜지스터 소자와,

상기 제 1 절연파괴전압보다 높은 절연파괴전압을 갖고 제 2 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및

상기 제 1 낮은 절연파괴전압보다 높은 절연파괴전압을 갖고 상기 제 1 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결된 하나 이상의 제 3 트랜지스터 소자를 구비하는데,

상기 하나 이상의 제 3 트랜지스터 소자에 연결된 상기 제 2 트랜지스터 소자의 단자는 상기 제 2 트랜지스터 소자의 제어전극에 연결되고,

상기 제 1 트랜지스터 소자의 제어전극에는 바이어스 전압이 공급되며,

(b) 상기 제 2 직렬결합은,

제 2 낮은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 된 제 4 트랜지스터 소자,

상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 2 전도성 형태로 되며, 상기 제 4 트랜지스터 소자에 직렬로 연결된 제 5 트랜지스터 소자, 및

상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 되며, 상기 제 4 트랜지스터 소자 및 상기 제 5 트랜지스터 소자 사이에 연결된 하나 이상의 제 6 트랜지스터 소자를 구비하고,

상기 제 5 트랜지스터 소자의 제어전극은 상기 제 2 트랜지스터 소자의 상기 제어전극에 연결되고,

상기 하나 이상의 제 6 트랜지스터 소자에 연결된 상기 제 4 트랜지스터 소자의 단자는 상기 제 4 트랜지스터 소자의 제어전극에 연결되고,

상기 제 4 트랜지스터 소자의 제어전극은 출력을 내보내도록 구성되는데,

상기 제 1 직렬 결합 및 상기 제 2 직렬 결합의 병렬 결합이 제 1 기준전원 공급전압이 제공된 제 1 전원공급 전압선 및 제 2 기준전원 공급전압이 제공된 제 2 전원공급 전압선 사이에 연결되고, 상기 제 1 및 제 2 기준전원 공급전압 사이의 중간전압이 상기 하나 이상의 제 3 트랜지스터 소자 및 상기 하나 이상의 제 6 트랜지스터 소자의 제어전극에 인가되는 것을 특징으로 하는 액정표시장치.

청구항 8.

매트릭스 형상으로 배열된 다수의 화소와 표시 데이터에 따라서 상기 다수의 화소 각각으로 영상 신호전압을 인가하기 위한 다수의 영상 신호선을 구비한 액정표시소자 및 상기 다수의 영상 신호선으로 상기 영상 신호전압을 인가하기 위한 영상 신호선 구동회로를 포함하는 액정표시장치에 있어서, 상기 영상 신호선 구동회로는,

상기 다수의 영상 신호선에 대응하는 다수의 증폭기로서, 상기 다수의 증폭기 각각이 상기 다수의 신호선 중 대응하는 하나에 상기 영상 신호전압을 출력하는, 상기 다수의 증폭기, 및

상기 다수의 증폭기 각각에 있는 일정 전류원의 전류를 제어하기 위한 바이어스 회로를 구비하고,

상기 바이어스 회로는 제 1 직렬결합 및 제 2 직렬결합을 포함하는데,

(a) 상기 제 1 직렬결합은,

제 1 낮은 절연파괴전압을 갖고 제 1 전도성 형태로 된 제 1 트랜지스터 소자,

상기 제 1 절연파괴전압보다 높은 절연파괴전압을 갖고 제 2 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자에 직렬로 연결된 제 2 트랜지스터 소자, 및

상기 제 1 낮은 절연파괴전압보다 높은 절연파괴전압을 갖고 상기 제 1 전도성 형태로 되어 있으며, 상기 제 1 트랜지스터 소자 및 상기 제 2 트랜지스터 소자 사이에 연결된 하나 이상의 제 3 트랜지스터 소자를 구비하는데,

상기 하나 이상의 제 3 트랜지스터 소자에 연결된 상기 제 2 트랜지스터 소자의 단자는 상기 제 2 트랜지스터 소자의 제어전극에 연결되고,

상기 제 1 트랜지스터 소자의 제어전극에는 바이어스 전압이 공급되며,

(b) 상기 제 2 직렬결합은,

제 2 낮은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 된 제 4 트랜지스터 소자,

상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 2 전도성 형태로 되며, 상기 제 4 트랜지스터 소자에 직렬로 연결된 제 5 트랜지스터 소자, 및

상기 제 2 낮은 절연파괴전압보다 높은 절연파괴전압을 가지고 상기 제 1 전도성 형태로 되며, 상기 제 4 트랜지스터 소자 및 상기 제 5 트랜지스터 소자 사이에 연결된 하나 이상의 제 6 트랜지스터 소자를 구비하고,

상기 제 5 트랜지스터 소자의 제어전극은 상기 제 2 트랜지스터 소자의 상기 제어전극에 연결되고,

상기 하나 이상의 제 6 트랜지스터 소자에 연결된 상기 제 4 트랜지스터 소자의 단자는 상기 제 4 트랜지스터 소자의 제어전극에 연결되고,

상기 제 4 트랜지스터 소자의 제어전극은 출력을 내보내도록 구성되는데,

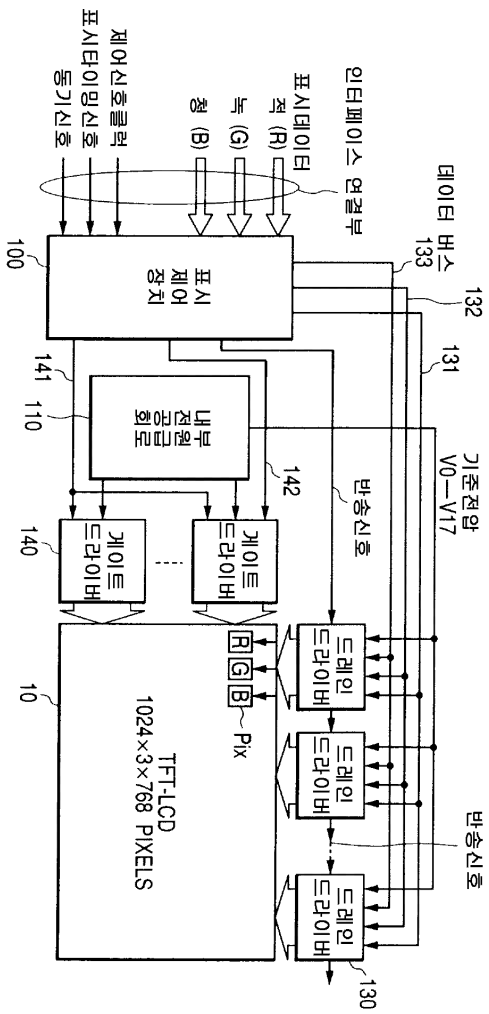
상기 제 1 직렬결합 및 상기 제 2 직렬결합의 병렬 결합이 제 1 기준전원 공급전압이 제공된 제 1 전원공급 전압선 및 제 2 기준전원 공급전압이 제공된 제 2 전원공급 전압선 사이에 연결되고,

상기 하나 이상의 제 3 트랜지스터 소자의 제어전극이 상기 제 2 트랜지스터 소자에 연결된 상기 하나 이상의 제 3 트랜지스터 소자의 단자에 연결되고,

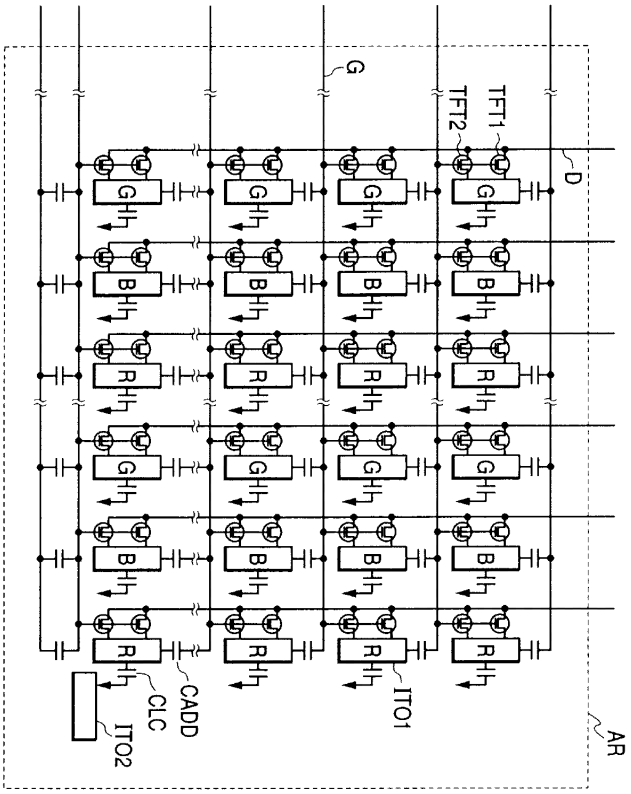
상기 하나 이상의 제 6 트랜지스터 소자의 제어전극이 상기 제 5 트랜지스터 소자에 연결된 상기 하나 이상의 제 6 트랜지스터 소자의 단자에 연결되는 것을 특징으로 하는 액정표시장치.

도면

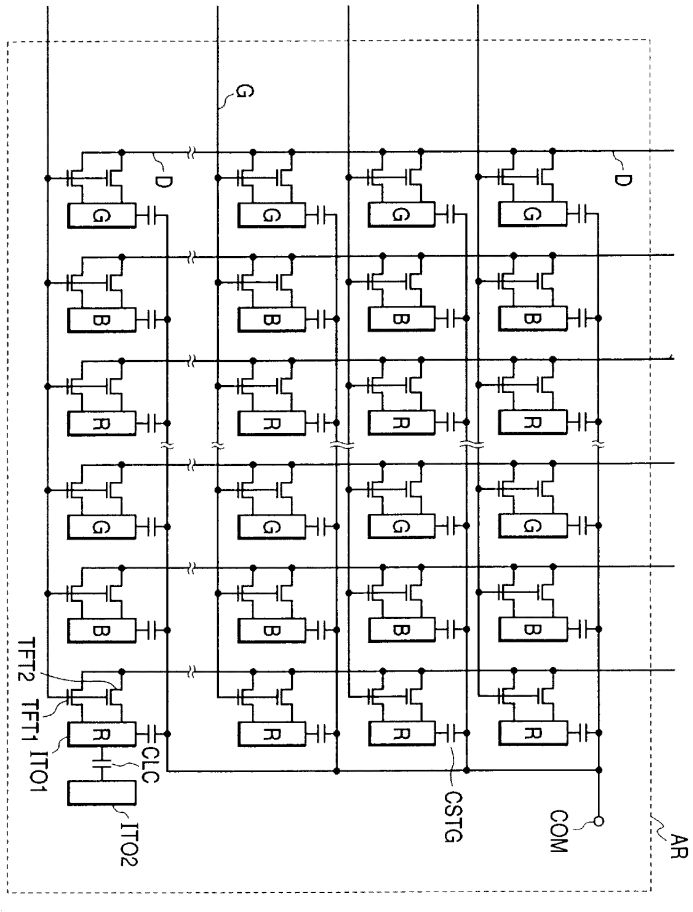
도면 1


제어신호클럭
표시타이밍신호
동기신호
표시데이터
적 (R)
녹 (G)
청 (B)
인터페이스 연결부
데이터 버스
133
132
131
100
표시 제어 장치
141
110
내부 전원 공급 회로
142
기준전압
V0—V17
반송신호
140
게이트 드라이버
게이트 드라이버
R
G
B
Pix
드레인 드라이버
드레인 드라이버
드레인 드라이버
반송신호
10
TFT-LCD
1024×3×768 PIXELS
130

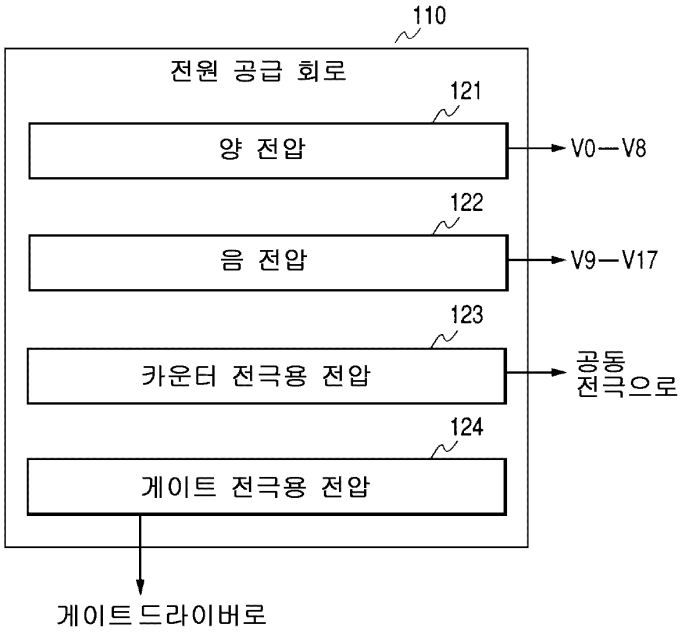
도면 2



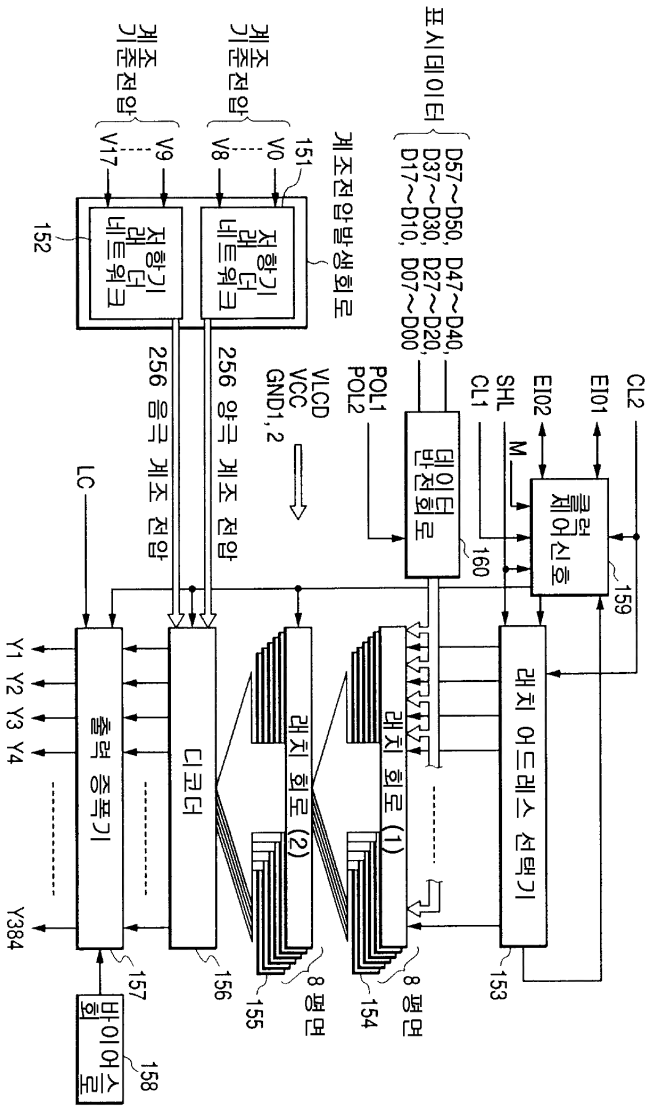
도면 3



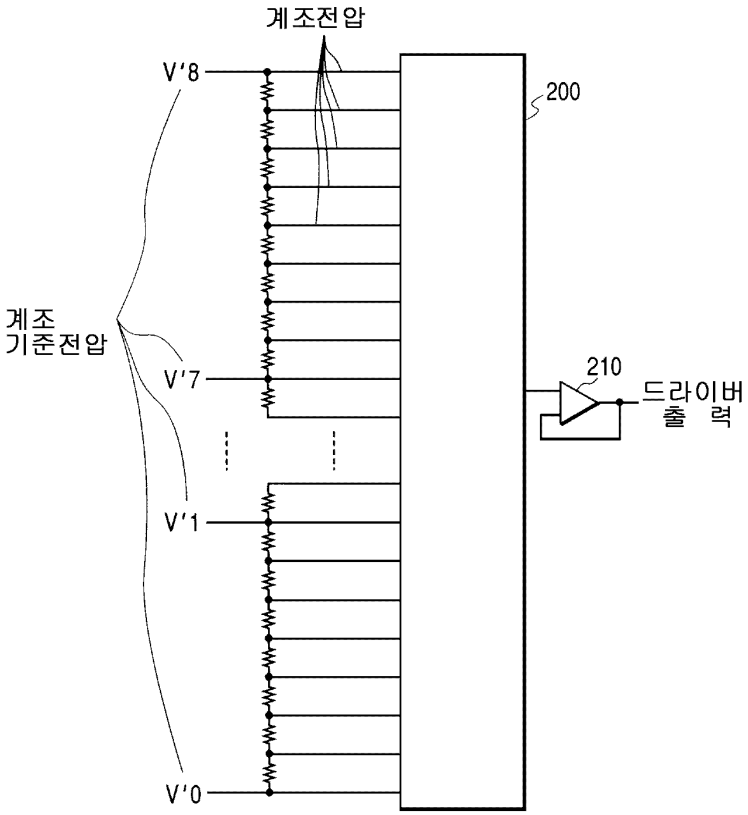
도면 4


110
전원 공급 회로
121
양 전압
V0—V8
122
음 전압
V9—V17
123
카운터 전극용 전압
공동 전극으로
124
게이트 전극용 전압
게이트드라이버로

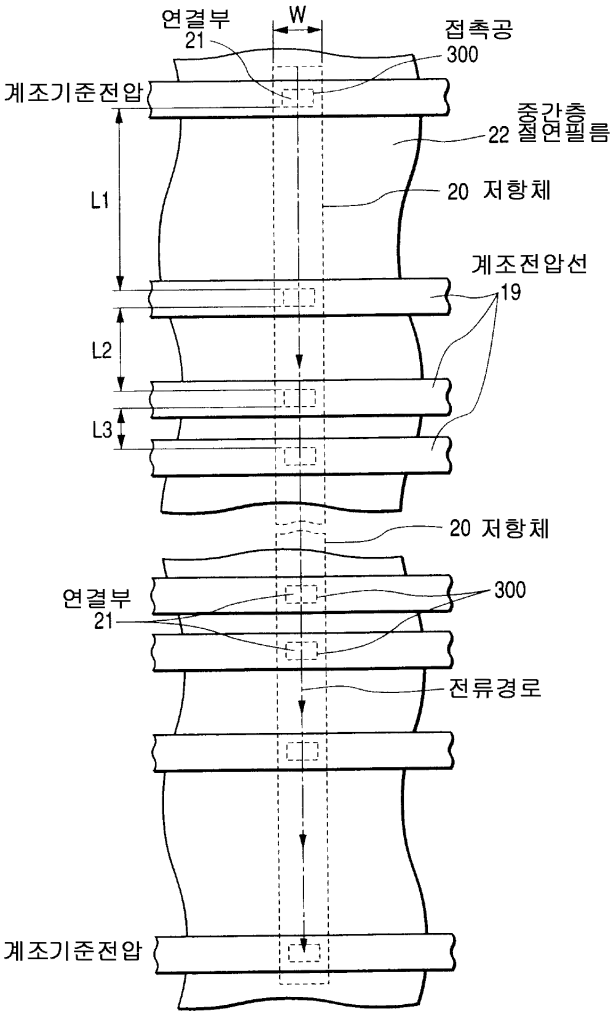
도면 5


표시데이터
D57~D50, D47~D40,
D37~D30, D27~D20,
D17~D10, D07~D00
계조전압
기준전압
V0
V8
V9
V17
151
152
저항기 래더 네트워크
계조전압발생회로
256 음극 계조 전압
256 양극 계조 전압
VLCD
VCC
GND1, 2
POL1
POL2
SHL
CL1
EI02
EI01
CL2
M
데이터 반전회로
160
클럭 제어신호
159
LC
래치 어드레스 선택기
153
래치 회로 (1)
래치 회로 (2)
8 평면
154
155
디코더
156
출력 증폭기
157
바이어스 회로
158
Y1 Y2 Y3 Y4
Y384

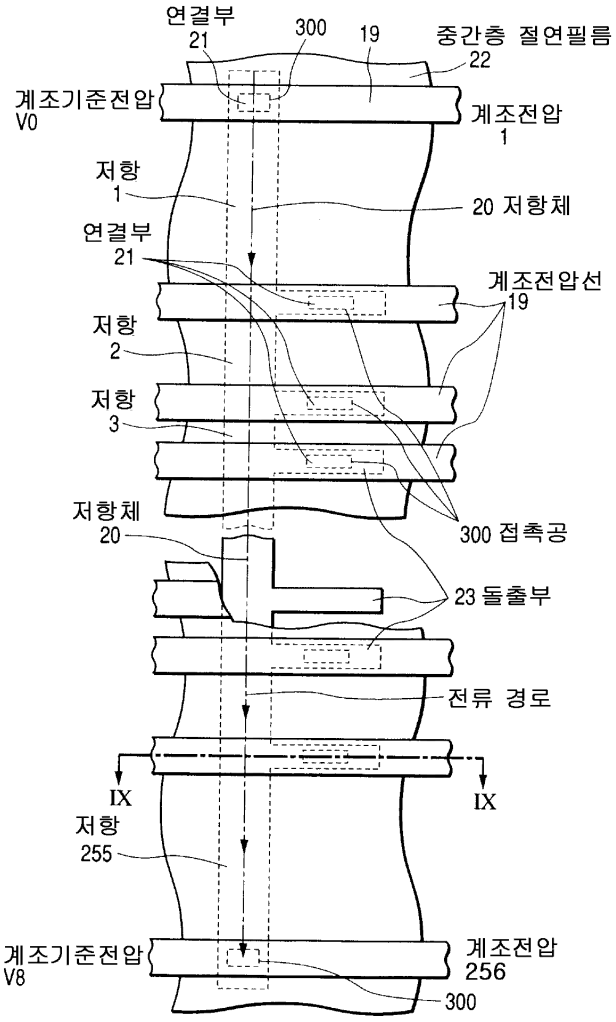
도면 6



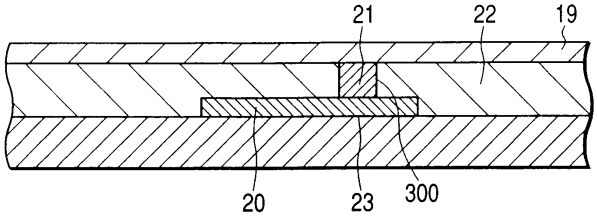
도면 7


연결부
21
W
접촉공
300
계조기준전압
중간층
절연필름
22
L1
20 저항체
계조전압선
19
L2
L3
20 저항체
연결부
21
300
전류경로
계조기준전압

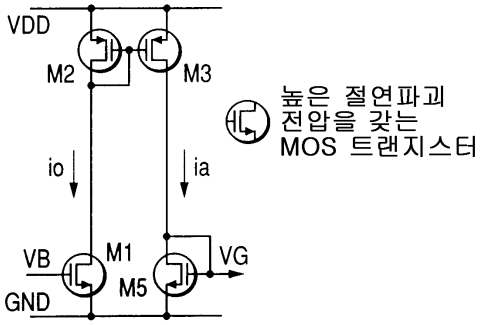
도면 8


연결부
21
300
19
중간층 절연필름
22
계조기준전압
V0
계조전압
1
저항
1
20 저항체
연결부
21
계조전압선
19
저항
2
저항
3
저항체
20
300 접촉공
23 돌출부
전류 경로
IX
IX
저항
255
계조기준전압
V8
계조전압
256
300

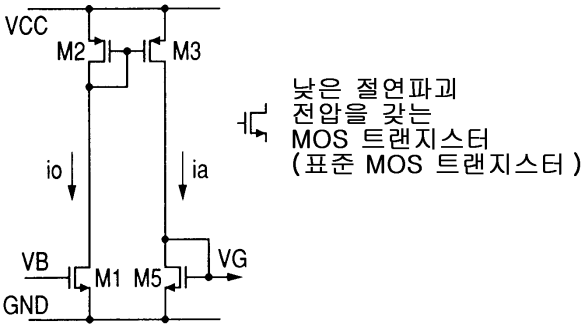
도면 9


21
22
19
20
23
300

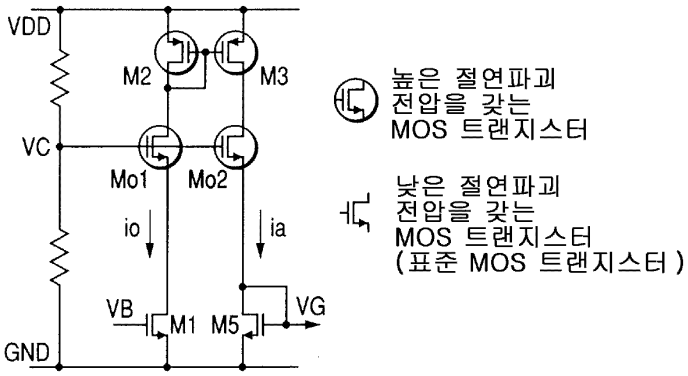
도면 10



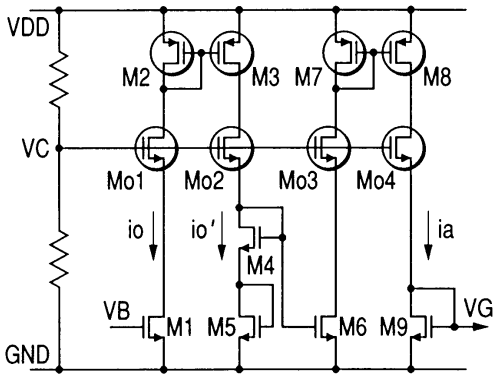
도면 11



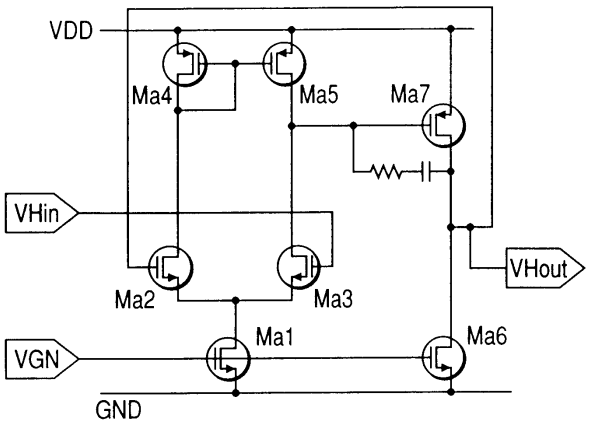
도면 12



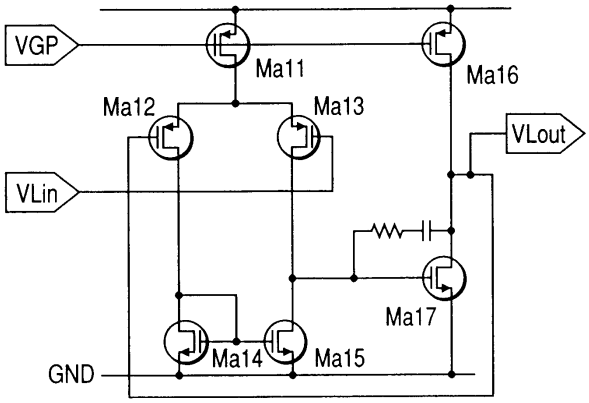
도면 13


VDD
VC
GND
M2
M3
M7
M8
Mo1
Mo2
Mo3
Mo4
io
io'
ia
M4
VB
M1
M5
M6
M9
VG

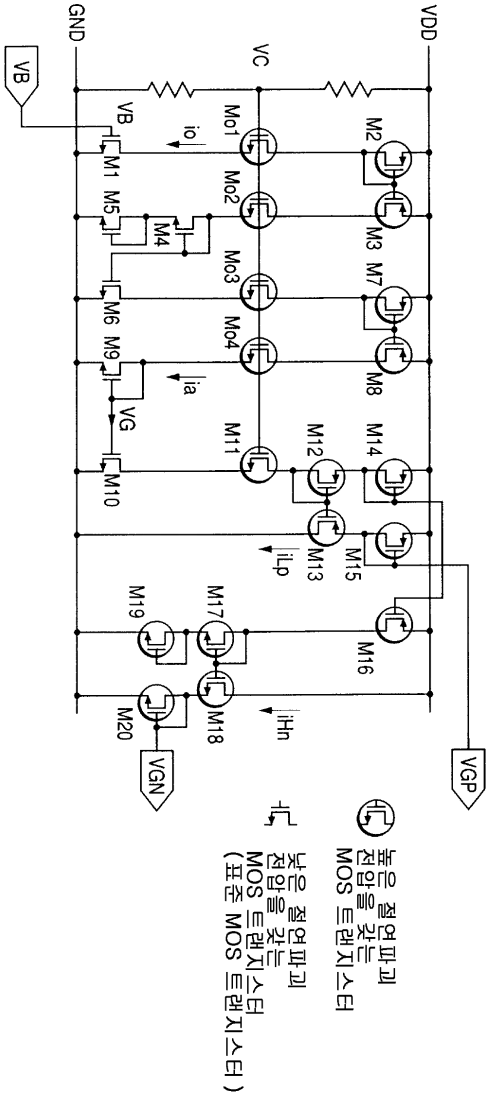
도면 14


VDD
Ma4
Ma5
Ma7
VHin
VHout
Ma2
Ma3
Ma1
Ma6
VGN
GND

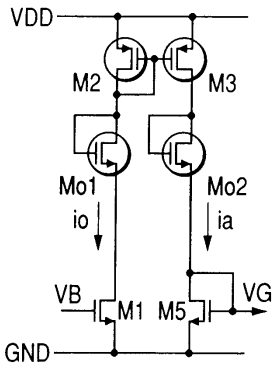
도면 15



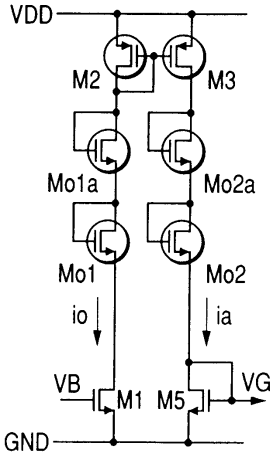
도면 16


GND
VDD
VC
VB
VG
VGN
VGP
io
ia
iLp
iHn
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M11
M12
M13
M14
M15
M16
M17
M18
M19
M20
Mo1
Mo2
Mo3
Mo4
높은 절연파괴 전압을 갖는 MOS 트랜지스터
낮은 절연파괴 전압을 갖는 MOS 트랜지스터 (표준 MOS 트랜지스터)

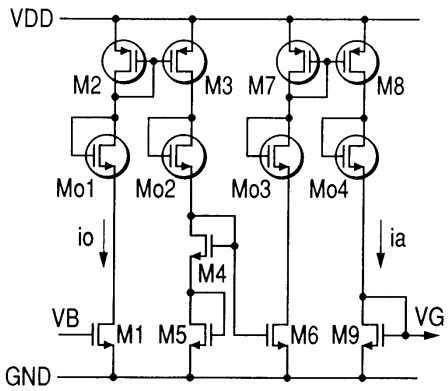
도면 17


VDD
M2
M3
Mo1
Mo2
io
ia
VB
M1
M5
VG
GND

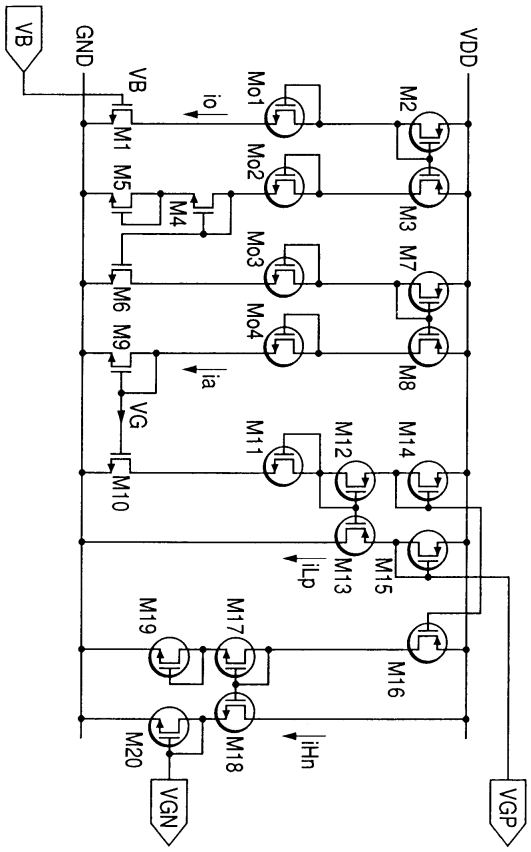
도면 18


VDD
M2
M3
Mo1a
Mo2a
Mo1
Mo2
io
ia
VB
M1
M5
VG
GND

도면 19


VDD
M2
M3
M7
M8
Mo1
Mo2
Mo3
Mo4
io
ia
M4
VB
M1
M5
M6
M9
VG
GND

도면 20


VB
GND
VDD
VB
io
Mo1
M2
M1
M5
Mo2
M4
M3
M7
Mo3
M6
M9
Mo4
M8
ia
VG
M11
M12
M14
M10
M13
M15
iLp
M19
M17
M16
M20
M18
iHn
VGN
VGP