

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 12 月 14 日 (14.12.2017)



(10) 国际公布号
WO 2017/210923 A1

(51) 国际专利分类号:
H01L 21/84 (2006.01) H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2016/086725

(22) 国际申请日: 2016 年 6 月 22 日 (22.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610399170.0 2016 年 6 月 7 日 (07.06.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 周星宇 (ZHOU, Xingyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: METHOD FOR MANUFACTURING TFT BACKPLANE AND TFT BACKPLANE

(54) 发明名称: TFT背板的制作方法及TFT背板

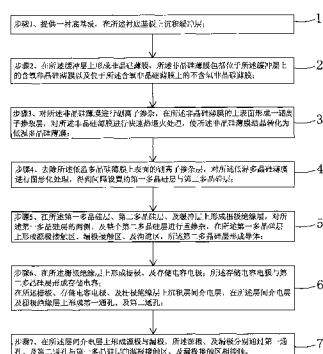


图1

- 1 Step 1, providing a base substrate, and depositing a buffer layer on the base substrate;
- 2 Step 2, forming an amorphous silicon thin film on the buffer layer, wherein the amorphous silicon thin film comprises an oxygen-containing amorphous silicon thin film on the buffer layer and an oxygen-free amorphous silicon thin film on the oxygen-containing amorphous silicon thin film;
- 3 Step 3, subjecting the amorphous silicon thin film to boron ion doping, to form a boron ion doped layer on the upper surface of the amorphous silicon thin film, and subjecting the amorphous silicon thin film to a rapid thermal annealing treatment, to convert the amorphous silicon thin film into a low-temperature polysilicon thin film;
- 4 Step 4, removing the boron ion doped layer on the upper surface of the low-temperature polysilicon thin film, and subjecting the low-temperature polysilicon thin film to a patterning process to obtain a first polysilicon layer and a second polysilicon layer disposed at intervals;
- 5 Step 5, forming a gate insulating layer on the first polysilicon layer, the second polysilicon layer, and the buffer layer, and heavily doping both sides of the first polysilicon layer and the entire second polysilicon layer, forming a source contact region, a drain contact region, and a channel region on the first polysilicon layer, and the second polysilicon layer forming a storage capacitor electrode and the second polysilicon layer forming a storage capacitor electrode; depositing an interlayer dielectric layer on the gate electrode, the storage capacitor electrode, and the gate insulating layer, and forming a first through hole and a second through hole on the interlayer dielectric layer; and the gate insulating layer;
- 6 Step 6, forming a gate electrode and a storage capacitor electrode on the gate insulating layer, wherein the source electrode and the drain electrode make contact with the source contact area and the drain contact area of the first polysilicon layer via the first through hole and the second through hole respectively;
- 7 Step 7, forming a source electrode and a drain electrode on the interlayer dielectric layer, wherein the source electrode and the drain electrode make contact with the source contact area and the drain contact area of the first polysilicon layer via the first through hole and the second through hole respectively;

(57) Abstract: Disclosed are a method for manufacturing a TFT backplane and a TFT backplane. The manufacturing method comprises manufacturing, on a buffer layer (20), an amorphous silicon thin film (310) comprising an oxygen-containing amorphous silicon thin film (311) and an oxygen-free amorphous silicon thin film (312) on the oxygen-containing amorphous silicon thin film, so that when the amorphous silicon thin film is subjected to a crystallization treatment using a boron ion induced solid phase crystallization method, since the contact interface between the amorphous silicon thin film and the buffer layer is the oxygen-containing amorphous silicon thin film, and the oxygen-containing amorphous silicon thin film does not tend to produce a crystal nucleus during high temperature crystallization, generation of a crystal nucleus only occurs in the boron ion doped layer on the upper surface of the amorphous silicon thin film, and the crystallization occurs from top to bottom, the crystalline grain is good in quality, the thin film is good in uniformity, thus achieving the effects of improving the quality of the crystal and improving the uniformity. The TFT backplane has a simple process, in which the crystalline quality and uniformity of the polysilicon layer are better, the performance of the TFT is improved and the driving effect thereof is enhanced.

(57) 摘要: 一种TFT背板的制作方法及TFT背板。该制作方法通过在缓冲层 (20) 上制作包括含氧非晶硅薄膜 (311) 以及位于含氧非晶硅薄膜上的不含氧非晶硅薄膜 (312) 的非晶硅薄膜 (310), 使得采用硼离子诱导固相结晶法对非晶硅薄膜进行晶化处理时, 由于非晶硅薄膜与缓冲层的接触界面为含氧非晶硅薄膜, 而含氧非晶硅薄膜在高温结晶过程中不容易产生晶核, 从而使得晶核的产生仅发生在非晶硅薄膜上表面的硼离子掺杂层中, 并且自上而下发生结晶, 晶粒质量好, 薄膜均一性好, 从而达到提高结晶质量及改善均一性的效果。该TFT背板, 制程简单, 其中多晶硅层的结晶质量与均一性较好, 提升了TFT的性能, 增强其驱动效果。

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

TFT 背板的制作方法 及 TFT 背板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 TFT 背板的制作方法 及 TFT 背板。

背景技术

OLED (Organic Light-Emitting Diode, 有机发光二极管) 显示器，也称为有机电致发光显示器，是一种新兴的平板显示装置，由于其具有制备工
10 艺简单、成本低、功耗低、发光亮度高、工作温度适应范围广、体积轻薄、响应速度快，而且易于实现彩色显示和大屏幕显示、易于实现和集成电路驱动器相匹配、易于实现柔性显示等优点，因而具有广阔的应用前景。

OLED 按照驱动方式可以分为无源矩阵型 OLED (Passive Matrix OLED, PMOLED) 和有源矩阵型 OLED (Active Matrix OLED, AMOLED)
15 两大类，即直接寻址和薄膜晶体管矩阵寻址两类。其中，AMOLED 具有呈阵列式排布的像素，属于主动显示类型，发光效能高，通常用作高清晰度的大尺寸显示装置。

薄膜晶体管 (Thin Film Transistor, 简称 TFT) 是 AMOLED 显示装置中的主要驱动元件，直接关系到高性能平板显示装置的发展方向。薄膜晶
20 体管具有多种结构，制备相应结构的薄膜晶体管的有源层的材料也具有多种，低温多晶硅 (Low Temperature Poly-silicon, 简称 LTPS) 材料是其中较为优选的一种，由于低温多晶硅的原子规则排列，载流子迁移率高，对于电流驱动式的有源矩阵驱动式有机电致发光显示装置而言，低温多晶硅薄膜晶体管可以更好的满足驱动电流要求。

25 目前采用的一种形成低温多晶硅薄膜的方法是硼离子 (Boron) 诱导固相晶化 (SPC) 法，该方法是在非晶硅 (a-Si) 薄膜的上表面植入硼离子诱导产生晶核，然后自上而下结晶最终形成多晶硅 (poly-Si) 薄膜，但是，在晶化过程中，通常在非晶硅薄膜的下表面，即非晶硅薄膜与缓冲 (buffer) 层的界面处也会随机产生一些晶核，发生自下而上的结晶，一般由于应力
30 作用，从下方开始的结晶缺陷比较多，堆叠也不是很好，另一方面下方随机的结晶，也会影响多晶硅薄膜整体的均一性。

发明内容

本发明的目的在于提供一种 TFT 背板的制作方法，在非晶硅薄膜的晶化过程中可抑制下表面晶核的形成，从而提高结晶质量，改善均一性。

本发明的目的还在于提供一种 TFT 背板，多晶硅层的结晶质量与均一性较好，提升了 TFT 的性能，增强其驱动效果。

5 为实现上述目的，本发明首先提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上沉积缓冲层；

步骤 2、在所述缓冲层上形成非晶硅薄膜，所述非晶硅薄膜包括位于所述缓冲层上的含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含氧非
10 晶硅薄膜；

步骤 3、对所述非晶硅薄膜进行硼离子掺杂，在所述非晶硅薄膜的上表面形成一硼离子掺杂层，对所述非晶硅薄膜进行快速热退火处理，使所述非晶硅薄膜结晶转化为低温多晶硅薄膜，所述低温多晶硅薄膜包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含
15 氧低温多晶硅薄膜；

步骤 4、去除所述低温多晶硅薄膜上表面的硼离子掺杂层，对所述低温多晶硅薄膜进行图形化处理，得到间隔设置的第一多晶硅层与第二多晶硅层；

步骤 5、在所述第一多晶硅层、第二多晶硅层、及缓冲层上形成栅极绝缘层，采用一道掩模对所述第一多晶硅层的两侧、及整个第二多晶硅层进行 N 型或者 P 型重掺杂，在所述第一多晶硅层的两侧形成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间的区域形成沟道区，所述第二多晶硅层经过 N 型或者 P 型重掺杂后形成导体；

步骤 6、在所述栅极绝缘层上形成对应于所述第一多晶硅层上方的栅极、及对应于所述第二多晶硅层上方的存储电容电极；所述存储电容电极与第二多晶硅层形成存储电容；

在所述栅极、存储电容电极、及栅极绝缘层上沉积层间介电层，在所述层间介电层及栅极绝缘层上形成分别对应于源极接触区及漏极接触区上方的第一通孔、及第二通孔；

30 步骤 7、在所述层间介电层上形成源极与漏极，所述源极、及漏极分别通过第一通孔、及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触。

所述含氧非晶硅薄膜的厚度为所述非晶硅薄膜的厚度的十分之一至二十分之一。

所述步骤 2 包括:

步骤 21、在所述缓冲层上方通入硅烷气体和氧气的混合气体, 在所述缓冲层上沉积得到含氧非晶硅薄膜;

5 步骤 22、在所述缓冲层上方通入硅烷气体, 在所述缓冲层上沉积得到不含氧非晶硅薄膜。

所述步骤 21 中, 所述硅烷气体的流量一直保持不变, 所述氧气的流量在步骤 21 开始时最大, 之后逐渐减小, 到步骤 21 结束时减少为零。

10 所述步骤 21 中, 所述氧气的流量小于或等于所述硅烷气体的流量的十分之一; 所述步骤 21 与步骤 22 中, 所述硅烷气体包括甲硅烷、及乙硅烷中的一种或多种。

所述 TFT 背板的制作方法还包括: 在所述步骤 5 之后步骤 6 之前、在所述步骤 6 形成栅极与存储电容电极之后沉积层间介电层之前、或者在所述步骤 6 沉积层间介电层之后形成第一通孔与第二通孔之前, 对整个基板进行快速热退火处理, 使所述步骤 5 中在所述第一多晶硅层的源极接触区
15 与漏极接触区、及整个第二多晶硅层中掺杂的 N 型或 P 型离子活化。

还包括步骤 8、在所述源极、漏极、及层间介电层上形成平坦层, 在所述平坦层上形成对应于所述漏极上方的第三通孔, 在所述平坦层上形成像素电极, 所述像素电极通过第三通孔与所述漏极相接触;

20 在所述像素电极、及平坦层上形成像素定义层, 在所述像素定义层上形成对应于所述像素电极上方的第四通孔;

在所述像素定义层上形成间隔设置的数个间隔物。

本发明还提供一种 TFT 背板, 包括: 衬底基板、设于所述衬底基板上的缓冲层、设于所述缓冲层上且间隔设置的第一多晶硅层与第二多晶硅层、设于所述第一多晶硅层、第二多晶硅层、及缓冲层上的栅极绝缘层、设于
25 所述栅极绝缘层上且对应于所述第一多晶硅层上方的栅极、设于所述栅极绝缘层上且对应于所述第二多晶硅层上方的存储电容电极、设于所述栅极、存储电容电极、及栅极绝缘层上的层间介电层、设于所述层间介电层上的源极与漏极;

30 其中, 所述第一多晶硅层包括位于两侧的源极接触区与漏极接触区、及位于源极接触区与漏极接触区之间的沟道区; 所述源极接触区与漏极接触区均为 N 型重掺杂区或均为 P 型重掺杂区;

所述层间介电层及栅极绝缘层上设有分别对应于源极接触区及漏极接触区上方的第一通孔、及第二通孔, 所述源极、及漏极分别通过第一通孔、及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触;

整个第二多晶硅层为 N 型重掺杂区或 P 型重掺杂区，所述第二多晶硅层与存储电容电极形成存储电容；

所述第一多晶硅层、及第二多晶硅层均包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含氧低温多晶硅薄膜。

所述含氧低温多晶硅薄膜的厚度为所述第一多晶硅层、及第二多晶硅层的厚度的十分之一至二十分之一。

所述 TFT 背板还包括：设于所述源极、漏极、及层间介电层上的平坦层、设于所述平坦层上的像素电极、设于所述像素电极、及平坦层上的像素定义层、以及设于所述像素定义层上且间隔设置的数个间隔物；

所述平坦层上设有对应于所述漏极上方的第三通孔，所述像素电极通过第三通孔与所述漏极相接触；所述像素定义层上设有对应于所述像素电极上方的第四通孔。

本发明还提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上沉积缓冲层；

步骤 2、在所述缓冲层上形成非晶硅薄膜，所述非晶硅薄膜包括位于所述缓冲层上的含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含氧非晶硅薄膜；

步骤 3、对所述非晶硅薄膜进行硼离子掺杂，在所述非晶硅薄膜的上表面形成一硼离子掺杂层，对所述非晶硅薄膜进行快速热退火处理，使所述非晶硅薄膜结晶转化为低温多晶硅薄膜，所述低温多晶硅薄膜包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含氧低温多晶硅薄膜；

步骤 4、去除所述低温多晶硅薄膜上表面的硼离子掺杂层，对所述低温多晶硅薄膜进行图形化处理，得到间隔设置的第一多晶硅层与第二多晶硅层；

步骤 5、在所述第一多晶硅层、第二多晶硅层、及缓冲层上形成栅极绝缘层，采用一道掩模对所述第一多晶硅层的两侧、及整个第二多晶硅层进行 N 型或者 P 型重掺杂，在所述第一多晶硅层的两侧形成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间的区域形成沟道区，所述第二多晶硅层经过 N 型或者 P 型重掺杂后形成导体；

步骤 6、在所述栅极绝缘层上形成对应于所述第一多晶硅层上方的栅极、及对应于所述第二多晶硅层上方的存储电容电极；所述存储电容电极与第二多晶硅层形成存储电容；

在所述栅极、存储电容电极、及栅极绝缘层上沉积层间介电层，在所述层间介电层及栅极绝缘层上形成分别对应于源极接触区及漏极接触区上方的第一通孔、及第二通孔；

5 步骤 7、在所述层间介电层上形成源极与漏极，所述源极、及漏极分别通过第一通孔、及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触；

还包括：在所述步骤 5 之后步骤 6 之前、在所述步骤 6 形成栅极与存储电容电极之后沉积层间介电层之前、或者在所述步骤 6 沉积层间介电层之后形成第一通孔与第二通孔之前，对整个基板进行快速热退火处理，使
10 所述步骤 5 中在所述第一多晶硅层的源极接触区与漏极接触区、及整个第二多晶硅层中掺杂的 N 型或 P 型离子活化；

还包括步骤 8、在所述源极、漏极、及层间介电层上形成平坦层，在所述平坦层上形成对应于所述漏极上方的第三通孔，在所述平坦层上形成像素电极，所述像素电极通过第三通孔与所述漏极相接触；

15 在所述像素电极、及平坦层上形成像素定义层，在所述像素定义层上形成对应于所述像素电极上方的第四通孔；

在所述像素定义层上形成间隔设置的数个间隔物。

本发明的有益效果：本发明提供的一种 TFT 背板的制作方法，通过在缓冲层上制作包括含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含
20 氧非晶硅薄膜的非晶硅薄膜，使得采用硼离子诱导固相晶化法对所述非晶硅薄膜进行晶化处理时，由于所述非晶硅薄膜与缓冲层的接触界面为含氧非晶硅薄膜，而含氧非晶硅薄膜在高温结晶过程中不容易产生晶核，从而使得晶核的产生仅发生在非晶硅薄膜上表面的硼离子掺杂层中，并且自上而下发生结晶，晶粒质量好，薄膜均一性好，从而达到提高结晶质量及改
25 善均一性的效果。本发明提供的一种 TFT 背板，制程简单，其中的多晶硅层的结晶质量与均一性较好，提升了 TFT 的性能，增强其驱动效果。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

30

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明的 TFT 背板的制作方法的流程图；

图 2 为本发明的 TFT 背板的制作方法的步骤 1 的示意图；

图 3 为本发明的 TFT 背板的制作方法的步骤 2 的示意图；

图 4-5 为本发明的 TFT 背板的制作方法的步骤 3 的示意图；

5 图 6 为本发明的 TFT 背板的制作方法的步骤 4 的示意图；

图 7 为本发明的 TFT 背板的制作方法的步骤 5 的示意图；

图 8 为本发明的 TFT 背板的制作方法的步骤 6 的示意图；

图 9 为本发明的 TFT 背板的制作方法的步骤 7 的示意图；

10 图 10 为本发明的 TFT 背板的制作方法的步骤 8 的示意图暨本发明的 TFT 背板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

15 请参阅图 1，本发明首先提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、如图 2 所示，提供一衬底基板 10，在所述衬底基板 10 上沉积缓冲层 20。

具体的，所述衬底基板 10 为玻璃基板。

20 具体的，所述步骤 1 还包括：在所述衬底基板 10 上沉积缓冲层 20 之前，对所述衬底基板 10 进行清洗和烘烤。

具体的，所述缓冲层 20 包括氮化硅（ SiN_x ）层、及氧化硅（ SiO_x ）层中的一种或两种的组合。具体的，所述氮化硅层、及氧化硅层的厚度分别为 $500\text{\AA}$ ~ $2000\text{\AA}$ 。

25 步骤 2、如图 3 所示，在所述缓冲层 20 上形成非晶硅薄膜 310，所述非晶硅薄膜 310 包括位于所述缓冲层 20 上的含氧非晶硅薄膜 311 以及位于所述含氧非晶硅薄膜 311 上的不含氧非晶硅薄膜 312。

具体的，所述含氧非晶硅薄膜 311 的厚度为所述非晶硅薄膜 310 的厚度的十分之一至二十分之一，优选为十分之一。

30 具体的，所述步骤 2 包括：

步骤 21、在所述缓冲层 20 上方通入硅烷气体和氧气的混合气体，在所述缓冲层 20 上沉积得到含氧非晶硅薄膜 311。

具体的，所述步骤 21 中，所述硅烷气体的流量一直保持不变，所述氧气的流量在步骤 21 开始时最大，之后逐渐减小，到步骤 21 结束时减少为

零。

优选的，所述步骤 21 中，所述氧气的流量小于或等于所述硅烷气体的流量的十分之一。

5 步骤 22、在所述缓冲层 20 上方通入硅烷气体，在所述缓冲层 20 上沉积得到不含氧非晶硅薄膜 312。

具体的，所述步骤 21 与步骤 22 中，所述硅烷气体包括甲硅烷 (SiH_4)、及乙硅烷 (Si_2H_6) 中的一种或多种。

10 步骤 3、如图 4-5 所示，对所述非晶硅薄膜 310 进行硼离子掺杂，在所述非晶硅薄膜 310 的上表面形成一硼离子掺杂层 313，对所述非晶硅薄膜 310 进行快速热退火处理，使所述非晶硅薄膜 310 结晶转化为低温多晶硅薄膜 330，所述低温多晶硅薄膜 330 包括位于所述缓冲层 20 上的含氧低温多晶硅薄膜 331 及位于所述含氧低温多晶硅薄膜 331 上的不含氧低温多晶硅薄膜 332。

15 具体的，所述步骤 3 的晶化过程中，由于所述非晶硅薄膜 310 与缓冲层 20 的接触界面为含氧非晶硅薄膜 311，所述含氧非晶硅薄膜 311 在高温结晶过程中不容易产生晶核，使得晶核的产生仅发生在上表面的硼离子掺杂层 313 中，并且自上而下发生结晶，晶粒质量好，薄膜均一性好。

具体的，所述步骤 3 中，所述快速热退火处理的退火温度为 600°C ~ 730°C ，退火保温时间为 10min-1h。

20 具体的，所述步骤 3 中，所述硼离子掺杂制程植入的离子浓度为 1×10^{15} ~ 1×10^{16} ions/cm²，离子能量为 5~20keV。

步骤 4、如图 6 所示，去除所述低温多晶硅薄膜 330 上表面的硼离子掺杂层 313，对所述低温多晶硅薄膜 330 进行图形化处理，得到间隔设置的第一多晶硅层 30 与第二多晶硅层 40。

25 具体的，所述步骤 4 中，去除所述低温多晶硅薄膜 330 上表面的硼离子掺杂层 313 的方法为：对所述低温多晶硅薄膜 330 进行干蚀刻处理。

具体的，所述步骤 4 还包括：对所述第一多晶硅层 30 进行沟道掺杂。

具体的，所述沟道掺杂的制程可以为：对整个第一多晶硅层 30 进行 P 型轻掺杂，或者对所述第一多晶硅层 30 的中间区域进行 P 型轻掺杂。

30 具体的，所述 P 型轻掺杂制程植入的离子为硼离子 (B^+)。

具体的，所述 P 型轻掺杂制程植入的离子浓度为 1×10^{12} ~ 1×10^{13} ions/cm²，离子能量为 5~20keV。

步骤 5、如图 7 所示，在所述第一多晶硅层 30、第二多晶硅层 40、及缓冲层 20 上形成栅极绝缘层 50，采用一道掩模对所述第一多晶硅层 30 的

两侧、及整个第二多晶硅层 40 进行 N 型或者 P 型重掺杂，在所述第一多晶硅层 30 的两侧形成源极接触区 31 与漏极接触区 32，所述源极接触区 31 与漏极接触区 32 之间的区域形成沟道区 33，所述第二多晶硅层 40 经过 N 型或者 P 型重掺杂后形成导体。

5 具体的，所述 N 型重掺杂制程植入的离子为磷离子 (P^+)，优选的，采用磷化氢 (PH_3) 气体进行磷离子掺杂。

具体的，所述 P 型重掺杂制程植入的离子为硼离子，优选的，采用乙硼烷 (B_2H_6) 气体进行硼离子掺杂。

10 具体的，所述 N 型重掺杂制程植入的离子浓度为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ ions/cm}^2$ ，离子能量为 5~50keV；所述 P 型重掺杂制程植入的离子浓度为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ ions/cm}^2$ ，离子能量为 5~50keV。

步骤 6、如图 8 所示，在所述栅极绝缘层 50 上形成对应于所述第一多晶硅层 30 上方的栅极 61、及对应于所述第二多晶硅层 40 上方的存储电容电极 62；所述存储电容电极 62 与第二多晶硅层 40 形成存储电容；

15 在所述栅极 61、存储电容电极 62、及栅极绝缘层 50 上沉积层间介电层 70，在所述层间介电层 70 及栅极绝缘层 50 上形成分别对应于源极接触区 31 及漏极接触区 32 上方的第一通孔 71、及第二通孔 72。

20 具体的，所述栅极 61、及存储电容电极 62 的形成方法为：在所述栅极绝缘层 50 上沉积栅极金属层，采用一道光刻制程对所述栅极金属层进行图形化处理，得到栅极 61、及存储电容电极 62。

具体的，所述栅极绝缘层 50 包括氮化硅层、及氧化硅层中的一种或两种的组合。具体的，所述氮化硅层、及氧化硅层的厚度分别为 500Å~2000Å。

25 具体的，所述栅极 61、及存储电容电极 62 均包括两钼 (Mo) 层及位于两钼层之间的一铝 (Al) 层、或仅包括单层钼层或单层铝层。具体的，所述栅极 61 的厚度为 1500Å~2000Å。

具体的，所述层间介电层 70 包括氮化硅层、及氧化硅层中的一种或两种的组合。具体的，所述层间介电层 70 的厚度为 2000Å~6000Å。

30 具体的，所述 TFT 背板的制作方法还包括：在所述步骤 5 之后步骤 6 之前、在所述步骤 6 形成栅极 61 与存储电容电极 62 之后沉积层间介电层 70 之前、或者在所述步骤 6 沉积层间介电层 70 之后形成第一通孔 71 与第二通孔 72 之前，对整个基板进行快速热退火处理，使所述步骤 5 中在所述第一多晶硅层 30 的源极接触区 31 与漏极接触区 32、及整个第二多晶硅层 40 中掺杂的 N 型或 P 型离子活化，提高其有效性。所述快速热退火处理的退火温度为 450℃~650℃，退火保温时间为 1min-1h。

步骤 7、如图 9 所示，在所述层间介电层 70 上形成源极 81 与漏极 82，所述源极 81、及漏极 82 分别通过第一通孔 71、及第二通孔 72 与第一多晶硅层 30 的源极接触区 31、及漏极接触区 32 相接触。

具体的，所述源极 81 与漏极 82 均包括两钼层及位于两钼层之间的一铝层、或仅包括单层钼层或单层铝层。具体的，所述源极 81 与漏极 82 的厚度分别为 1500Å~2000Å。

步骤 8、如图 10 所示，在所述源极 81、漏极 82、及层间介电层 70 上形成平坦层 90，在所述平坦层 90 上形成对应于所述漏极 82 上方的第三通孔 91，在所述平坦层 90 上形成像素电极 100，所述像素电极 100 通过第三通孔 91 与所述漏极 82 相接触；

在所述像素电极 100、及平坦层 90 上形成像素定义层 110，在所述像素定义层 110 上形成对应于所述像素电极 100 上方的第四通孔 111；

在所述像素定义层 110 上形成间隔设置的数个间隔物 130。

具体的，所述第四通孔 111 内用于形成 OLED 器件的有机发光层，所述间隔物 130 用于在封装后支撑上方的盖板。

具体的，所述间隔物 130 的材料为有机材料。

具体的，所述平坦层 90 与像素定义层 110 为有机材料。

具体的，所述像素电极 100 的材料为氧化铟锡（ITO）。

上述 TFT 背板的制作方法，通过在缓冲层 20 上制作包括含氧非晶硅薄膜 311 以及位于所述含氧非晶硅薄膜 311 上的不含氧非晶硅薄膜 312 的非晶硅薄膜 310，使得采用硼离子诱导固相晶化法对非晶硅薄膜 310 进行晶化处理时，由于所述非晶硅薄膜 310 与缓冲层 20 的接触界面为含氧非晶硅薄膜 311，而含氧非晶硅薄膜 311 在高温结晶过程中不容易产生晶核，使得晶核的产生仅发生在非晶硅薄膜 310 上表面的硼离子掺杂层 313 中，并且自上而下发生结晶，晶粒质量好，薄膜均一性好，从而达到提高结晶质量及改善均一性的效果。

请参阅图 10，基于上述 TFT 背板的制作方法，本发明还提供一种 TFT 背板，包括：衬底基板 10、设于所述衬底基板 10 上的缓冲层 20、设于所述缓冲层 20 上且间隔设置的第一多晶硅层 30 与第二多晶硅层 40、设于所述第一多晶硅层 30、第二多晶硅层 40、及缓冲层 20 上的栅极绝缘层 50、设于所述栅极绝缘层 50 上且对应于所述第一多晶硅层 30 上方的栅极 61、设于所述栅极绝缘层 50 上且对应于所述第二多晶硅层 40 上方的存储电容电极 62、设于所述栅极 61、存储电容电极 62、及栅极绝缘层 50 上的层间介电层 70、设于所述层间介电层 70 上的源极 81 与漏极 82；

其中，所述第一多晶硅层 30 包括位于两侧的源极接触区 31 与漏极接触区 32、及位于源极接触区 31 与漏极接触区 32 之间的沟道区 33；所述源极接触区 31 与漏极接触区 32 均为 N 型重掺杂区或均为 P 型重掺杂区；

所述层间介电层 70 及栅极绝缘层 50 上设有分别对应于源极接触区 31 及漏极接触区 32 上方的第一通孔 71、及第二通孔 72，所述源极 81、及漏极 82 分别通过第一通孔 71、及第二通孔 72 与第一多晶硅层 30 的源极接触区 31、及漏极接触区 32 相接触；

整个第二多晶硅层 40 为 N 型重掺杂区或 P 型重掺杂区，所述第二多晶硅层 40 与存储电容电极 62 形成存储电容；

所述第一多晶硅层 30、及第二多晶硅层 40 均包括位于所述缓冲层 20 上的含氧低温多晶硅薄膜 331 及位于所述含氧低温多晶硅薄膜 331 上的不含氧低温多晶硅薄膜 332。

具体的，所述 TFT 背板还包括：设于所述源极 81、漏极 82、及层间介电层 70 上的平坦层 90、设于所述平坦层 90 上的像素电极 100、设于所述像素电极 100、及平坦层 90 上的像素定义层 110、以及设于所述像素定义层 110 上且间隔设置的数个间隔物 130；

所述平坦层 90 上设有对应于所述漏极 82 上方的第三通孔 91，所述像素电极 100 通过第三通孔 91 与所述漏极 82 相接触；所述像素定义层 110 上设有对应于所述像素电极 100 上方的第四通孔 111。

具体的，所述第四通孔 111 内用于形成 OLED 器件的有机发光层。

具体的，所述间隔物 130 的材料为有机材料。

具体的，所述平坦层 90 与像素定义层 110 为有机材料。

具体的，所述像素电极 100 的材料为氧化铟锡。

具体的，所述衬底基板 10 为玻璃基板。

具体的，所述缓冲层 20 包括氮化硅层、及氧化硅层中的一种或两种的组合。具体的，所述氮化硅层、及氧化硅层的厚度分别为 500Å~2000Å。

具体的，所述含氧低温多晶硅薄膜 331 的厚度为所述第一多晶硅层 30、及第二多晶硅层 40 的厚度的十分之一至二十分之一。优选为十分之一。

具体的，所述栅极绝缘层 50 包括氮化硅层、及氧化硅层中的一种或两种的组合。具体的，所述氮化硅层、及氧化硅层的厚度分别为 500Å~2000Å。

具体的，所述栅极 61、及存储电容电极 62 均包括两钼层及位于两钼层之间的一铝层、或仅包括单层钼层或单层铝层。具体的，所述栅极 61 的厚度为 1500Å~2000Å。

具体的，所述 N 型重掺杂区中掺入的离子为磷离子，所述 P 型重掺杂

区中掺入的离子为硼离子。

优选的，所述沟道区 33 为 P 型轻掺杂区，所述 P 型轻掺杂区中掺入的离子为硼离子。

具体的，所述 N 型重掺杂区中掺入的离子浓度为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ ions/cm}^2$ ，所述 P 型重掺杂区中掺入的离子浓度为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ ions/cm}^2$ ，所述 P 型轻掺杂区中掺入的离子浓度为 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ ions/cm}^2$ 。

具体的，所述层间介电层 70 包括氮化硅层、及氧化硅层中的一种或两种的组合。具体的，所述层间介电层 70 的厚度为 $2000\text{\AA} \sim 6000\text{\AA}$ 。

具体的，所述源极 81 与漏极 82 均包括两钼层及位于两钼层之间的一铝层、或仅包括单层钼层或单层铝层。具体的，所述源极 81 与漏极 82 的厚度分别为 $1500\text{\AA} \sim 2000\text{\AA}$ 。

具体的，本发明的 TFT 背板中，所述栅极 61、源极 81、漏极 82、及第一多晶硅层 30 构成一驱动 TFT，用于驱动 OLED 器件的有机发光层发光。

上述 TFT 背板，制程简单，其中的第一多晶硅层 30 与第二多晶硅层 40 的结晶质量与均一性较好，提升了 TFT 的性能，增强其驱动效果。

综上所述，本发明提供一种 TFT 背板的制作方法，通过在缓冲层上制作包括含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含氧非晶硅薄膜的非晶硅薄膜，使得采用硼离子诱导固相晶化法对所述非晶硅薄膜进行晶化处理时，由于所述非晶硅薄膜与缓冲层的接触界面为含氧非晶硅薄膜，而含氧非晶硅薄膜在高温结晶过程中不容易产生晶核，从而使得晶核的产生仅发生在非晶硅薄膜上表面的硼离子掺杂层中，并且自上而下发生结晶，晶粒质量好，薄膜均一性好，从而达到提高结晶质量及改善均一性的效果。本发明的 TFT 背板，制程简单，其中的多晶硅层的结晶质量与均一性较好，提升了 TFT 的性能，增强其驱动效果。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上沉积缓冲层；

5 步骤 2、在所述缓冲层上形成非晶硅薄膜，所述非晶硅薄膜包括位于所述缓冲层上的含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含氧非晶硅薄膜；

步骤 3、对所述非晶硅薄膜进行硼离子掺杂，在所述非晶硅薄膜的上表面形成一硼离子掺杂层，对所述非晶硅薄膜进行快速热退火处理，使所述
10 非晶硅薄膜结晶转化为低温多晶硅薄膜，所述低温多晶硅薄膜包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含氧低温多晶硅薄膜；

步骤 4、去除所述低温多晶硅薄膜上表面的硼离子掺杂层，对所述低温多晶硅薄膜进行图形化处理，得到间隔设置的第一多晶硅层与第二多晶硅
15 层；

步骤 5、在所述第一多晶硅层、第二多晶硅层、及缓冲层上形成栅极绝缘层，采用一道掩模对所述第一多晶硅层的两侧、及整个第二多晶硅层进行 N 型或者 P 型重掺杂，在所述第一多晶硅层的两侧形成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间的区域形成沟道区，所述第
20 二多晶硅层经过 N 型或者 P 型重掺杂后形成导体；

步骤 6、在所述栅极绝缘层上形成对应于所述第一多晶硅层上方的栅极、及对应于所述第二多晶硅层上方的存储电容电极；所述存储电容电极与第二多晶硅层形成存储电容；

在所述栅极、存储电容电极、及栅极绝缘层上沉积层间介电层，在所述
25 层间介电层及栅极绝缘层上形成分别对应于源极接触区及漏极接触区上方的第一通孔、及第二通孔；

步骤 7、在所述层间介电层上形成源极与漏极，所述源极、及漏极分别通过第一通孔、及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触。

30 2、如权利要求 1 所述的 TFT 背板的制作方法，其中，所述含氧非晶硅薄膜的厚度为所述非晶硅薄膜的厚度的十分之一至二十分之一。

3、如权利要求 1 所述的 TFT 背板的制作方法，其中，所述步骤 2 包括：

步骤 21、在所述缓冲层上方通入硅烷气体和氧气的混合气体，在所述

缓冲层上沉积得到含氧非晶硅薄膜；

步骤 22、在所述缓冲层上方通入硅烷气体，在所述缓冲层上沉积得到不含氧非晶硅薄膜。

4、如权利要求 3 所述的 TFT 背板的制作方法，其中，所述步骤 21 中，
5 所述硅烷气体的流量一直保持不变，所述氧气的流量在步骤 21 开始时最大，之后逐渐减小，到步骤 21 结束时减少为零。

5、如权利要求 3 所述的 TFT 背板的制作方法，其中，所述步骤 21 中，
所述氧气的流量小于或等于所述硅烷气体的流量的十分之一；所述步骤 21
与步骤 22 中，所述硅烷气体包括甲硅烷、及乙硅烷中的一种或多种。

10 6、如权利要求 1 所述的 TFT 背板的制作方法，还包括：在所述步骤 5
之后步骤 6 之前、在所述步骤 6 形成栅极与存储电容电极之后沉积层间介
电层之前、或者在所述步骤 6 沉积层间介电层之后形成第一通孔与第二通
孔之前，对整个基板进行快速热退火处理，使所述步骤 5 中在所述第一多
晶硅层的源极接触区与漏极接触区、及整个第二多晶硅层中掺杂的 N 型或
15 P 型离子活化。

7、如权利要求 1 所述的 TFT 背板的制作方法，还包括步骤 8、在所述
源极、漏极、及层间介电层上形成平坦层，在所述平坦层上形成对应于所
述漏极上方的第三通孔，在所述平坦层上形成像素电极，所述像素电极通
过第三通孔与所述漏极相接触；

20 在所述像素电极、及平坦层上形成像素定义层，在所述像素定义层上
形成对应于所述像素电极上方的第四通孔；

在所述像素定义层上形成间隔设置的数个间隔物。

8、一种 TFT 背板，包括：衬底基板、设于所述衬底基板上的缓冲层、
设于所述缓冲层上且间隔设置的第一多晶硅层与第二多晶硅层、设于所述
25 第一多晶硅层、第二多晶硅层、及缓冲层上的栅极绝缘层、设于所述栅极
绝缘层上且对应于所述第一多晶硅层上方的栅极、设于所述栅极绝缘层上
且对应于所述第二多晶硅层上方的存储电容电极、设于所述栅极、存储电
容电极、及栅极绝缘层上的层间介电层、设于所述层间介电层上的源极与
漏极；

30 其中，所述第一多晶硅层包括位于两侧的源极接触区与漏极接触区、
及位于源极接触区与漏极接触区之间的沟道区；所述源极接触区与漏极接
触区均为 N 型重掺杂区或均为 P 型重掺杂区；

所述层间介电层及栅极绝缘层上设有分别对应于源极接触区及漏极接
触区上方的第一通孔、及第二通孔，所述源极、及漏极分别通过第一通孔、

及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触；

整个第二多晶硅层为 N 型重掺杂区或 P 型重掺杂区，所述第二多晶硅层与存储电容电极形成存储电容；

所述第一多晶硅层、及第二多晶硅层均包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含氧低温多晶硅薄膜。

9、如权利要求 8 所述的 TFT 背板，其中，所述含氧低温多晶硅薄膜的厚度为所述第一多晶硅层、及第二多晶硅层的厚度的十分之一至二十分之一。

10、如权利要求 8 所述的 TFT 背板，其中，所述 TFT 背板还包括：设于所述源极、漏极、及层间介电层上的平坦层、设于所述平坦层上的像素电极、设于所述像素电极、及平坦层上的像素定义层、以及设于所述像素定义层上且间隔设置的数个间隔物；

所述平坦层上设有对应于所述漏极上方的第三通孔，所述像素电极通过第三通孔与所述漏极相接触；所述像素定义层上设有对应于所述像素电极上方的第四通孔。

11、一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上沉积缓冲层；

步骤 2、在所述缓冲层上形成非晶硅薄膜，所述非晶硅薄膜包括位于所述缓冲层上的含氧非晶硅薄膜以及位于所述含氧非晶硅薄膜上的不含氧非晶硅薄膜；

步骤 3、对所述非晶硅薄膜进行硼离子掺杂，在所述非晶硅薄膜的上表面形成一硼离子掺杂层，对所述非晶硅薄膜进行快速热退火处理，使所述非晶硅薄膜结晶转化为低温多晶硅薄膜，所述低温多晶硅薄膜包括位于所述缓冲层上的含氧低温多晶硅薄膜及位于所述含氧低温多晶硅薄膜上的不含氧低温多晶硅薄膜；

步骤 4、去除所述低温多晶硅薄膜上表面的硼离子掺杂层，对所述低温多晶硅薄膜进行图形化处理，得到间隔设置的第一多晶硅层与第二多晶硅层；

步骤 5、在所述第一多晶硅层、第二多晶硅层、及缓冲层上形成栅极绝缘层，采用一道掩模对所述第一多晶硅层的两侧、及整个第二多晶硅层进行 N 型或者 P 型重掺杂，在所述第一多晶硅层的两侧形成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间的区域形成沟道区，所述第二多晶硅层经过 N 型或者 P 型重掺杂后形成导体；

步骤 6、在所述栅极绝缘层上形成对应于所述第一多晶硅层上方的栅极、及对应于所述第二多晶硅层上方的存储电容电极；所述存储电容电极与第二多晶硅层形成存储电容；

5 在所述栅极、存储电容电极、及栅极绝缘层上沉积层间介电层，在所述层间介电层及栅极绝缘层上形成分别对应于源极接触区及漏极接触区上方的第一通孔、及第二通孔；

步骤 7、在所述层间介电层上形成源极与漏极，所述源极、及漏极分别通过第一通孔、及第二通孔与第一多晶硅层的源极接触区、及漏极接触区相接触；

10 还包括：在所述步骤 5 之后步骤 6 之前、在所述步骤 6 形成栅极与存储电容电极之后沉积层间介电层之前、或者在所述步骤 6 沉积层间介电层之后形成第一通孔与第二通孔之前，对整个基板进行快速热退火处理，使所述步骤 5 中在所述第一多晶硅层的源极接触区与漏极接触区、及整个第二多晶硅层中掺杂的 N 型或 P 型离子活化；

15 还包括步骤 8、在所述源极、漏极、及层间介电层上形成平坦层，在所述平坦层上形成对应于所述漏极上方的第三通孔，在所述平坦层上形成像素电极，所述像素电极通过第三通孔与所述漏极相接触；

在所述像素电极、及平坦层上形成像素定义层，在所述像素定义层上形成对应于所述像素电极上方的第四通孔；

20 在所述像素定义层上形成间隔设置的数个间隔物。

12、如权利要求 11 所述的 TFT 背板的制作方法，其中，所述含氧非晶硅薄膜的厚度为所述非晶硅薄膜的厚度的十分之一至二十分之一。

13、如权利要求 11 所述的 TFT 背板的制作方法，其中，所述步骤 2 包括：

25 步骤 21、在所述缓冲层上方通入硅烷气体和氧气的混合气体，在所述缓冲层上沉积得到含氧非晶硅薄膜；

步骤 22、在所述缓冲层上方通入硅烷气体，在所述缓冲层上沉积得到不含氧非晶硅薄膜。

30 14、如权利要求 13 所述的 TFT 背板的制作方法，其中，所述步骤 21 中，所述硅烷气体的流量一直保持不变，所述氧气的流量在步骤 21 开始时最大，之后逐渐减小，到步骤 21 结束时减少为零。

15、如权利要求 13 所述的 TFT 背板的制作方法，其中，所述步骤 21 中，所述氧气的流量小于或等于所述硅烷气体的流量的十分之一；所述步骤 21 与步骤 22 中，所述硅烷气体包括甲硅烷、及乙硅烷中的一种或多种。

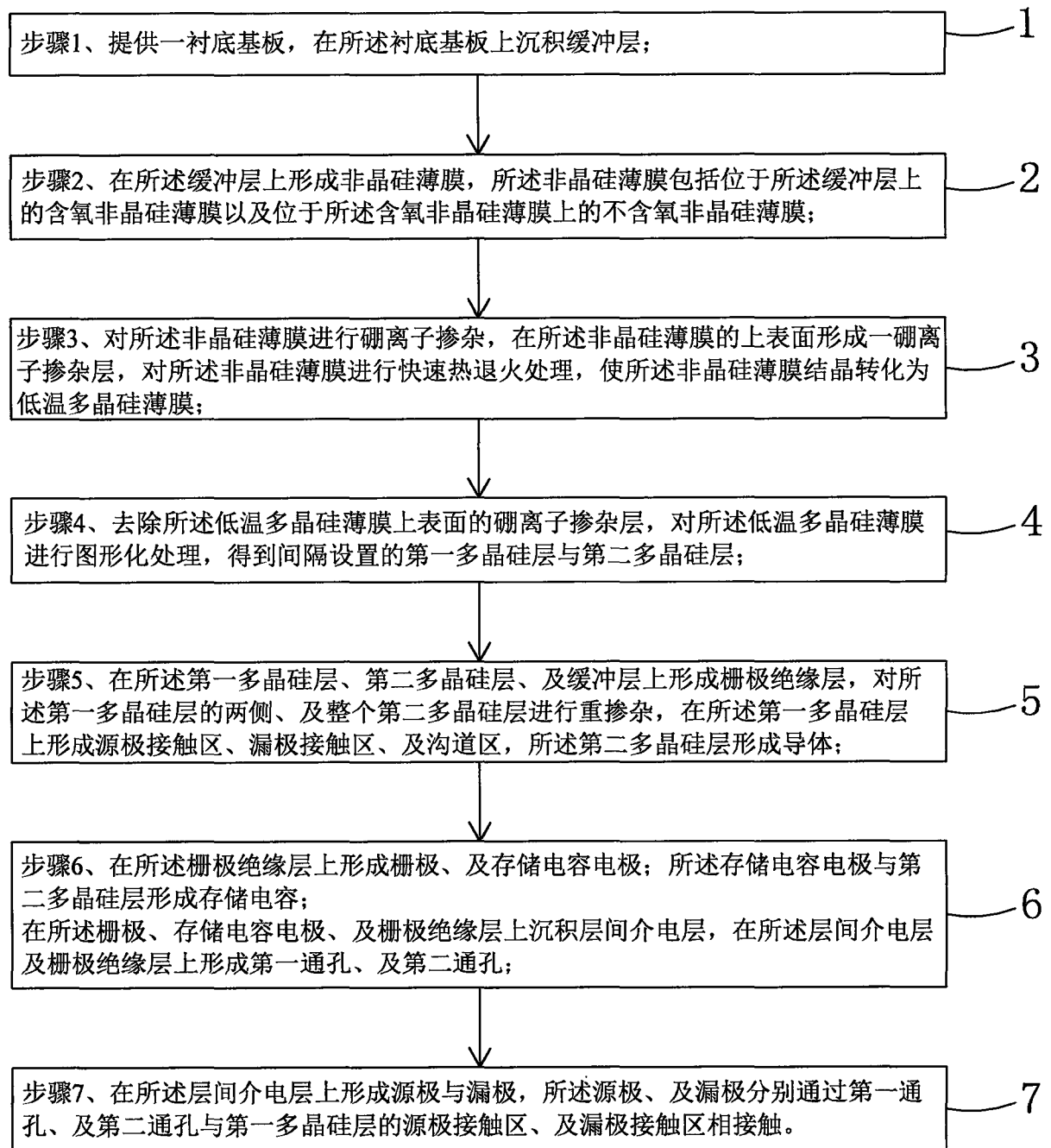


图1

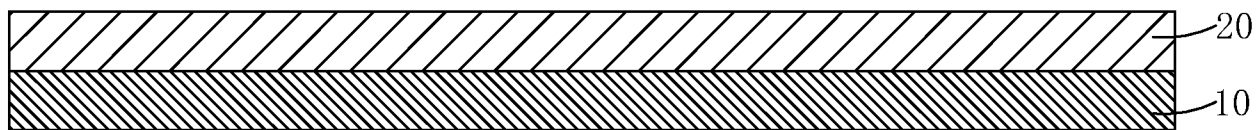


图2

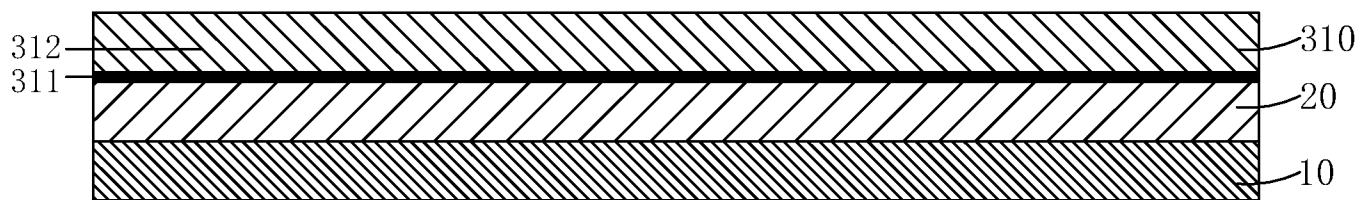


图3

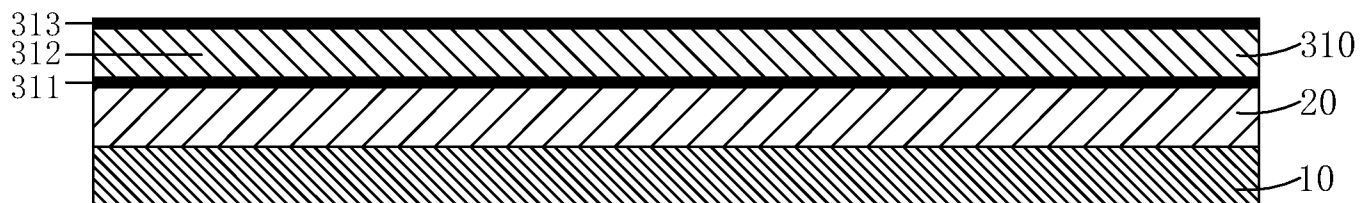


图4

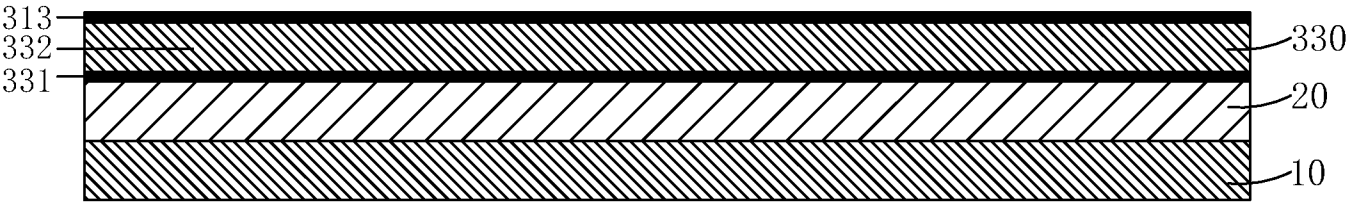


图5

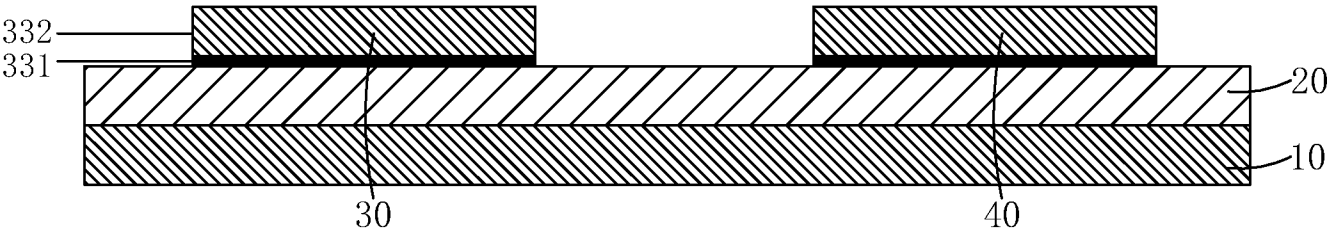


图6

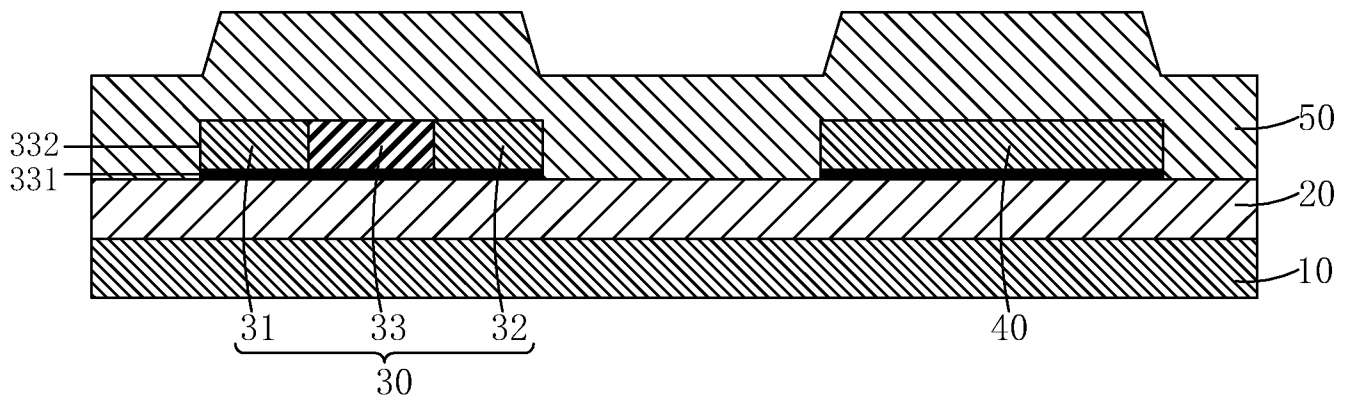


图7

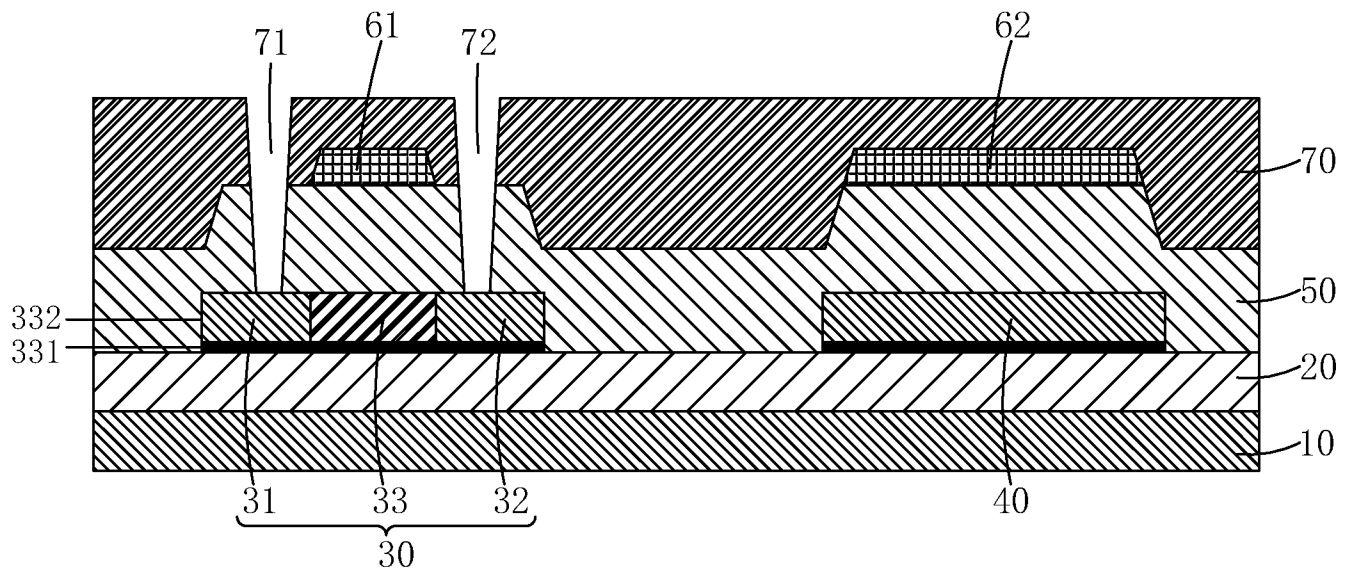


图8

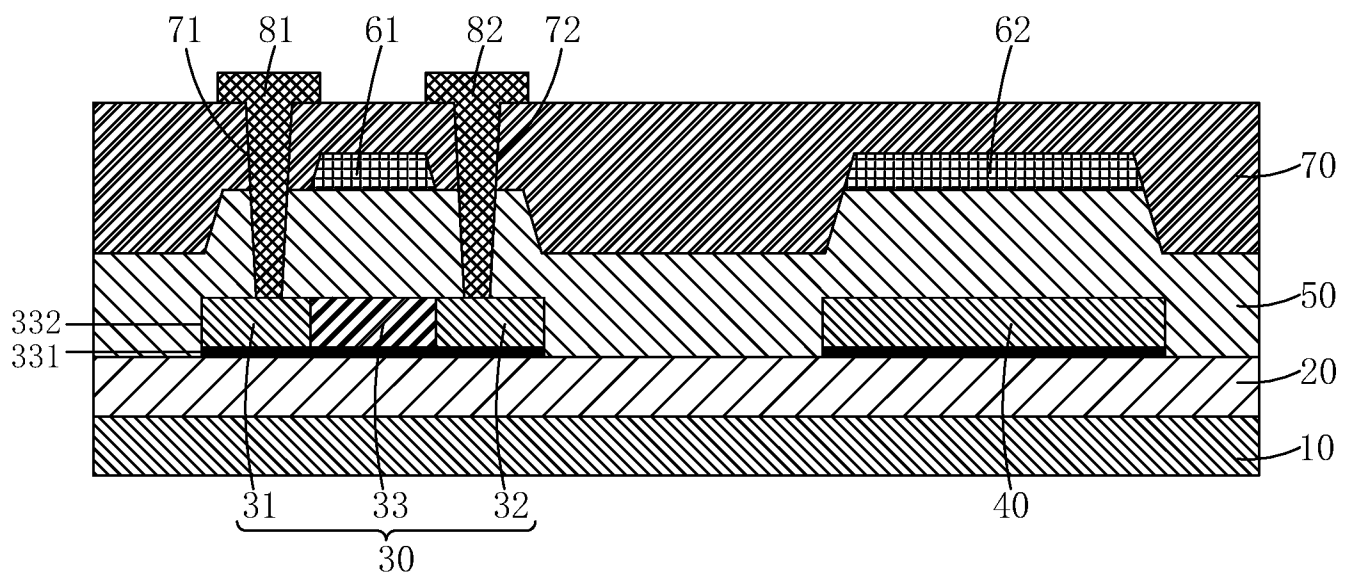


图9

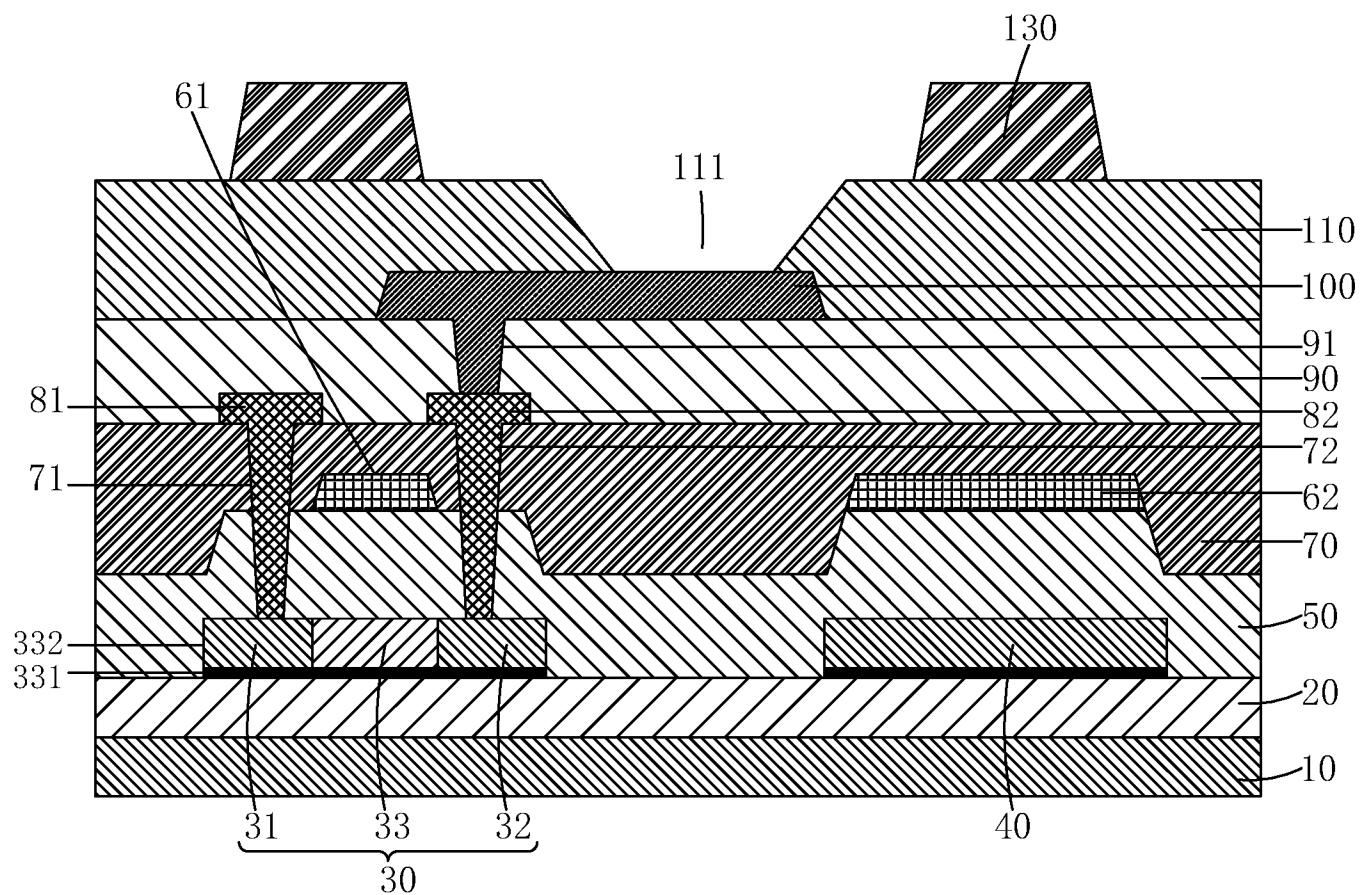


图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/086725

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNKI; WPI; EPODOC; IEEE: TFT, thin, film, transistor, back, board, plate, amorphous, polysilicon, silicon, oxygen, nucleus, boron, anneal, heat, treat, crystalline, polycrystal, nucleation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104810382 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 29 July 2015 (29.07.2015) the whole document	1-15
A	CN 105189813 A (APPLIED MATERIALS INC.) 23 December 2015 (23.12.2015) the whole document	1-15
A	CN 105070724 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 November 2015 (18.11.2015) the whole document	1-15
A	CN 105097669 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 25 November 2015 (25.11.2015) the whole document	1-15
A	CN 102254797 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 November 2011 (23.11.2011) the whole document	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 March 2017	Date of mailing of the international search report 15 March 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Lili Telephone No. (86-10) 62089268

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/086725

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103972050 A (BOE TECHNOLOGY GROUP CO., LTD.) 06 August 2014 (06.08.2014) the whole document	1-15
A	CN 102629558 A (SHENCHAO OPTICAL (SHENZHEN) CO., LTD.) 08 August 2012 (08.08.2012) the whole document	1-15
A	WO 2010024278 A1 (ULVAC INC. et al.) 04 March 2010 (04.03.2010) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/086725

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104810382 A	29 July 2015	WO 2016176893 A1	10 November 2016
CN 105189813 A	23 December 2015	KR 20150145265 A	29 December 2015
		TW 201513173 A	01 April 2015
		JP 2016526282 A	01 September 2016
		US 9048099 B2	02 June 2015
		US 2014335680 A1	13 November 2014
		WO 2014182433 A1	13 November 2014
		TW 541865 B1	11 July 2016
CN 105070724 A	18 November 2015	WO 2017008368 A1	19 January 2017
CN 105097669 A	25 November 2015	WO 2017008315 A1	19 January 2017
CN 102254797 A	23 November 2011	JP 2011243988 A	01 December 2011
		US 2011284861 A1	24 November 2011
		KR 20110127091 A	24 November 2011
CN 103972050 A	06 August 2014	WO 2015172543 A1	19 November 2015
CN 102629558 A	08 August 2012	CN 102629558 B	20 May 2015
		TW I492315 B	11 July 2015
		TW 201330112 A	16 July 2013
WO 2010024278 A1	04 March 2010	TW 201017775 A	01 May 2010
		JP 2012043819 A	01 March 2012

国际检索报告

国际申请号

PCT/CN2016/086725

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNKI;WPI;EPDOC;IEEE: TFT, 薄膜晶体管, 背板, 非晶, 多晶, 硅, 氧, 晶核, 硼, 退火, 热处理, 结晶, thin, film, transistor, back, board, plate, amorphous, polysilicon, silicon, oxygen, nucleus, boron, anneal, heat, treat, crystalline

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104810382 A (深圳市华星光电技术有限公司) 2015年 7月 29日 (2015 - 07 - 29) 全文	1-15
A	CN 105189813 A (应用材料公司) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-15
A	CN 105070724 A (深圳市华星光电技术有限公司) 2015年 11月 18日 (2015 - 11 - 18) 全文	1-15
A	CN 105097669 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-15
A	CN 102254797 A (京东方科技集团股份有限公司等) 2011年 11月 23日 (2011 - 11 - 23) 全文	1-15
A	CN 103972050 A (京东方科技集团股份有限公司) 2014年 8月 6日 (2014 - 08 - 06) 全文	1-15

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 3月 2日

国际检索报告邮寄日期

2017年 3月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨丽丽

电话号码 (86-10)62089268

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 102629558 A (深超光电深圳有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-15
A	WO 2010024278 A1 (ULVAC INC等) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/086725

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104810382	A	2015年 7月 29日	WO	2016176893	A1	2016年 11月 10日
CN	105189813	A	2015年 12月 23日	KR	20150145265	A	2015年 12月 29日
				TW	201513173	A	2015年 4月 1日
				JP	2016526282	A	2016年 9月 1日
				US	9048099	B2	2015年 6月 2日
				US	2014335680	A1	2014年 11月 13日
				WO	2014182433	A1	2014年 11月 13日
				TW	541865	B1	2016年 7月 11日
CN	105070724	A	2015年 11月 18日	WO	2017008368	A1	2017年 1月 19日
CN	105097669	A	2015年 11月 25日	WO	2017008315	A1	2017年 1月 19日
CN	102254797	A	2011年 11月 23日	JP	2011243988	A	2011年 12月 1日
				US	2011284861	A1	2011年 11月 24日
				KR	20110127091	A	2011年 11月 24日
CN	103972050	A	2014年 8月 6日	WO	2015172543	A1	2015年 11月 19日
CN	102629558	A	2012年 8月 8日	CN	102629558	B	2015年 5月 20日
				TW	I492315	B	2015年 7月 11日
				TW	201330112	A	2013年 7月 16日
WO	2010024278	A1	2010年 3月 4日	TW	201017775	A	2010年 5月 1日
				JP	2012043819	A	2012年 3月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)