

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4645043号  
(P4645043)

(45) 発行日 平成23年3月9日 (2011.3.9)

(24) 登録日 平成22年12月17日 (2010.12.17)

(51) Int.Cl.

F I

G O 6 F 12/00 (2006.01)

G O 6 F 12/06 (2006.01)

G O 6 F 12/00 5 6 0 A

G O 6 F 12/00 5 6 4 A

G O 6 F 12/00 5 9 7 U

G O 6 F 12/06 5 2 2 A

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2004-57201 (P2004-57201)	(73) 特許権者	000005821
(22) 出願日	平成16年3月2日 (2004.3.2)		パナソニック株式会社
(65) 公開番号	特開2005-250619 (P2005-250619A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年9月15日 (2005.9.15)	(74) 代理人	100109667
審査請求日	平成19年3月1日 (2007.3.1)		弁理士 内藤 浩樹
		(74) 代理人	100109151
			弁理士 永野 大介
		(74) 代理人	100120156
			弁理士 藤井 兼太郎
		(72) 発明者	本多 利行
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		審査官	高瀬 勤

最終頁に続く

(54) 【発明の名称】 メモリーコントローラ、不揮発性記憶装置および不揮発性メモリシステム

(57) 【特許請求の範囲】

【請求項 1】

外部からのアクセス指示に従って複数の物理ブロックからなる不揮発性メモリにデータを書き込むメモリーコントローラであって、  
外部からのデータを前記不揮発性メモリに書き込む制御を行う読み書き制御部と、  
前記データの書き込み閾値時間の情報を格納する閾値テーブルと、  
前記複数の物理ブロックのうち、書き込み時間の遅い物理ブロックを記憶するレイトブロックテーブルとを有し、  
前記レイトブロックテーブルに格納する物理ブロックは前記閾値テーブルに保持されている情報に基づいて登録し、  
前記読み書き制御部は、外部からのデータを前記レイトブロックテーブルに記憶されていない前記不揮発性メモリの物理ブロックに書き込む制御を行う、メモリーコントローラ。

【請求項 2】

前記閾値テーブルはさらに前記データの消去閾値時間の情報を格納し、  
前記レイトブロックテーブルは、前記複数の物理ブロックのうち、消去時間の遅い物理ブロックをさらに記憶する請求項 1 記載のメモリーコントローラ。

【請求項 3】

前記レイトブロックテーブルに格納する物理ブロックは、予め前記不揮発性メモリの前記複数の物理ブロックに対して書き込みもしくは消去に要する時間の計測試験を行い、前記閾値テーブルに格納されている情報に対して、書き込み閾値時間または消去閾値時間より

も長い時間の物理ブロックを前記レイトブロックテーブルに格納する請求項 2に記載のメモリーコントローラ。

【請求項 4】

外部からのデータの種別を分類する書き込みデータ判定部を更に備え、前記書き込みデータ判定部によって、速度保証の必要がないデータと判定されたデータを、前記レイトブロックテーブルに記憶されている前記不揮発性メモリの物理ブロックに書き込むことを特徴とする請求項 1 から 3 のいずれか 1 項に記載のメモリーコントローラ。

【請求項 5】

複数の物理ブロックからなる不揮発性メモリと、請求項 1 から 4 のいずれか 1 項に記載のメモリーコントローラとを有する不揮発性記憶装置。

10

【請求項 6】

更に外部からアクセスできないシステム情報を前記レイトブロックテーブルに記憶されている前記不揮発性メモリの物理ブロックに書き込むことを特徴とする請求項 5 に記載の不揮発性記憶装置。

【請求項 7】

複数の物理ブロックからなる不揮発性メモリと請求項 1 に記載のメモリーコントローラとを備える不揮発性記憶装置と、外部から前記不揮発性記憶装置に対してアクセス指示を行うホスト機器と、を有する不揮発性メモリシステム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリを使用した不揮発性記憶装置およびその書き換え方法に関する。

【背景技術】

【0002】

音楽データや映像データを取り扱う携帯機器、例えばデジタルスチルカメラや携帯電話の記憶装置として、データの書き換えが可能で、携帯性が高く、電池等によるバックアップが不要であるフラッシュメモリ等の不揮発性メモリを備えた記憶装置が使用されている。近年、携帯機器の高機能化に伴い今まで静止画中心であった映像データの記録が動画記録へと、また動画記録でもより高画質の動画記録へとその要求仕様が変化している。

30

【0003】

動画記録において、記憶装置の残り容量がまだあるにもかかわらず動画の記録が途中で停止してしまうことはあってはならない。安定した動画記録のために不揮発性記憶装置に求められる仕様は最高速度の保証ではなく、最低速度の保証である。いくら最高速度が速くとも、最低速度が遅ければ動画記録を停止せざるを得ない。

【0004】

これに対して、特許文献 1 に記載の発明は、予め記録媒体の転送速度を検出し、これにより動画の記録を禁止したり、動画のデータ転送速度を低減したりし、装置の異常停止を防止するものである。

40

【0005】

一方、現在最も多く使用されている不揮発性記憶装置のデバイスである NAND 型フラッシュメモリの書き込みに要する時間の Max 値（最大値）は、Typical 値（代表値）に比べて 2 倍以上も長い。例えば、サムスン電子製の NAND 型フラッシュメモリである K9F1208U0A（128M x 8 Bit / 64M x 16 Bit NAND Flash Memory）の Rev. 1.0 のデータシートの 13 ページにはプログラム時間（Program Time、以下、書き込みビジー時間と記す）の Typical 値 300  $\mu$ s に対して Max 値 700  $\mu$ s となっている。そのために平均的に発揮できる書き込み速度（300  $\mu$ s）の性能の半分以下（700  $\mu$ s）の値でしか最低速度の保証をすることができない。

50

## 【 0 0 0 6 】

図 1 0 にデバイス初期における N A N D 型フラッシュメモリの各物理ブロックへの書き込みビジー時間の分布の一例を示す。また、図 1 1 に図 1 0 と同一デバイスでの耐久性試験後（例えば、1 0 万回書き換え後）の各物理ブロックの書き込みビジー時間の分布を示す。ここで、このデバイスの仕様書における T y p i c a l 値を 2 0 0  $\mu$  s、M a x 値を 5 0 0  $\mu$  s とする。

## 【 0 0 0 7 】

図 1 0 から分かるように書き込みビジー時間の平均は 1 6 0 ~ 2 0 0  $\mu$  s 程度、最大のところでも 2 4 0  $\mu$  s までであり、仕様の最大値である 5 0 0  $\mu$  s に対して十分にマージンがあることがわかる。ところが、図 1 1 にあるように 1 0 万回書き換え後では全体的に書き込みビジー時間が長くなるほうにシフトして、平均して 2 0 0 ~ 2 4 0  $\mu$  s、最大値では 4 8 0  $\mu$  s と仕様の最大値である 5 0 0  $\mu$  s に対してマージンがなくなっている。このように分布から外れて一部のブロックの書き込み時間が長くなるために、最低速度の保証は T y p i c a l 値の半分以下になる。

【特許文献 1】特開平 1 0 - 2 3 3 9 8 6 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 8 】

上記の様に不揮発性記憶装置の書き込みにおいてその最低速度の保証は、N A N D 型フラッシュメモリの特性値に依存し、そのために平均的な性能の半分以下の値でしか最低速度の保証ができないという課題が存在していた。

## 【 0 0 0 9 】

本発明は、上記従来の問題点を解決するためのもので、各物理ブロックの書き換え時間を管理して、書き込み先物理ブロックの選択をホスト機器が書き込みを行うデータの種別を判別することにより分別して最低速度の保証値を向上する。ここで言うホスト機器が書き込みを行うデータの種別の判別とは、ホスト機器が高速書き込みを期待しているデータか高速な書き込みを期待しないデータかの判別である。そうして、より高画質な動画の記録を可能にしユーザの利便性を向上させる不揮発性記憶装置及びその書き換え方法を提供することを目的とする。

【課題を解決するための手段】

## 【 0 0 1 0 】

この目的を達成するために本発明のメモリーコントローラは、外部からのアクセス指示に従って複数の物理ブロックからなる不揮発性メモリーにデータを書き込むメモリーコントローラであって、外部からのデータを前記不揮発性メモリーに書き込む制御を行う読み書き制御部と、前記データの書き込み閾値時間の情報を格納する閾値テーブルと、前記複数の物理ブロックのうち、書き込み時間の遅い物理ブロックを記憶するレイトブロックテーブルとを有し、前記レイトブロックテーブルに格納する物理ブロックは前記閾値テーブルに保持されている情報に基づいて登録し、前記読み書き制御部は、外部からのデータを前記レイトブロックテーブルに記憶されていない前記不揮発性メモリーの物理ブロックに書き込む制御を行う構成を有している。

【発明の効果】

## 【 0 0 1 1 】

本発明によれば、各物理ブロックの書き換え・消去時間を管理して、速度を保証する必要のあるデータに対してより高速な速度の保証を行うことができ、より高画質な動画の記録を保証することができるという効果が得られる。

【発明を実施するための最良の形態】

## 【 0 0 1 2 】

本発明に係る第 1 の発明は、独立してデータの書き込み消去を行うことができる物理ブロックを複数有する不揮発性メモリーと、前記物理ブロックのうち書き込み処理にかかる時間の長い前記物理ブロックのアドレスを記憶するためのレイトブロックテーブルと、前記

10

20

30

40

50

レイトブロックテーブルへの登録の有無を判断するための書き込み時間の閾値情報を記憶するための閾値テーブルと、前記レイトブロックテーブルと前記閾値テーブルとを含み前記不揮発性メモリを制御するためのコントローラとを備えたものである。

【 0 0 1 3 】

また、第 2 の発明は、第 1 の発明において、全ての前記物理ブロックについて、書き込み処理にかかる時間を測定した結果が前記レイトブロックテーブルに記憶されていることを特徴とするものである。

【 0 0 1 4 】

また、第 3 の発明は、第 1 の発明において、処理時間の長さを測定するためのカウンタを前記コントローラに備えたことを特徴とするものである。

10

【 0 0 1 5 】

これらの発明により、物理ブロック単位で、書き込み時間の特性を認知可能となる。

【 0 0 1 6 】

また、第 4 の発明は、独立してデータの書き込み消去を行うことができる物理ブロックを複数有する不揮発性メモリと、前記物理ブロックのうち書き込み処理にかかる時間の長い前記物理ブロックのアドレスが記憶されているレイトブロックテーブルと、前記レイトブロックテーブルを含み前記不揮発性メモリを制御するためのコントローラとを備え、前記コントローラは、データの種別に従い、書き込み先となる前記物理ブロックを、前記レイトブロックテーブルに登録されている前記物理ブロックか前記登録されていない前記物理ブロックかを決定するものである。これにより、データの種別に基づき、適切な物理ブ

20

ロックを選択可能となる。

【 0 0 1 7 】

また、第 5 の発明は、独立してデータの書き込み消去を行うことができる物理ブロックを複数有する不揮発性メモリと、前記物理ブロックのうち書き込み処理にかかる時間の長い前記物理ブロックのアドレスを記憶するための書き換え可能なレイトブロックテーブルと、前記レイトブロックテーブルへの登録の有無を判断するための書き込み時間の閾値情報を記憶するための閾値テーブルと、処理時間の長さを測定するためのカウンタと、前記レイトブロックテーブルと前記閾値テーブルと前記カウンタとを含み前記不揮発性メモリを制御するためのコントローラとを備え、前記コントローラは、前記物理ブロックに対する書き込み処理における処理時間を前記カウンタで測定し、その結果前記閾値テーブルより書き込み時間が長い前記物理ブロックを新たに前記書き換え可能なレイトブロックテーブルに記憶するものである。これにより、書き込み時間が長い物理ブロックを適宜更新することが可能となる。

30

【 0 0 1 8 】

以下、本発明の実施の形態について、図面を用いて説明する。

【 0 0 1 9 】

( 実施の形態 1 )

図 1 は、本発明の実施の形態 1 による不揮発性記憶装置としてのメモリーカード内部の構成を示すブロック図である。

【 0 0 2 0 】

40

図 1 において、101 はメモリーカード、102 はコントローラ、111 はフラッシュメモリであり、コントローラ 102 とフラッシュメモリ 111 が搭載されメモリーカード 101 となる。103 はコントローラ 102 内部でメモリーカード 101 の制御を行う M C U ( マイクロコントローラ・ユニット )、104 はメモリーカード 101 の外部にあるホスト機器 ( 図示せず ) とのインターフェースを行うホストインターフェースである。105 はメモリーカード 101 内部にあるフラッシュメモリ 111 とのインターフェースを行うフラッシュインターフェースで、フラッシュメモリ 111 への一方向出力である制御線と双方向のデータ線とフラッシュメモリからの一方向入力であるビジー線を用いてフラッシュメモリ 111 の制御を行う。

【 0 0 2 1 】

50

106はホストインターフェース104とフラッシュインターフェース105の間にあり、外部のホスト機器からの書き込みデータをメモリーカード101のフラッシュメモリ111に書き込む時、または外部ホスト機器への読み出しデータをメモリーカード101のフラッシュメモリ111から読み出す時に使用される、バッファRAMである。

#### 【0022】

107はMCU103をはじめとしてコントローラ102内部の回路動作させるためのクロックを生成するVCOである。

108はフラッシュメモリの書き込み・消去に要する時間を測定するために用いるカウンタで、フラッシュインターフェース105からリセットスタートやカウンタ値読み出し等の制御が行える。109はカウンタ108で計測したフラッシュメモリ111の書き込み・消去に要する時間と比較を行う閾値時間を格納する閾値テーブルである。110はメモリーカード101内にある物理ブロックのうち、書き込み・消去時間の遅いブロックとその時間を記憶するためのレイトブロックテーブルである。

#### 【0023】

外部ホスト機器が書き込みを行う時には、データはホストインターフェース104を通じてバッファRAM106へと転送される。その後MCU103の制御により、バッファRAM106のデータはフラッシュインターフェース105を通じてフラッシュメモリ111へと転送される。外部ホスト機器が読み出しを行う時には、MCU103の制御によりフラッシュメモリ111からフラッシュインターフェース105を通じてバッファRAM106にデータは転送される。その後ホストインターフェース104を通じて外部ホスト機器へデータが読み出される。

#### 【0024】

図2は、フラッシュメモリ111の内部構成を示すブロック図である。図2に示すようにフラッシュメモリ111はPB0～1023の番号が振られた複数（この例では1024個）の物理ブロックから構成される。1つの物理ブロックの容量は128kBであり、フラッシュメモリ111の容量は従って128MBとなる。

#### 【0025】

図3はメモリーカード101を外部ホスト機器から使用する時の論理マップである。1つのアドレスで128kB単位のデータに対応する。アドレス0～959までは通常領域である。つまり通常領域の容量は、 $960 \times 128 \text{ kB} = 120 \text{ MB}$ である。通常領域とは、ホスト機器が通常データを書き込む領域であり、例えば、ホスト機器が動画記録を行う際にその動画データが書き込まれるために速度を保証した書き込みを行うことが要求される領域である。

#### 【0026】

アドレス960～975がシステム領域である。システム領域とは、外部ホスト機器からアクセスできないメモリーカード101の固有の特性値や、著作権保護を実現するための鍵情報や、メモリーカード101の拡張機能に関する情報が書き込まれた領域であり、その領域に対してはアクセスする事が許された特殊な外部ホスト機器のみがアクセスできる。ここで言うシステム領域とは、書き込み時間の最低速度を保証する必要が必ずしもない領域である。

#### 【0027】

通常領域とシステム領域を合わせて、論理マップ上で有効な容量は122MBであり、図2で示されたフラッシュメモリ111の容量である128MBに比べて少ない。フラッシュメモリ111の仕様書には、全物理ブロックの内に有効に使用できるブロックの最小値が記載されている。例えば、サムスン電子製のフラッシュメモリ、K9F1G08U0Mの仕様書Rev. 1.0の12ページには、全物理ブロックの1024ブロックのうち1004ブロックまでを有効に使用できるブロックの最小値と規定されている。従ってフラッシュメモリ111の有効容量の最低値は、 $1004 \times 128 \text{ kB} = 125.5 \text{ MB}$ である。つまりフラッシュメモリ111の制御を行うコントローラ102はフラッシュメモリ111の有効な容量が125.5MBであっても正しく動作させる必要がある。このフ

10

20

30

40

50

ラッシュメモリ 111 の有効最低容量 125 . 5 MB と論理マップ上の有効な容量 122 MB の差 3 . 5 MB はフラッシュメモリ 111 にデータを書き込む際のワーク領域として使用する。

【0028】

図4はライトブロックテーブル110のメモリマップである。アドレスの2ワード分で物理ブロックのアドレスと、その物理ブロックに対する書き込み・消去時間の一組の情報を記憶しており、アドレス0～39までは書き込みが遅いブロックを登録する領域であり、書き込み時間が長いブロックを20物理ブロックまで登録できる。アドレス40～59までは消去が遅いブロックを登録する領域であり、消去時間が長いブロックを10物理ブロックまで登録できる。この書き込みが遅いブロックと消去が遅いブロックの比率はフラッシュメモリ111の特性に応じて、最適な値に設定すればよい。本実施の形態の設定では書き込みが遅いブロックがと消去が遅いブロックの比率が2：1で発生することを想定してライトブロックテーブル110の割り当てを行っている。

10

【0029】

図5は検査を実施するホスト機器（以下、検査ホストと称す）がメモリーカード101を検査するための検査処理を示すフローチャートである。

【0030】

検査のフローチャートでは、検査ホストがメモリーカード101を制御して検査を行い、メモリーカード101の書き込み・消去速度に関するランク付けを行い、メモリーカード101は、メモリーカード101自身が保証することができる書き込み・消去速度を記憶することになる。

20

【0031】

まず、最初にステップ501で検査ホストは閾値時間となる書き込み閾値時間と消去閾値時間とをメモリーカード101に転送する。MCU103はこの閾値時間を閾値テーブル109に格納する。具体的な例として、書き込み閾値時間250μsと消去閾値時間2200μsを設定する。

【0032】

次にステップ502で検査ホストはメモリーカード101に時間測定検査実施を指示する。これを受けてメモリーカード101のMCU103は時間測定検査を開始する。

【0033】

30

時間測定検査の詳細については図6に示してあり、後ほど図6、7、8を用いて説明するが、図6で示した処理を終えることにより、ステップ502が完了した時には、ライトブロックテーブル110には書き込み時間の長い物理ブロックの情報と、消去時間の長い物理ブロックの情報が格納されている。ここで図10に示すような書き込み時間の分布を持つフラッシュメモリの場合、書き込み閾値時間250μsを超える物理ブロックがないので書き込みが遅いブロックを登録する領域には何も登録されない。

【0034】

次にステップ503で検査ホストはメモリーカード101から速度レポートを取得する。検査ホストからのカードレポート取得コマンドに対して、MCU103はライトブロックテーブル110に登録されている情報をホスト機器に送信する。図10に示すような特性を有するフラッシュメモリの場合は、書き込みが遅いブロックとして何も登録されていないという情報が送信される。

40

【0035】

次にステップ504で検査ホストはステップ503で取得した速度レポートに基づいてメモリーカード101が保証できうるカードランクを決定する。図10に示すようなフラッシュメモリの場合は、ステップ501で設定した閾値時間250μsに例えばマージンの40μsを足した290μsが書き込み時間のカードランクとして決定される。

【0036】

ここでのカードランクとは、書き込み時間として保証できる最大値のことであり、290μsのカードランクということはこのカードは書き込み時間が290μs以下であるこ

50

とを保証するものである。ここで仮に、レイトブロックテーブル 1 1 0 に書き込み時間の長い物理ブロックの情報が登録されており、その書き込み時間が  $280\ \mu\text{s}$  であればマージンの  $50\ \mu\text{s}$  を足した  $330\ \mu\text{s}$  が書き込み時間のカードランクとして決定される。ここではカードランクを書き込み時間で表したが、メモリーカードの書き込み速度を表現できるものであれば他のもの、例えば書き込み時間を予め決めておいた級に分類して、その級をランクとしても実現できる。

【 0 0 3 7 】

最後にステップ 5 0 5 で検査ホストは、メモリーカード 1 0 1 にランクを設定する。MCU 1 0 3 はメモリーカード 1 0 1 のランクを記憶するとともに、対応する閾値時間を閾値テーブル 1 0 9 に格納する。

10

【 0 0 3 8 】

このようにして得られたメモリーカード 1 0 1 のランクや閾値時間は、メモリーカード 1 0 1 への電源が切られても記憶できるようにフラッシュメモリ 1 1 1 を含むメモリーカード 1 0 1 内部の不揮発性記憶領域に格納する。

【 0 0 3 9 】

図 6、7、8 は時間測定検査の詳細であり、図 6 は MCU 1 0 3 がメモリーカード 1 0 1 のフラッシュメモリ 1 1 1 の各物理ブロックにおける書き込み消去時間を測定するためのフローチャート、図 7 はフラッシュメモリ 1 1 1 に対して消去を実行する際のタイミングチャート、図 8 はフラッシュメモリ 1 1 1 に対して書き込みを実行する際のタイミングチャートである。

20

【 0 0 4 0 】

時間測定検査では、まずステップ 6 0 1 で MCU 1 0 3 は時間測定検査の対象となる物理ブロックのアドレスを 0 に設定する。次にステップ 6 0 2 で MCU 1 0 3 はカウンタ 1 0 8 をリセットする。このタイミングは図 7 における時刻  $t_{e1}$  に対応する。次にステップ 6 0 3 でフラッシュメモリ 1 1 1 の当該物理ブロックに対して消去コマンドを発行する。このタイミングは図 7 における時刻  $t_{e1} \sim t_{e2}$  の期間に対応する。次にステップ 6 0 4 の判定処理でフラッシュメモリ 1 1 1 のビジーが解除されるまで待つ。この期間は図 7 における時刻  $t_{e2} \sim t_{e3}$  の期間（消去ビジー時間）に対応する。フラッシュメモリ 1 1 1 のビジーが解除されたらステップ 6 0 5 で MCU 1 0 3 はカウンタ 1 0 8 の値を取得する。このタイミングは図 7 における時刻  $t_{e3}$  に対応し、得られるカウンタ値（消去時間）は  $t_{e1} \sim t_{e3}$  の期間のカウンタ値である。

30

【 0 0 4 1 】

この後、ステップ 6 0 6 の判定処理でフラッシュメモリ 1 1 1 に対して正しく物理ブロックの消去が行えたかを確認し、正しく消去が行えていなかった場合にはステップ 6 0 7 で MCU 1 0 3 は以降当該ブロックをバッドブロックとして管理する。

【 0 0 4 2 】

正しく消去されていた場合は、ステップ 6 0 8 の判定処理で、ステップ 6 0 5 で取得したカウンタ値と閾値テーブル 1 0 9 の値を比較してカウンタ値が検査ホストの設定した閾値よりも大きければ、ステップ 6 0 9 でレイトブロックテーブル 1 1 0 に当該物理ブロックのアドレスと消去に要した時間を消去時間として書き込む。

40

【 0 0 4 3 】

次にステップ 6 1 0 ~ 6 1 6 までの流れは、ステップ 6 0 2 ~ 6 0 9 までの流れの消去を書き込みに変更した以外は基本的に同じである。ステップ 6 1 0 で MCU 1 0 3 はカウンタ 1 0 8 をリセットする。このタイミングは図 8 における時刻  $t_{p1}$  に対応する。次にステップ 6 1 1 でフラッシュメモリ 1 1 1 の当該物理ブロックに対して書き込みコマンドを発行する。このタイミングは図 8 における時刻  $t_{p1} \sim t_{p2}$  の期間に対応する。次に判定 6 1 2 でフラッシュメモリ 1 1 1 のビジーが解除されるまで待つ。この期間は図 8 における時刻  $t_{p2} \sim t_{p3}$  の期間（書き込みビジー時間）に対応する。フラッシュメモリ 1 1 1 のビジーが解除されたら、ステップ 6 1 3 で MCU 1 0 3 はカウンタ 1 0 8 の値を取得する。このタイミングは図 8 における時刻  $t_{p3}$  に対応し、得られるカウンタ値（書

50

き込み時間)は  $t_{p1} \sim t_{p3}$  の期間のカウンタ値である。

【0044】

この後、ステップ614の判定処理でフラッシュメモリ111に対して正しく物理ブロックに対して書き込みが行えたかを確認し、正しく書き込みが行えていなかった場合にはステップ607でMCU103は以降当該ブロックをバッドブロックとして管理する。

【0045】

正しく書き込みされていた場合は、ステップ615の判定処理でステップ613で取得したカウンタ値と閾値テーブル109の値を比較してカウンタ値が検査ホストの設定した閾値よりも大きければ、ステップ616でレイトブロックテーブル110に当該物理ブロックのアドレスと書き込みに要した時間を書き込み時間として書き込む。

10

【0046】

次にステップ617でMCU103は時間測定検査の対象となる物理ブロックのアドレスを1インクリメントする。

【0047】

最後にステップ618の判定処理で該当物理ブロックが有効な領域内であるかどうかを判定し、有効な領域であればステップ602へ、無効な領域であれば処理を終了する。

【0048】

以上のようにして検査ホストが閾値テーブル109に設定した値よりも処理時間の長い物理ブロックのアドレスとその処理時間をレイトブロックテーブル110に登録することができる。

20

【0049】

このようにして作成したレイトブロックテーブル110は、メモリーカード101の電源が切られても記憶できるようにフラッシュメモリ111を含むメモリーカード101内部の不揮発性記憶領域に格納する。

【0050】

図9はMCU103がメモリーカード101のフラッシュメモリ111に書き込みを行う際のフローである。

【0051】

まず、最初にステップ901の判断処理でMCU103は書き込みしようとしている領域が通常領域なのかシステム領域なのかを判定する。通常領域かシステム領域かという判断はホスト機器からの書き込みコマンドの種別によって明確にされる。通常領域であればステップ902に移行してレイトブロックテーブル110に登録されていない物理ブロックを書き込み先に設定し、システム領域であればステップ903でレイトブロックテーブル110に登録されている物理ブロックを書き込み先に設定する。

30

【0052】

次にステップ904で実際にフラッシュメモリ111の書き込み先となっている物理ブロックに対して書き込みを実行するとともに、この際に書き込み時間の測定も行う。具体的な処理は、図6に示したステップ610～617の処理と同様である。

【0053】

ステップ905の判定処理ではステップ904で測定した書き込み時間と閾値テーブル109に登録された値(例えば、 $290\mu s$ )とを比較して、書き込み時間が閾値よりも長ければステップ906でレイトブロックテーブル110の更新を行う。図11に示すようなフラッシュメモリの場合は、書き込みを繰り返すうちに4個( $290\mu s$ 以上のブロック数)の物理ブロックがレイトブロックテーブル110に登録され、システム領域の書き込みの際にレイトブロックテーブル110に登録された物理ブロックに対して書き込みが実行される。

40

【0054】

以上のように、レイトブロックテーブル110でフラッシュメモリ111の各物理ブロックの書き込み・消去時間を管理することにより、システム領域等の速度保証を要求されない領域の書き込みは、書き込み・消去時間の長い物理ブロックに対して実行し、速度保

50



証を要求される書き込みは、書き込み・消去時間が閾値テーブル 109 に登録した閾値よりも速い、つまりフラッシュメモリ 111 の仕様書に示されている書き込み時間の最大値よりも早い書き込み時間で書き込みをすることができるブロックに対して実行することができる。例えば、図 11 に示すような書き込みビジー時間の分布の場合は書き込みビジー時間が 300  $\mu$ s 以下であるとして最低速度保証を行うことが可能である。その結果フラッシュメモリ 111 の仕様書に書かれた値よりも速い値を基にして書き込みの最低速度保証を実行することができる。

#### 【0055】

なお、本実施の形態において、フラッシュメモリ 111 は 1 つのメモリデバイスで構成される場合について説明を行ったが、2 以上のメモリデバイスで構成する場合においても同様に実施できる。

10

#### 【産業上の利用可能性】

#### 【0056】

本発明にかかる不揮発性記憶装置及びその書き込み方法は、各物理ブロックの書き換え・消去時間を管理して、速度を保証する必要があるデータや領域に対してより高速な速度の保証を行うことができ、例えば、高画質な動画の記録を保証することができるという特有の効果을有し、メモリーカード、不揮発性メモリに対するコントローラ、不揮発性メモリに対するホスト機器等として有用である。

#### 【図面の簡単な説明】

#### 【0057】

20

【図 1】本発明の実施の形態による不揮発性記憶装置の構成を示すブロック図

【図 2】同不揮発性記憶装置に用いられるフラッシュメモリのブロックの構成図

【図 3】同不揮発性記憶装置の論理マップを示す概念図

【図 4】同不揮発性記憶装置に用いられるレイトブロックテーブルの構成を表す概念図

【図 5】同不揮発性記憶装置の検査処理を示すフローチャート

【図 6】同不揮発性記憶装置の時間測定検査の処理を示すフローチャート

【図 7】同不揮発性記憶装置に用いられるフラッシュメモリの消去に係るタイミングチャート

【図 8】同不揮発性記憶装置に用いられるフラッシュメモリの書き込みに係るタイミングチャート

30

【図 9】同不揮発性記憶装置の書き込み方法を表すフローチャート

【図 10】従来の不揮発性記憶装置に用いられるフラッシュメモリに含まれる物理ブロックの初期状態での書き込み時間の分布を表すグラフ

【図 11】従来の不揮発性記憶装置に用いられるフラッシュメモリに含まれる物理ブロックへの書き込み時間の耐久性試験後の分布を表すグラフ

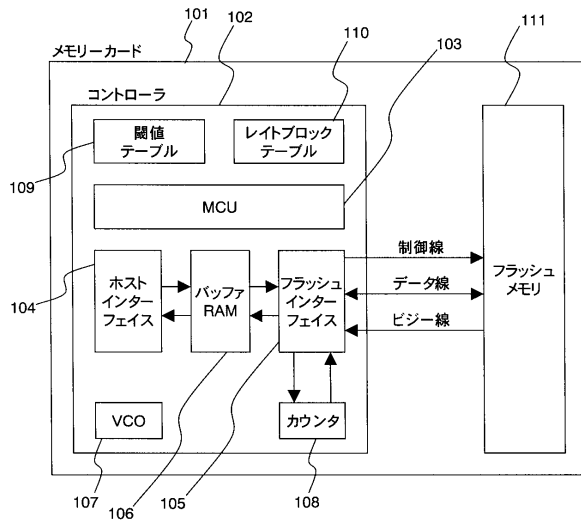
#### 【符号の説明】

#### 【0058】

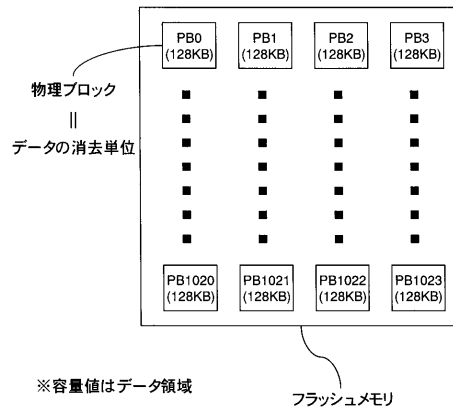
- 101      メモリーカード
- 102      コントローラ
- 103      M C U
- 104      ホストインターフェース
- 105      フラッシュインターフェース
- 106      バッファ R A M
- 107      V C O
- 108      カウンタ
- 109      閾値テーブル
- 110      レイトブロックテーブル
- 111      フラッシュメモリ

40

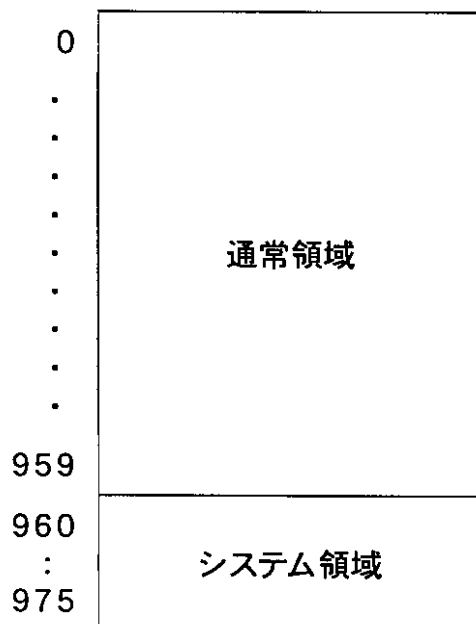
【図 1】



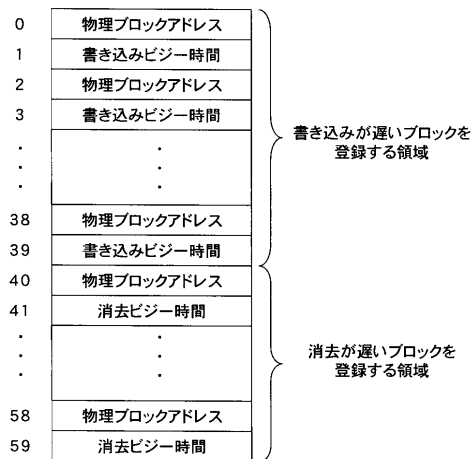
【図 2】



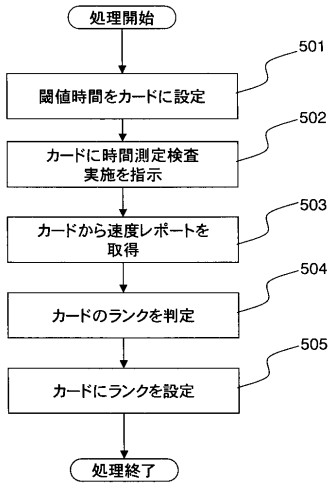
【図 3】



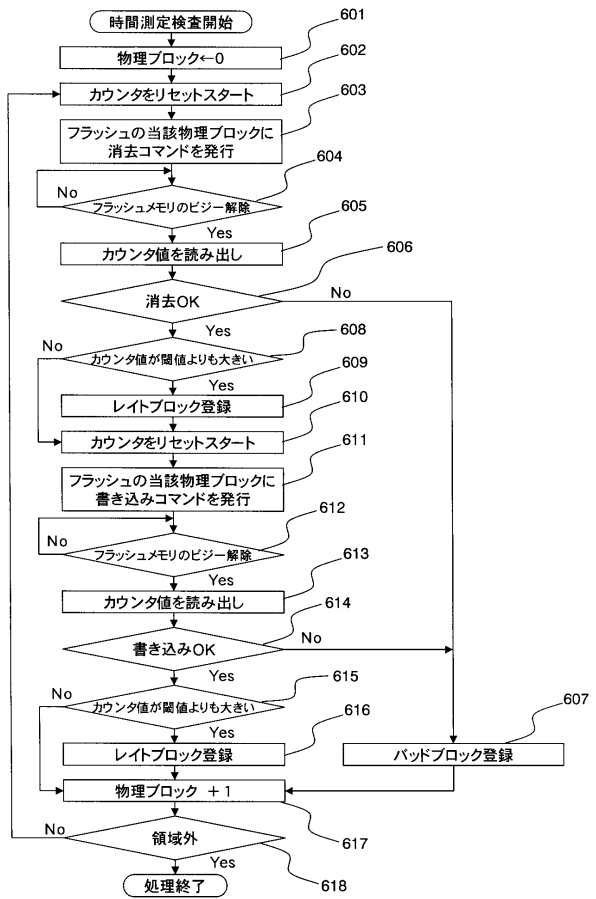
【図 4】



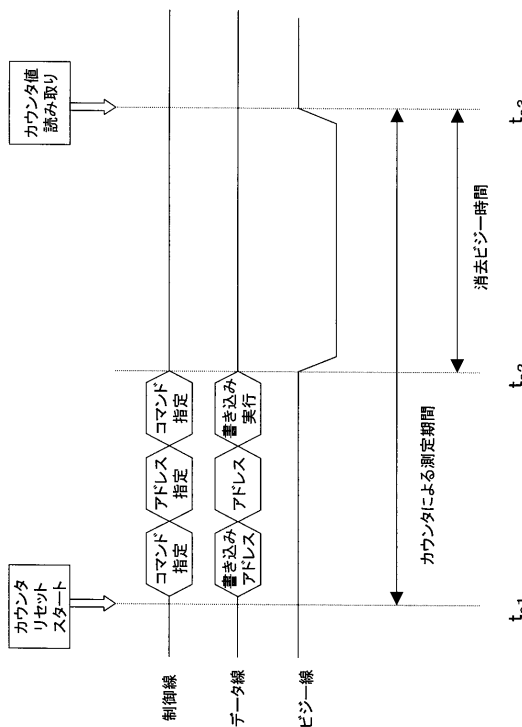
【図 5】



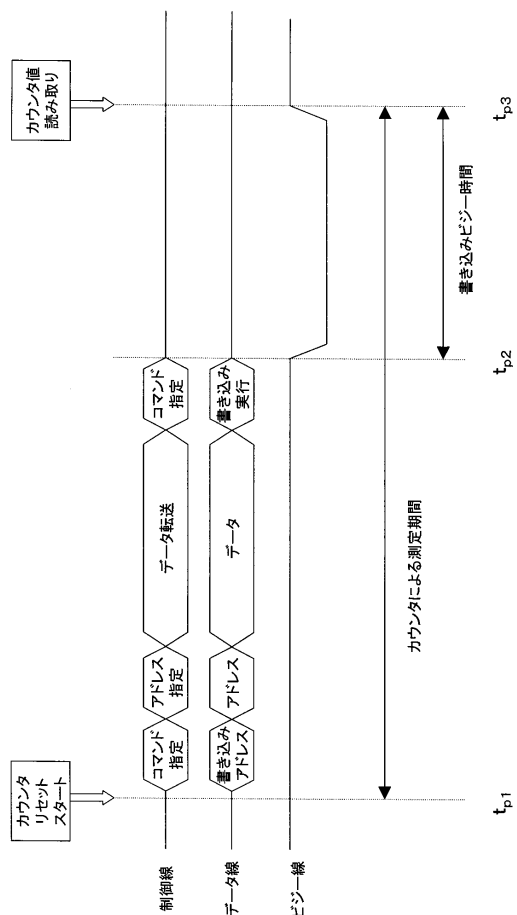
【図 6】



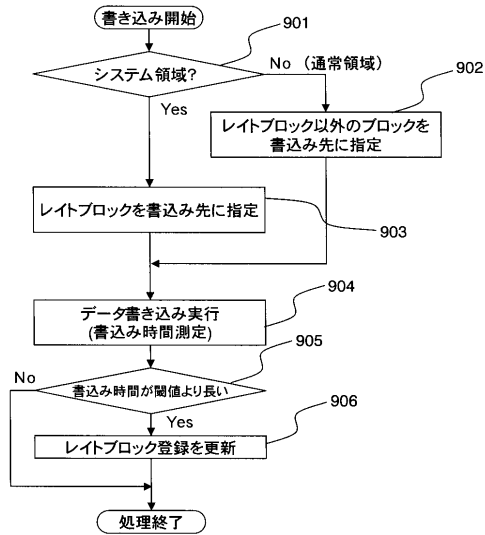
【図 7】



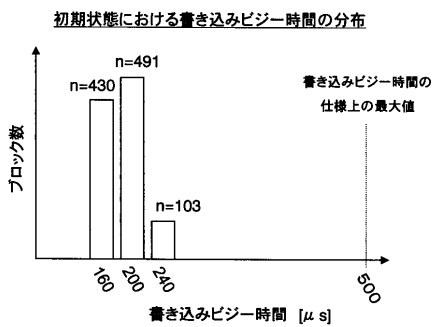
【図 8】



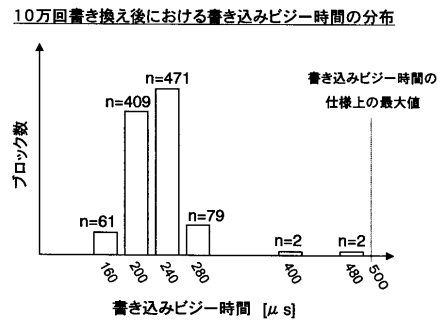
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(56)参考文献 特開平 0 6 - 1 3 9 1 4 3 ( J P , A )  
特開平 1 1 - 0 3 1 1 0 2 ( J P , A )  
特開平 1 1 - 1 4 9 3 5 2 ( J P , A )  
特開平 0 4 - 0 0 3 3 9 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 6 F 1 2 / 0 0  
G 0 6 F 1 2 / 0 6