



(12)发明专利

(10)授权公告号 CN 103681600 B

(45)授权公告日 2017.12.12

(21)申请号 201310399888.6

(22)申请日 2013.09.05

(65)同一申请的已公布的文献号

申请公布号 CN 103681600 A

(43)申请公布日 2014.03.26

(30)优先权数据

10-2012-0098464 2012.09.05 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 韩奎熙 安商燾

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51)Int.Cl.

H01L 23/522(2006.01)

H01L 21/768(2006.01)

(56)对比文件

US 2012241838 A1, 2012.09.27,

US 2012104512 A1, 2012.05.03,

US 2009218614 A1, 2009.09.03,

US 2012241838 A1, 2012.09.27,

审查员 刘玮德

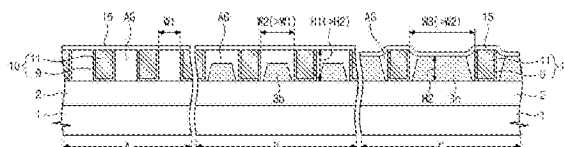
权利要求书4页 说明书12页 附图22页

(54)发明名称

集成电路器件、半导体器件及其制造方法

(57)摘要

本发明提供了集成电路器件、半导体器件及其制造方法。该集成电路器件包括：间隔开的导电图案，在基板表面上；支撑图案，在导电图案中的相邻导电图案之间的基板表面上并且通过相应间隙区而与导电图案分离。导电图案中的相邻导电图案远离基板表面延伸而超过在其间的支撑图案的表面。盖层被提供在导电图案的相应表面上和支撑图案的表面上。



1. 一种集成电路器件,包括:

间隔开的导电图案,在基板表面上;

包括含碳材料的支撑图案,在所述导电图案中的相邻导电图案之间的所述基板表面上并通过相应间隙区与所述导电图案分离,其中所述导电图案中的所述相邻导电图案远离所述基板表面延伸而超出在其间的所述支撑图案的表面;以及

盖层,在所述导电图案的相应表面上和在所述支撑图案的所述表面上,使得其上的所述盖层的表面为不平坦的,

其中在形成所述间隙区期间,所述含碳材料具有相对于其上的包含碳氢化合物的牺牲材料的灰化选择性。

2. 根据权利要求1所述的器件,其中所述相应间隙区由所述盖层、所述导电图案的相应侧壁和所述导电图案中的所述相邻导电图案的相应侧壁限定。

3. 根据权利要求2所述的器件,其中所述盖层在所述导电图案中的所述相邻导电图案的所述相应侧壁上延伸,其中所述支撑图案的所述相应侧壁没有所述盖层。

4. 根据权利要求1所述的器件,其中所述基板包括第一区域和第二区域,其中所述支撑图案在所述第二区域中的所述导电图案中的所述相邻导电图案之间,并且在所述第一区域中的所述导电图案之间没有所述支撑图案。

5. 根据权利要求4所述的器件,其中所述盖层的所述表面在所述第一区域中实质上是平坦的,而在所述第二区域中是不平坦的。

6. 根据权利要求5所述的器件,其中在所述第二区域中的所述导电图案之间的间距大于在所述第一区域中的所述导电图案之间的间距。

7. 根据权利要求6所述的器件,还包括:

保留图案,在所述第一区域中的所述导电图案中的所述相邻导电图案之间的所述基板表面上,

其中所述支撑图案和所述保留图案包括相同的材料,其中所述支撑图案远离所述基板表面延伸而超过所述保留图案的表面。

8. 根据权利要求7所述的器件,其中所述相应间隙区包括在所述第二区域中的第一间隙区和在所述第一区域中的第二间隙区,其中所述保留图案通过所述第二间隙区与所述盖层和所述第一区域中的所述导电图案中的所述相邻导电图案分离。

9. 根据权利要求2所述的器件,还包括:

一个或多个保护层,在所述盖层与所述导电图案的所述相应表面之间和/或在所述盖层与所述支撑图案的所述表面之间。

10. 根据权利要求9所述的器件,其中所述一个或多个保护层包括不同材料的第一层和第二层,其中所述导电图案和所述支撑图案的所述相应侧壁上包括所述第二层并且没有所述第一层。

11. 一种半导体器件,包括:

具有第一区域和第二区域的基板;

在所述基板上的导电图案,其中所述第一区域中的所述导电图案间隔第一距离,所述第二区域中的所述导电图案间隔第二距离,所述第二距离大于所述第一距离;

保留图案,设置在所述第一区域中的所述导电图案之间;

支撑图案,设置在所述第二区域中的所述导电图案之间,并且与所述第二区域中的所述导电图案的侧壁间隔开;以及

在所述导电图案和所述支撑图案上的盖层,所述盖层在所述第一区域中的所述导电图案之间限定第一气隙区,在所述第二区域中的所述支撑图案和与所述支撑图案相邻的所述导电图案之间限定第二气隙区,

其中所述支撑图案具有比所述导电图案的顶表面低的顶表面,且其中所述保留图案具有与所述盖层被所述第一气隙区间隔开且比所述支撑图案的所述顶表面低的顶表面。

12. 根据权利要求11所述的器件,其中所述支撑图案具有倾斜的侧表面。

13. 根据权利要求12所述的器件,其中所述支撑图案和与其相邻的所述导电图案之间的距离在所述支撑图案的下部分比在所述支撑图案的上部分小。

14. 根据权利要求11所述的器件,其中在所述第二区域中,所述气隙区被提供在所述支撑图案和所述导电图案的侧表面之间。

15. 根据权利要求11所述的器件,其中所述保留图案由与所述支撑图案相同的材料形成,且其中所述相同的材料包括碳。

16. 根据权利要求11所述的器件,还包括:

第一保护层,设置在所述导电图案和所述盖层之间;以及

第二保护层,覆盖所述导电图案的侧表面。

17. 根据权利要求16所述的器件,其中所述第一保护层由与所述第二保护层不同的材料形成。

18. 根据权利要求17所述的器件,其中所述第一保护层包括钽、钌、钴、锰、钛、钨、镍、铝、其氧化物、其氮化物、和其氮氧化物中的至少一种,所述第二保护层包括从由硅氮化物(SiN)、硅碳氮化物(SiCN)和硼氮化物(BN)组成的组中选出的至少一种材料。

19. 根据权利要求16所述的器件,其中所述第二保护层在所述第一保护层的顶表面和所述盖层之间延伸并且覆盖所述导电图案之间的所述基板。

20. 根据权利要求16所述的器件,其中,在所述第二区域中,所述第二保护层覆盖所述支撑图案的侧表面并且插置在所述支撑图案的所述顶表面和所述盖层之间。

21. 根据权利要求16所述的器件,其中所述第二保护层覆盖所述保留图案的所述顶表面和侧表面。

22. 根据权利要求11所述的器件,其中所述盖层包括从由二氧化硅(SiO₂)、硅氮化物(SiN)、碳掺杂的氢化硅氧化物(SiOCH)、硅碳氮化物(SiCN)和硅氮氧化物(SiON)组成的组中选出的至少一种材料。

23. 根据权利要求11所述的器件,其中所述支撑图案包括从由二氧化硅(SiO₂)、硅氮化物(SiN)、硅碳氮化物(SiCN)、碳掺杂的氢化硅氧化物(SiOCH)、多孔-碳掺杂的氢化硅氧化物(多孔SiOCH)组成的组中选出的至少一种材料。

24. 根据权利要求11所述的器件,其中,在所述第二区域中,与所述支撑图案相邻的所述导电图案之间的间距是100nm或更大。

25. 根据权利要求11所述的器件,其中所述盖层覆盖在所述第二区域中的所述导电图案的上侧壁的一部分。

26. 根据权利要求25所述的器件,还包括覆盖所述导电图案的侧壁的保护层,其中在所

述第二区域中所述盖层部分地覆盖所述保护层的上侧壁。

27. 一种制造集成电路器件的方法,所述方法包括:

在基板表面上形成间隔开的导电图案;

在所述导电图案中的相邻导电图案之间的所述基板表面上形成相应支撑图案,所述相应支撑图案通过相应间隙区而与所述导电图案分离,其中所述导电图案中的所述相邻导电图案远离所述基板表面延伸而超出在其间的所述相应支撑图案的表面;以及

在所述导电图案的相应表面上和在所述相应支撑图案的所述表面上形成盖层,

其中形成所述支撑图案包括:

在所述导电图案中的所述相邻导电图案之间的相应绝缘层上执行等离子体处理工艺。

28. 根据权利要求27所述的方法,其中所述等离子体处理工艺从所述相应绝缘层的外围部分去除碳;以及

其中形成所述支撑图案还包括:

选择性地蚀刻在所述导电图案中的所述相邻导电图案之间的所述相应绝缘层的所述外围部分,以限定所述相应支撑图案和所述相应间隙区,所述相应间隙区将所述相应支撑图案与所述导电图案中的所述相邻导电图案分离。

29. 根据权利要求28所述的方法,其中响应于选择性蚀刻,所述相应支撑图案的尺寸随着所述导电图案中的所述相邻导电图案之间的间距减小而减小。

30. 一种制造半导体器件的方法,包括:

在基板上形成绝缘层;

图案化所述绝缘层以形成多个凹进区域;

形成导电图案以填充所述凹进区域;

关于所述绝缘层执行等离子体处理;

去除所述绝缘层的至少一部分以暴露所述导电图案的侧壁;

形成牺牲层以填充所述导电图案之间的间隔;

在所述导电图案和所述牺牲层上形成盖层;以及

去除所述牺牲层以在所述导电图案之间形成气隙区。

31. 根据权利要求30所述的方法,其中去除所述绝缘层的至少一部分包括:形成支撑图案,其中在去除所述牺牲层之后,所述支撑图案与所述盖层接触。

32. 根据权利要求30所述的方法,其中去除所述绝缘层的至少一部分包括:形成与所述盖层间隔开的保留图案,其中在去除所述牺牲层之后,所述保留图案与所述盖层间隔开。

33. 根据权利要求30所述的方法,其中所述凹进区域使用各向异性蚀刻工艺形成。

34. 根据权利要求33所述的方法,其中所述绝缘层由含碳材料形成,其中蚀刻工艺和所述等离子体处理被执行以从所述绝缘层的至少一部分去除碳。

35. 根据权利要求30所述的方法,其中关于所述绝缘层执行所述等离子体处理包括在200-400℃的温度下和在3-8Torr的压力下以300-800W的等离子体功率供应H₂、NH₃、N₂H₂、N₂O、O₂、CO₂和CO的至少一种气体。

36. 根据权利要求30所述的方法,其中所述牺牲层由碳氢化合物层形成。

37. 根据权利要求30所述的方法,其中所述盖层使用ALD、PE-CVD、AP-CVD和FCVD工艺中的至少一种沉积工艺形成。

38. 根据权利要求30所述的方法, 其中去除所述牺牲层包括: 执行灰化工艺, 所述灰化工艺将所述牺牲层分解为气体, 所述气体通过所述盖层逸出。

39. 根据权利要求38所述的方法, 其中所述灰化工艺包括在20-400℃的温度下供应 NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 和 CO 中的至少一种气体。

40. 根据权利要求30所述的方法, 还包括: 在去除所述绝缘层的至少一部分之前, 形成第一保护层以覆盖所述导电图案的顶表面。

41. 根据权利要求40所述的方法, 还包括: 在去除所述绝缘层的至少一部分之后并且在形成所述牺牲层之前, 形成第二保护层以覆盖所述导电图案。

集成电路器件、半导体器件及其制造方法

技术领域

[0001] 本发明构思的示例实施方式涉及半导体器件及其制造方法。

背景技术

[0002] 半导体器件可被需要具有更高的集成度、更高的密度、更低的功耗和/或更快的运行速度。具有高集成电路的半导体器件可以包括可以由金属材料(例如,铝)形成的多层互连结构。铝互连线的形成可以包括在绝缘层上沉积铝层和蚀刻该铝层以暴露绝缘层。

[0003] 然而,随着半导体器件的设计规则减小,铜(代替铝)可以越来越多地被用作互连线的材料。这可能是由于铝的相对高的电阻率。例如,随着铝互连线的宽度减小,其电阻增加,因而可能难以实现具有更高运行速度的半导体器件。铜可以在成本和导电性方面呈现出优点,但是在使用蚀刻技术来图案化铜层方面可能存在困难。镶嵌工艺也可以被用于形成铜互连线。

[0004] 此外,由于半导体器件的日益增加的集成度,互连线之间的间距可以变得越来越窄,纵使使用了铜互连线,这也可能导致互连线之间的电干扰和/或信号传输速度的延迟。

发明内容

[0005] 本发明构思的示例实施方式提供配置为具有增加的信号传输速度的半导体器件。

[0006] 本发明构思的其它示例实施方式提供复杂性减小的制造半导体器件的方法。

[0007] 根据本发明构思的示例实施方式,一种半导体器件可以包括:具有第一区域和第二区域的基板;设置在基板上的导电图案;盖层,提供在导电图案上以在导电图案之间限定气隙区;以及支撑图案,提供在第二区域中的导电图案之间以与盖层图案接触。该支撑图案具有可以比导电图案的顶表面低的顶表面。

[0008] 在示例实施方式中,导电图案的间隔可以在第一区域中比在第二区域中小。

[0009] 在示例实施方式中,支撑图案具有倾斜的侧表面。

[0010] 在示例实施方式中,支撑图案和与其相邻的导电图案之间的距离可以在支撑图案的下部分比在支撑图案的上部分小。

[0011] 在示例实施方式中,在第二区域中,气隙区可以被提供在支撑图案和导电图案的侧表面之间。

[0012] 在示例实施方式中,该器件还可以包括在第一区域中提供在导电图案之间并且与盖层间隔开的保留图案。

[0013] 在示例实施方式中,保留图案可以由与支撑图案相同的材料形成。

[0014] 在示例实施方式中,保留图案具有比支撑图案的顶表面低的顶表面。

[0015] 在示例实施方式中,该器件还可以包括设置在导电图案和盖层之间的第一保护层以及覆盖导电图案的侧表面的第二保护层。

[0016] 在示例实施方式中,第一保护层可以由与第二保护层不同的材料形成。

[0017] 在示例实施方式中,第一保护层可以包括钽、钇、钴、锰、钛、钨、镍、铝、其氧化物、

其氮化物、或其氮氧化物中的至少一种,第二保护层可以包括从由硅氮化物(SiN)、硅碳氮化物(SiCN)和硼氮化物(BN)组成的组中选出的至少一种材料。

[0018] 在示例实施方式中,第二保护层可以在第一保护层的顶表面和盖层之间延伸并且覆盖导电图案之间的基板。

[0019] 在示例实施方式中,在第二区域中,第二保护层覆盖支撑图案的侧表面并且可以插置在支撑图案的顶表面和盖层之间。

[0020] 在示例实施方式中,该器件还可以包括在第一区域中提供在导电图案之间并且与盖层间隔开的保留图案。第二保护层覆盖保留图案的侧表面和顶表面。

[0021] 在示例实施方式中,盖层可以包括从由二氧化硅(SiO₂)、硅氮化物(SiN)、碳掺杂的氢化硅氧化物(SiOCH)、硅碳氮化物(SiCN)和硅氮氧化物(SiON)组成的组中选出的至少一种材料。

[0022] 在示例实施方式中,盖层具有0.1-5nm的厚度。

[0023] 在示例实施方式中,支撑图案可以包括从由二氧化硅(SiO₂)、硅氮化物(SiN)、硅碳氮化物(SiCN)、碳掺杂的氢化硅氧化物(SiOCH)、多孔-碳掺杂的氢化硅氧化物(多孔SiOCH)组成的组中选出的至少一种材料。

[0024] 在示例实施方式中,在第二区域中,与支撑图案相邻的导电图案可以提供为具有100nm或以上的间隔。

[0025] 在示例实施方式中,盖层覆盖导电图案的上侧壁的一部分。

[0026] 在示例实施方式中,该器件还可以包括覆盖导电图案的侧壁的保护层。盖层部分地覆盖保护层的上侧壁。

[0027] 根据本发明构思的示例实施方式,一种制造半导体器件的方法可以包括:在基板上形成绝缘层;图案化绝缘层以形成多个凹进区域;形成导电图案以填充凹进区域;对绝缘层执行等离子体处理;去除绝缘层的至少一部分以暴露导电图案的侧壁;以及形成牺牲层以填充导电图案之间的间隔;在导电图案和牺牲层上形成盖层;以及去除牺牲层以形成导电图案之间的气隙区。

[0028] 在示例实施方式中,去除绝缘层的至少一部分还可以包括形成支撑图案,在去除牺牲层之后,该支撑图案可以与盖层接触。

[0029] 在示例实施方式中,去除绝缘层的至少一部分还可以包括形成与盖层间隔开的保留图案,在去除牺牲层之后,该保留图案可以与盖层间隔开。

[0030] 在示例实施方式中,凹进区域可以使用各向异性蚀刻工艺形成。

[0031] 在示例实施方式中,绝缘层可以由含碳材料形成,蚀刻工艺和等离子体处理可以被执行以从绝缘层的至少一部分去除一部分碳。

[0032] 在示例实施方式中,对绝缘层的等离子体处理可以包括在200-400℃的温度下和3-8Torr的压力下以300-800W的等离子体功率供应H₂、NH₃、N₂H₂、N₂O、O₂、CO₂或CO中的至少一种气体。

[0033] 在示例实施方式中,牺牲层可以由碳氢化合物层形成。

[0034] 在示例实施方式中,盖层可以使用ALD、PE-CVD、AP-CVD或FCVD中的至少一种沉积工艺形成。

[0035] 在示例实施方式中,去除牺牲层可以包括执行将牺牲层分解为气体的灰化工艺,

该气体可以通过盖层逸出。

[0036] 在示例实施方式中,灰化工艺可以包括在20-400℃的温度下供应 NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或 CO 中的至少一种气体。

[0037] 在示例实施方式中,该方法还可以包括:在去除绝缘层的至少一部分之前,形成第一保护层以覆盖导电图案的顶表面。

[0038] 在示例实施方式中,该方法还可以包括:在去除绝缘层的至少一部分之后并且在形成牺牲层之前,形成第二保护层以覆盖导电图案。

[0039] 根据本发明构思的另一示例实施方式,集成电路器件包括:间隔开的导电图案,在基板表面上;以及支撑图案,在导电图案中的相邻导电图案之间的基板表面上并且通过相应间隙区而与导电图案分离。导电图案中的相邻导电图案远离基板表面延伸而超过在其间的支撑图案的表面。盖层被提供在导电图案的相应表面上并且在支撑图案的表面上。

[0040] 在示例实施方式中,相应间隙区可以由盖层、导电图案的相应侧壁和导电图案中的相邻导电图案的相应侧壁限定。

[0041] 在示例实施方式中,盖层可以在导电图案中的相邻导电图案的相应侧壁上延伸,支撑图案的相应侧壁可以没有盖层。

[0042] 在示例实施方式中,基板可以包括第一区域和第二区域。支撑图案可以在第二区域中的导电图案中的相邻导电图案之间,第一区域中的导电图案之间可以没有支撑图案。

[0043] 在示例实施方式中,盖层的表面在第一区域中可以实质上是平坦的,而在第二区域中可以是不平坦的。

[0044] 在示例实施方式中,在第二区域中导电图案之间的间距可以大于在第一区域中导电图案之间的间距。

[0045] 在示例实施方式中,保留图案可以被提供在第一区域中的导电图案中的相邻导电图案之间的基板表面上。支撑图案和保留图案可以包括相同的材料,支撑图案可以远离基板表面延伸而超过保留图案的表面。

[0046] 在示例实施方式中,相应间隙区可以是第一间隙区,保留图案可以在第一区域中通过第二间隙区与盖层和导电图案中的相邻导电图案分离。

[0047] 在示例实施方式中,一个或多个保护层可以被提供在盖层和导电图案的相应表面之间,和/或在盖层和支撑图案的表面之间。

[0048] 在示例实施方式中,一个或多个保护层可以包括不同材料的第一层和第二层。导电图案和支撑图案的相应侧壁上可以包括第二层,并且可以没有第一层。

[0049] 在示例实施方式中,支撑图案可以是相对于碳氢化合物基的牺牲层具有灰化选择性的含碳层。相应间隙区中可以包括碳氢化合物基的牺牲层的至少一部分。

[0050] 在示例实施方式中,相应间隙区可以是无阻碍空间,该无阻碍空间具有比支撑图案和/或盖层的介电常数小的介电常数。

[0051] 在示例实施方式中,导电图案中的在其间具有支撑图案的相邻导电图案可以分离大约100纳米(nm)或更大的距离。

[0052] 根据本发明构思的又一示例实施方式,一种制造集成电路器件的方法包括:在基板表面上形成间隔开的导电图案;以及在导电图案中的相邻导电图案之间的基板表面上形成相应支撑图案,使得支撑图案通过相应间隙区与导电图案中的相邻导电图案分离。导电

图案中的相邻导电图案远离基板表面延伸而超过在其间的相应支撑图案的表面。盖层形成在导电图案的相应表面上和相应支撑图案的表面上。

[0053] 在示例实施方式中,相应支撑图案可以通过在导电图案中的相邻导电图案之间的相应绝缘层上执行等离子体处理工艺而形成。等离子体处理工艺可以从相应绝缘层的外围部分去除碳。导电图案中的相邻导电图案之间的相应绝缘层的外围部分可以被选择性地蚀刻以限定相应支撑图案和相应间隙区,该相应间隙区将相应支撑图案与导电图案中的相邻导电图案分离。

[0054] 在示例实施方式中,相应支撑图案的尺寸可以随着导电图案中的相邻导电图案之间的间距减小而减小。

[0055] 在浏览下面的附图和详细的描述之后,对于本领域的技术人员而言,根据一些实施方式的其它方法和/或器件将变得明显。除了上述实施方式的任意和所有组合之外,所有这种附加实施方式也旨在被包含在本描述中、包含在本发明的范围内并且由权利要求保护。

附图说明

[0056] 示例实施方式将从以下结合附图的简要描述而被更清楚地理解。附图显示了如此处描述的非限制的示例实施方式。

[0057] 图1是根据本发明构思的示例实施方式的半导体器件的截面图;

[0058] 图2至图10是示出制造图1的半导体器件的工艺的截面图;

[0059] 图11是根据本发明构思的其它示例实施方式的半导体器件的截面图;

[0060] 图12至图16是示出制造图11的半导体器件的工艺截面图;

[0061] 图17是根据本发明构思的其它示例实施方式的半导体器件的截面图;

[0062] 图18和图19是示出制造图17的半导体器件的工艺截面图;

[0063] 图20是根据本发明构思的其它示例实施方式的半导体器件的截面图;

[0064] 图21A至图21C是示出通过根据本发明构思的示例实施方式的工艺制造的半导体器件的截面图像;

[0065] 图22是示意性框图,示出包括根据本发明构思的示例实施方式的半导体器件的存储系统的示例。

[0066] 应该注意到,这些图旨在示出在某些示例实施方式中利用的方法、结构和/或材料的一般特性并且旨在补充以下提供的书面描述。然而,这些图没有按比例绘制并且可不精确地反映任何给出实施方式的精确结构或性能特征,而不应被解释为限定或限制由示例实施方式包含的数值范围或性能。例如,为了清晰,可以减小或夸大分子、层、区域和/或结构元件的相对厚度和位置。在不同图中的类似或相同附图标记的使用旨在表示类似或相同元件或特征的存在。

具体实施方式

[0067] 现在将参考附图更全面地描述本方面构思的示例实施方式,在附图中显示出示例实施方式。然而,本发明构思的示例实施方式可以以多种不同的形式实施,并且不应被理解为限于此处阐述的实施方式;而是,提供这些实施方式而使得本公开将是全面和完整的,并

将示例实施方式的构思全面地传达给本领域的普通技术人员。在图中,为了清晰,夸大了层和区域的厚度。在图中相同的附图标记表示相同的元件,因而将省略它们的描述。

[0068] 将理解,当一个元件被称为“连接”或“耦接”到另一元件时,它可以直接连接或耦接到所述另一元件或者可以存在中间元件。相反,当一个元件被称为“直接连接”或“直接耦接”到另一元件时,没有中间元件存在。用于描述元件或层之间的关系的其它词语应该以类似的方式解释(例如,“在……之间”与“直接在……之间”,“相邻”与“直接相邻”,“在……上”与“直接在……上”)。相同的附图标记始终表示相同的元件。在此使用时,术语“和/或”包括一个或多个相关列举项目的任意和所有组合。

[0069] 将理解,虽然术语“第一”、“第二”等可以用于此来描述不同的元件、部件、区域、层和/或部分,但是这些元件、部件、区域、层和/或部分不应受这些术语限制。这些术语仅用于区分一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分。因而,以下讨论的第一元件、部件、区域、层或部分可以被称为第二元件、部件、区域、层或部分,而不脱离示例实施方式的教导。

[0070] 为了便于描述,可以在此使用空间相对术语,诸如“在……下”、“在……下方”、“下”、“在……上方”、“上”等来描述一个元件或特征与其它元件或特征如图中所示的关系。将理解,空间相对术语旨在包含除了图中所描绘的取向之外,装置在使用或操作中的不同取向。例如,如果图中的装置被翻转,则被描述为在其它元件或特征“下方”或“下”的元件可以取向为在所述其它元件或特征“上方”。因而,示例性术语“在……下方”可以涵盖上方和下方两种取向。装置可以被另外地取向(旋转90度或其它取向)并且在此使用的空间相对描述语可以被相应地解释。

[0071] 在此使用的术语仅用于描述特定实施方式,而不意欲限制示例实施方式。在此使用时,单数形式也旨在包括复数形式,除非上下文另外清晰地表示。还将理解,如果在此使用术语“包括”和/或“包含”表示所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或多个其它特征、整数、步骤、操作、元件、部件和/或其组的存在或添加。

[0072] 在此参考截面图示描述了本发明构思的示例实施方式,其中截面图示是示例实施方式的理想化的实施方式(和中间结构)的示意性图示。因此,由于例如制造技术和/或公差引起的图示形状的偏离是可以预期的。因而,本发明构思的示例实施方式不应被理解为限于在此示出的区域的特定形状,而是将包括例如由制造引起的形状的偏离。例如,被示出为矩形的注入区可在其边缘处具有圆化或弯曲的特征和/或注入浓度的梯度,而不是从注入区到非注入区的二元变化。同样地,通过注入形成的埋入区可导致埋入区与通过其发生注入的表面之间的区域中的一些注入。因而,在图中示出的区域本质上是示意性的,它们的形状不旨在示出装置的区域的实际形状,并且不旨在限制示例实施方式的范围。

[0073] 除非另外地定义,在此使用的所有术语(包括技术和科学术语)具有与本发明构思的示例实施方式所属的领域中的普通技术人员通常理解的相同含义。还将理解,术语(诸如在通用字典中所定义的那些)应被理解为具有与其在相关领域的上下文中的含义一致的含义,而不将被理解为理想化或过度正式化的意义,除非在此明确地如此定义。

[0074] 图1是根据本发明构思的示例实施方式的半导体器件的截面图。

[0075] 参考图1,包括第一区域A、第二区域B和第三区域C的基板1可以被提供。第一绝缘层2可以被提供在基板1上。第一绝缘层2可以是层间绝缘层或蚀刻停止层。器件隔离层和晶

晶体管可以被提供在基板1上。互连线和/或接触可以被提供在第一绝缘层2中。多个导电图案10可以被提供在第一绝缘层2上。每个导电图案10可以是沿着预定方向延伸的线形图案、触点形图案或具有触点形图案或线形图案二者的结构。至少一个导电图案10可以电连接到可以被提供在第一绝缘层2中的接触插塞或互连线。

[0076] 导电图案10可以包括导电层11以及覆盖导电层11的侧表面和底表面的扩散阻挡层9。导电层11可以由低电阻导电材料诸如铜、钨和铝形成。扩散阻挡层9可以由从钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钌(Ru)、钴(Co)、锰(Mn)、钨氮化物(WN)、镍(Ni)和镍硼(NiB)组成的组中选出的至少一种材料形成。气隙区AG(这里也称为间隙区或间隙),其是空的或无阻碍的空间(例如,空隙或空腔),可以被提供在导电图案10之间。导电图案10的顶表面可以连接到盖层15。盖层15可以由具有大约1.8-8的介电常数的电介质层形成。例如,盖层15可以由从二氧化硅(SiO_2)、硅氮化物(Si_3N_4)、碳掺杂的氢化硅氧化物(SiOCH)、硅碳氮化物(SiCN)和硅氮氧化物(SiON)组成的组中选出的至少一种材料形成。在示例实施方式中,盖层15可以由从由二氧化硅(SiO_2)、碳掺杂的氢化硅氧化物(SiOCH)和硅碳氮化物(SiCN)组成的组中选出的至少一种材料形成。盖层15可具有0.1nm-5nm的厚度。

[0077] 导电图案10可以被设置为在第一区域A中具有第一间隔W1,在第二区域B具有可以比第一间隔W1大的第二间隔W2,在第三区域C中具有可以比第二间隔W2大的第三间隔W3。在示例实施方式中,第三间隔W3可以大于或等于100nm,第一间隔W1可以小于或等于50nm,第二间隔W2可以在从50nm到100nm的范围内。

[0078] 支撑图案3c可以被提供在第三区域C上的导电图案10之间。支撑图案3c可以与盖层15接触。导电图案10的顶表面的高度H1可以高于支撑图案3c的顶表面的高度H2。支撑图案3c可具有倾斜的侧壁。支撑图案3c的底部拐角和与之相邻的导电图案10之间的距离可以小于支撑图案3c的顶部拐角和与之相邻的导电图案10之间的距离。保留图案3b可以被提供在第二区域B上的导电图案10之间。保留图案3b的顶表面的高度可以低于支撑图案3c的顶表面的高度。保留图案3b可以与盖层15间隔开。保留图案3b和支撑图案3c两者可以都没有被提供在第一区域A上的导电图案10之间。支撑图案3c可以由与保留图案3b相同的材料形成。支撑图案3c和保留图案3b可以是具有1.8-8的介电常数的电介质层。例如,支撑图案3c和保留图案3b可以是含碳的绝缘材料。在示例实施方式中,支撑图案3c和保留图案3b可以由从硅氮化物(Si_3N_4)、硅碳氮化物(SiCN)、碳掺杂的氢化硅氧化物(SiOCH)和多孔的碳掺杂的氢化硅氧化物(多孔 SiOCH)组成的组中选出的至少一种材料形成。在其它示例实施方式中,支撑图案3c和保留图案3b可以由二氧化硅(SiO_2)形成。

[0079] 在本实施方式中,半导体器件可以配置为包括气隙区AG,该气隙区AG被提供在导电图案10之间并且由导电图案10和在其上提供的盖层15限定。气隙区AG具有大约1的介电常数,其远小于其它电介质的介电常数,因而导电图案10之间的电干扰可以被最小化。这使得能够提高信号传输速度并减少功耗。此外,因为支撑图案3c被提供在导电图案10之间的相对宽的区域中,所以可以防止盖层15下落或下垂或以其它方式倒塌。这可以改善半导体器件的可靠性。

[0080] 图2至图10是示出制造图1的半导体器件的工艺的截面图。

[0081] 参考图2,第一绝缘层2可以形成在包括第一区域A、第二区域B和第三区域C的基板1上。器件隔离层、晶体管、接触插塞、互连线、蚀刻停止层等可以形成在第一绝缘层2下、第

一绝缘层2中和/或第一绝缘层2上。第一绝缘层2可以由例如硅氧化物层、硅氮化物层或硅氮氧化物层形成。第二绝缘层3可以形成在第一绝缘层2上。

[0082] 第二绝缘层3可以由具有大约1.8-8的介电常数的电介质层形成。在示例实施方式中,第二绝缘层3可以由含碳的电介质层形成。例如,第二绝缘层3可以由从硅碳氮化物(SiCN)、碳掺杂的氢化硅氧化物(SiOCH)和多孔的碳掺杂的氢化硅氧化物(多孔SiOCH)组成的组中选出的至少一种材料形成。在其它示例实施方式中,第二绝缘层3可以由碳还原的电介质层诸如二氧化硅(SiO₂)、硅氮化物和硅氮氧化物形成。第二绝缘层3可以使用ALD、CVD、FCVD、SOD和扩散工艺中的至少一种形成。在第二绝缘层3由多孔SiOCH层形成的情形下,可以对其执行热固化、UV固化和电子束固化工艺中的至少一种。

[0083] 掩模图案5可以形成在第二绝缘层3上。掩模图案5可以形成为具有用于在后续工艺中限定导电图案10的开口7。掩模图案5可以是例如光致抗蚀剂图案。在第一区域A、第二区域B和第三区域C中的掩模图案5可以以使其宽度W1、W2和W3分别具有参考图1描述的在导电图案10之间的间隔W1、W2和W3的方式形成。例如,在第二区域B中的掩模图案5的宽度W2可以大于在第一区域A中的掩模图案5的宽度W1并且小于在第三区域C中的掩模图案5的宽度W3。

[0084] 参考图3,可以使用掩模图案5作为蚀刻掩模来各向异性地蚀刻第二绝缘层3以形成第二绝缘层图案3a,第二绝缘层图案3a具有自开口7复制或者以其它方式相应于开口7的平面形状。在各向异性蚀刻工艺期间,蚀刻损坏可能发生在第二绝缘层图案3a的侧壁上。例如,与第二绝缘层图案3a的下部分相比,第二绝缘层图案3a的上部分会暴露于在各向异性蚀刻工艺中使用的蚀刻剂更长的持续时间,因而,在第二绝缘层图案3a中,蚀刻损坏部分D1可以在上部分比在下部分大。在此情形下,通过例如在各向异性蚀刻工艺中使用的C_xF_y基蚀刻气体或等离子体,可以从蚀刻损坏部分D1部分地去除第二绝缘层图案3a中的碳。在第二绝缘层3由碳掺杂的氢化硅氧化物(SiOCH)或多孔的碳掺杂的氢化硅氧化物(多孔SiOCH)形成的情形下,在蚀刻损坏部分D1中的碳C可以与蚀刻气体中的氢或氧反应,以形成可以从第二绝缘层图案3a逸出的甲烷(CH₄)、一氧化碳(CO)或二氧化碳(CO₂)。结果,蚀刻损坏部分D1可以具有与硅氧化物(Si_xO_y)类似的化学成分。这表明蚀刻损坏部分D1可以被理解实质上为第二绝缘层图案3a的碳还原的部分。

[0085] 参考图4,掩模图案5可以被选择性地去除以暴露第二绝缘层图案3a的顶表面。如果掩模图案5是光致抗蚀剂图案,则其可以通过灰化工艺被去除。接着,扩散阻挡层9和导电层11可以顺序地形成以填充开口7。扩散阻挡层9可以由从钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钌(Ru)、钴(Co)、锰(Mn)、钨氮化物(WN)、镍(Ni)和镍硼(NiB)组成的组中选出的至少一种材料形成。扩散阻挡层9可以通过沉积工艺形成。在形成导电层11之前,可以形成籽晶层。导电层11可以通过沉积工艺或镀覆工艺形成。导电层11可以包括金属层(例如,铜、钨或铝)。

[0086] 参考图5,可以对导电层11和扩散阻挡层9执行平坦化蚀刻工艺以从第二绝缘层图案3a的顶表面去除扩散阻挡层9和导电层11并形成位于开口7中的导电图案10。平坦化蚀刻工艺可以使用回蚀工艺或化学机械抛光(CMP)工艺执行,使得第二绝缘层图案3a的顶表面可以被暴露。

[0087] 参考图6,可以对第二绝缘层图案3a的暴露的顶表面执行等离子体处理工艺13。等

离子体处理工艺可以以使得可以从第二绝缘层图案3a选择性地去除碳的方式执行。这可以导致损坏部分D1的面积的增加。在第一区域A中,因为导电图案10设置为具有小间隔,所以第二绝缘层图案3a可具有小体积。因而,各向异性蚀刻工艺和等离子体处理可以从提供在第一区域A上的第二绝缘层图案3a的整体部分(例如,全部)去除碳。相反,在第三区域C中,因为导电图案10被提供为具有大间隔,所以第二绝缘层图案3a可具有大体积。从第二绝缘层图案3a去除碳的效率可以在第三区域C中最低。例如,在等离子体处理期间,可以从第三区域C中的第二绝缘层图案3a的顶部分部分地去除碳。在第二区域B中,因为导电图案10被提供为具有中等的间隔,所以与在第一区域A和第三区域C中相比,从第二绝缘层图案3a去除碳可以以中等的效率执行。例如,在第二区域B中,可以从第二绝缘层图案3a适中地去除碳。同样地,等离子体处理工艺可以以使得碳去除率可以根据第二绝缘层图案3a的体积被控制的方式执行。在示例实施方式中,等离子体处理工艺可以通过在200–400℃的温度下和3–8Torr的压力下以300–800W的等离子体功率供应 H_2 、 NH_3 、 N_2H_2 、 N_2O 、 O_2 、 CO_2 或CO中的至少一种气体而执行。

[0088] 参考图7,第二绝缘层图案3a的至少一部分可以被去除。例如,部分D1可以被选择性地去除,其中从部分D1通过各向异性蚀刻工艺和等离子体处理工艺使碳被耗尽。此工艺可以通过使用HF溶液的湿法蚀刻工艺或使用 C_xF_y 基气体的干法蚀刻工艺执行。因为碳还原的部分D1具有类似于硅氧化物层(Si_xO_y)的化学成分,所以其可以通过HF溶液或 C_xF_y 基气体被容易地去除。相反,碳保留部分可以不被HF溶液或 C_xF_y 基气体蚀刻,因此可以在该工艺之后保留。结果,支撑图案3c可以形成在第三区域C中,同时保留图案3b可以形成在第二区域B中以具有比支撑图案3c小的尺寸。在第一区域A中,第二绝缘层图案3a可以被完全去除以暴露第一绝缘层2的顶表面。

[0089] 参考图8,牺牲层13可以整体地形成在基板1上。牺牲层13可以由碳氢化合物(C_xF_y)形成。牺牲层13可以使用电介质上旋涂(SOD)或PE-CVD工艺形成。牺牲层13可以形成为填充导电图案10之间的间隔并覆盖导电图案10的顶表面。

[0090] 参考图9,可以对牺牲层13执行平坦化蚀刻工艺以去除牺牲层13并暴露导电图案10的顶表面。平坦化蚀刻工艺可以使用回蚀工艺或CMP工艺执行。

[0091] 参考图10,盖层15可以整体地形成在基板1上。盖层15可以使用原子层沉积(ALD)工艺形成,但是备选地,可以使用等离子体增强CVD(PE-CVD)、大气压CVD(AP-CVD)或流动式CVD(FCVD)形成。盖层15可以由具有1.8–8的介电常数的电介质材料形成。例如,盖层15可以由从二氧化硅(SiO_2)、硅氮化物(SiN)、碳掺杂的氢化硅氧化物($SiOCH$)、硅碳氮化物($SiCN$)和硅氮氧化物($SiON$)组成的组中选出的至少一种材料形成。在示例实施方式中,盖层15可以由从二氧化硅(SiO_2)、碳掺杂的氢化硅氧化物($SiOCH$)和硅碳氮化物($SiCN$)组成的组中选出的至少一种材料形成。盖层15可具有0.1nm–5nm的厚度。盖层15可以形成为覆盖导电图案10和牺牲层13的顶表面。

[0092] 返回参考图1,牺牲层13可以在盖层15下面被选择性地去除。例如,可以执行灰化工艺以去除牺牲层13。灰化工艺可以通过在20–400℃的温度下供应能够产生氢基或氧基的气体(例如, NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或CO中的至少一种)执行。在灰化工艺中产生的氢基或氧基可以穿过盖层15并与组成牺牲层13的碳氢化合物反应,以形成可以通过盖层15逸出的诸如 CH_3 、 CO_2 或CO的气体。因为逸出,所以牺牲层13可以被去除以形成气隙区AG。因而,支撑图案

可以由含碳层或相对于包含碳氢化合物的牺牲层具有灰化选择性的其他层形成。在示例实施方式中,在去除牺牲层13之后,盖层15的一部分可能在导电图案10之间下垂。例如,在导电图案10之间具有最大间隔的第三区域C中,盖层15可能下垂,但是通过支撑图案3c的存在可以防止盖层15过度地下垂。相反,由于导电图案10之间的相对窄的间隔,盖层15可以在第一区A和第二区B中很少地下垂。因此,甚至在第三区域C中,也可以防止可能因盖层15的过度垂下而发生的导电图案10的下落。

[0093] 在导电图案10和其相邻的结构形成之后,互连线可以进一步形成在盖层15上。这里,为了制造互连线和导电图案10之间的电连接,盖层15可以被部分地去除。如果在第三区域C中没有支撑图案,则盖层15可能过度地下垂,这会导致在盖层15上精确地形成蚀刻掩模图案方面的困难。然而,根据本发明构思的上述实施方式,这样的困难可以通过支撑图案3c的存在而减少或防止。

[0094] 图11是根据本发明构思的其它示例实施方式的半导体器件的截面图。

[0095] 参考图11,本实施方式中的半导体器件可以包括提供在导电图案10的顶表面上的第一保护层23和提供在导电图案10的侧表面上的第二保护层25。第一保护层23和第二保护层25可以由彼此不同的材料形成。例如,第一保护层23可以由钽、钲、钴、锰、钛、钨、镍、铝、其氧化物、其氮化物、或其氮氧化物的至少一种形成。第二保护层25可以由具有1.8-8的介电常数的电介质材料形成。例如,第二保护层25可以由从硅氮化物(SiN)、硅碳氮化物(SiCN)和硼氮化物(BN)组成的组中选出的至少一种材料形成。第二保护层25可以在第一保护层23的顶表面和盖层15之间延伸。在第一区域A中,第二保护层25可以延伸以覆盖导电图案10之间的第一绝缘层2。在第二区域B中,第二保护层25可以延伸以覆盖保留图案3b的侧表面和顶表面。第二保护层25的提供在保留图案3b上的一部分可以与其上的盖层15垂直地间隔开。在第三区域C中,第二保护层25可以延伸以覆盖支撑图案3c的侧表面并且插置在支撑图案3c和盖层15之间。除了该差异之外,本实施方式中的半导体器件可以配置为具有与参考图1描述的上述实施方式实质上相同的特征。

[0096] 图12至图16是示出制造图11的半导体器件的工艺的截面图。

[0097] 参考图12,可以在如参考图6描述的对第二绝缘层图案3a执行等离子体处理13之后,第一保护层23可以形成在导电图案10的顶表面上。第一保护层23的形成可以在去除第二绝缘层图案3a的至少一部分之前执行。第一保护层23可以由钽、钲、钴、锰、钛、钨、镍、铝、其氧化物、其氮化物、或其氮氧化物中的至少一种形成。第一保护层23可以通过执行沉积工艺和蚀刻工艺形成。备选地,当第一保护层23仅由金属层形成时,其可以通过镀覆工艺形成。

[0098] 参考图13,第二绝缘层图案3a的至少一部分可以从覆盖有第一保护层23的所得结构去除。此工艺可以通过使用HF溶液的湿法蚀刻工艺或使用 C_xF_y 基气体的干法蚀刻工艺执行。因为碳还原的部分D1具有类似于硅氧化物层(Si_xO_y)的化学成分,所以其可以通过HF溶液或 C_xF_y 基气体被容易地去除。相反,碳保留部分可以不被HF溶液或 C_xF_y 基气体蚀刻,因此可以在该工艺之后保留。结果,支撑图案3c可以形成在第三区域C中,同时保留图案3b可以形成在第二区域B中以具有比支撑图案3c小的尺寸。在第一区域A中,第二绝缘层图案3a可以被完全去除以暴露第一绝缘层2的顶表面。这里,第一保护层23可以在蚀刻工艺期间保护导电图案10的顶表面免于蚀刻损坏。导电图案10的侧壁可以由提供在其上的扩散阻挡层9

保护。

[0099] 参考图14,第二保护层25可以共形地形成在基板1上。第二保护层25可以由具有1.8-8的介电常数的电介质材料形成。例如,第二保护层25可以由从硅氮化物(SiN)、硅碳氮化物(SiCN)和硼氮化物(BN)组成的组中选出的至少一种材料形成。第二保护层25可以使用ALD、PE-CVD、AP-CVD和FCVD工艺的其中之一形成。在示例实施方式中,第二保护层25可以形成完全覆盖导电图案10的暴露表面,因而,可以减少或防止缝孔隙形成在导电图案10中和/或扩散阻挡层9和导电层11之间。

[0100] 参考图15,牺牲层13可以形成在基板1上。牺牲层13可以由碳氢化合物(C_xH_y)形成。在示例实施方式中,牺牲层13可以使用电介质上旋涂(SOD)或PE-CVD工艺形成。牺牲层13可以形成为填充导电图案10之间的间隔并覆盖导电图案10的顶表面。可以对牺牲层13执行平坦化蚀刻工艺以暴露第二保护层25的顶表面。

[0101] 参考图16,盖层15可以形成在基板1上。盖层15可以使用ALD工艺形成,或者备选地,可以使用PE-CVD、AP-CVD和FCVD工艺的其中之一形成。盖层15可以由具有1.8-8的介电常数的电介质材料形成。例如,盖层15可以由从二氧化硅(SiO₂)、硅氮化物(SiN)、碳掺杂的氢化硅氧化物(SiOCH)、硅碳氮化物(SiCN)和硅氮氧化物(SiON)组成的组中选出的至少一种材料形成。在示例实施方式中,盖层15可以由从二氧化硅(SiO₂)、碳掺杂的氢化硅氧化物(SiOCH)和硅碳氮化物(SiCN)组成的组中选出的至少一种材料形成。盖层15可以形成为具有0.1nm-5nm的厚度。盖层15可以形成为覆盖第二保护层25和牺牲层13的顶表面。

[0102] 返回参考图11,牺牲层13可以在盖层15下面被选择性地去除。例如,可以执行灰化工艺以去除牺牲层13。灰化工艺可以通过在20-400℃的温度下供应能够产生羟基或氧基的气体(例如,NH₃、H₂、N₂O、O₂、CO₂或CO中的至少一种)执行。因此,牺牲层13可以被去除以形成气隙区AG。在示例实施方式中,在去除牺牲层13之后,盖层15的一部分可能在导电图案10之间下垂。例如,在导电图案10之间的间隔或间距最宽的第三区域C中,盖层15可能下垂并且与支撑图案3c上的第二保护层25接触。

[0103] 图17是根据本发明构思的其它示例实施方式的半导体器件的截面图。

[0104] 参考图17,在根据本实施方式的半导体器件中,盖层15可以形成为不仅覆盖第二保护层25的顶表面而且覆盖第二保护层25的一部分侧表面。除了该差异之外,本实施方式中的半导体器件可以配置为具有与参考图11描述的上述实施方式实质上相同的特征。

[0105] 图18和图19是示出制造图17的半导体器件的工艺截面图。

[0106] 参考图18,对牺牲层13的平坦化蚀刻工艺,例如,在图15中,可以使用回蚀工艺执行。如果以过蚀刻方式来执行回蚀工艺,则牺牲层13可以凹进以具有比第二保护层25低的顶表面。例如,第二保护层25的侧壁可以通过回蚀工艺而被部分地暴露。

[0107] 参考图19,盖层15可以形成在基板1上以覆盖第二保护层25的暴露侧壁。此后,牺牲层13可以通过灰化工艺被去除,由此形成图17的结构。

[0108] 图20是根据本发明构思的其它示例实施方式的半导体器件的截面图。

[0109] 参考图20,类似于图1的结构,第一保护层23和第二保护层25可以不提供在根据本实施方式的半导体器件中。然而,盖层15可以形成为部分地覆盖导电图案10的上侧壁。除了该差异之外,本实施方式中的半导体器件可以配置为具有与参考图1描述的上述实施方式实质上相同的特征。

[0110] 图20的半导体器件的形成可以包括对图8和图9的所得结构执行回蚀工艺。回蚀工艺可以以过蚀刻方式执行以暴露导电图案10的上侧壁。此后,盖层15可以形成在基板1上,牺牲层13可以通过灰化工艺被去除,由此形成图20的结构。

[0111] 直到现在已经描述了用于半导体器件的导电图案和其相邻的结构。在某些实施方式中,第一区域A中的结构可以被用于实现存储芯片(诸如NAND快闪存储器装置或相变随机存取存储器装置)的单元阵列区中的位线。第三区域C中的结构可以被用于实现存储芯片的外围电路或逻辑芯片的互连结构。第二区域B中的结构可以被用于实现存储器或逻辑芯片的互连结构。

[0112] 图21A至图21C是示出通过根据本发明构思的示例实施方式的工艺制造的半导体器件的截面图像。

[0113] 图21A显示了从使用根据本发明构思的示例实施方式的工艺制造的样品获得的透射电子显微镜(TEM)图像。详细地,在样品中,第二绝缘层3由多孔-碳掺杂的氢化硅氧化物(SiOCH)形成(如参考图2描述的),然后被图案化以形成开口7(如参考图3描述的)。如参考图4和图5描述的,包括由铜制成的导电层11的导电图案10形成为填充开口7。这里,导电图案10形成为在其间具有大约40nm的间隔。如图6所示,氢气等离子体被用于处理第二绝缘层图案3a。如图12所示,第一保护层23由铜硅氮化物(CuSiN)形成以覆盖导电图案10的顶表面,然后,如图14所示,第二保护层25由 SiCN 形成以覆盖导电图案10的侧壁。如图15所示,牺牲层13由碳氢化合物(C_xH_y)层使用SOD工艺形成以填充导电图案10之间的间隔。如图16所示,大约4nm厚的盖层15由硅氧化物使用ALD工艺形成。此后,如参考图11描述的,执行使用氧气的灰化工艺以去除牺牲层13。图21A是所得结构的TEM图像。如图21A所示,良好限定的气隙形成在导电图案之间。类似地,在气隙区上的盖层形成为具有良好限定的底表面。这是因为盖层是硅氧化物层,该硅氧化物层是通过ALD工艺形成并且足够坚实,从而即使在去除牺牲层之后也能够保持其自己的形状。

[0114] 图21B和图21C显示了从使用根据本发明构思的其它示例实施方式的工艺制造的样品获得的虚拟扫描电子显微镜(VSEM)图像。在图21B的样品中,导电图案形成为在其间具有大约60nm的间隔,在图21C的样品中,导电图案形成为在其间具有大约200nm的间隔。图21B和图21C的样品通过与参考图21A描述的相同工艺和相同材料制造,除了牺牲层13的上部分被过蚀刻以暴露第二保护层23的上侧壁(如参考图18描述的)。如图21B所示,保留图案和气隙形成在导电图案之间,如图21C所示,支撑图案和气隙形成在导电图案之间。保留图案和支撑图案由多孔-碳掺杂的氢化硅氧化物形成,类似于图21A的第二绝缘层3。

[0115] 同样地,随着导电图案之间的间隔减小,导电图案之间的气隙与间隔的体积比增加。因为气隙区具有大约1的低介电常数,所以在导电图案之间提供的气隙区可以减少或抑制导电图案之间的电容耦合,于是可以减少或抑制信号传输速度降低。此外,因为支撑图案被提供在导电图案之间的间隔相对大的区域中,所以可以减少或防止盖层过度地下垂。

[0116] 图22是示意性框图,示出了包括根据本发明构思的示例实施方式的半导体器件的存储系统的示例。

[0117] 参考图22,存储系统1100可以被应用于个人数字助理(PDA)、便携式计算机、上网本、无线电话、移动式电话、数字音乐播放器、存储卡和/或能够在无线通信环境中发送和/或接收数据的其它装置。

[0118] 存储系统1100包括控制器1110、输入/输出装置1120诸如键板和显示装置、存储器1130、接口1140和总线1150。存储器1130和接口1140通过总线1150彼此通信。

[0119] 控制器1110包括至少一个微处理器、至少一个数字信号处理器、至少一个微控制器和/或类似于微处理器、数字信号处理器和微控制器的其它处理器装置。存储器1130可以被用于存储由控制器1110执行的指令。输入/输出装置1120可以从系统1100的外部接收数据或信号,或者将数据或信号发送到系统1100的外部。例如,输入/输出装置1120可以包括键盘、键板和/或显示器。

[0120] 存储器1130包括根据本发明构思的示例实施方式的非易失性存储装置中的至少一个。存储器1130还可以包括不同类型的存储器、能够随机存取的易失性存储装置和/或各种其它类型的存储器。

[0121] 接口1140发送数据到通信网络和/或从通信网络接收数据。

[0122] 根据本发明构思的示例实施方式,在半导体器件中,导电图案和在其上的盖层可以形成限定在导电图案之间的气隙区。由于气隙区的低介电常数,可以减少或抑制导电图案之间的电干扰。这能够实现改善的信号传输速度和/或降低的功耗。

[0123] 此外,支撑图案可以被提供在导电图案中的宽间隔的导电图案之间,以减少或防止在其上的盖层过度地下垂或倒塌。因此,可以减少或防止可能由于盖层的过度垂下而发生的导电图案的下落和/或在后续工艺中的技术问题。换言之,具有足以支撑叠置的盖层的尺寸的支撑图案可以形成在基板的不同区域中,其中支撑图案的尺寸可以取决于在不同区域中的导电图案之间的间距。因而,支撑图案能够实现半导体器件的改善的可靠性。

[0124] 在半导体器件中,保护层可以被提供以覆盖导电图案的顶表面和侧表面,因此改善了导电图案的可靠性。

[0125] 根据示例实施方式的制造方法,气隙区可以形成成为具有可控制的尺寸和/或位置。

[0126] 此外,根据此处描述的一些制造方法,支撑图案可以自动地形成在导电图案中的宽间隔的导电图案之间。这表明支撑图案可以被形成而不用额外的光刻工艺和/或不改变将被使用的光掩模设计。换言之,可以简化制造工艺。

[0127] 虽然已经特别地显示并描述了本发明构思的示例实施方式,但是本领域的普通技术人员将理解,其中可以进行形式和细节方面的改变而不脱离权利要求书的精神和范围。

[0128] 本申请要求享有2012年9月5日在韩国知识产权局提交的韩国专利申请No.10-2012-0098464的优先权,其全部内容通过引用结合于此。

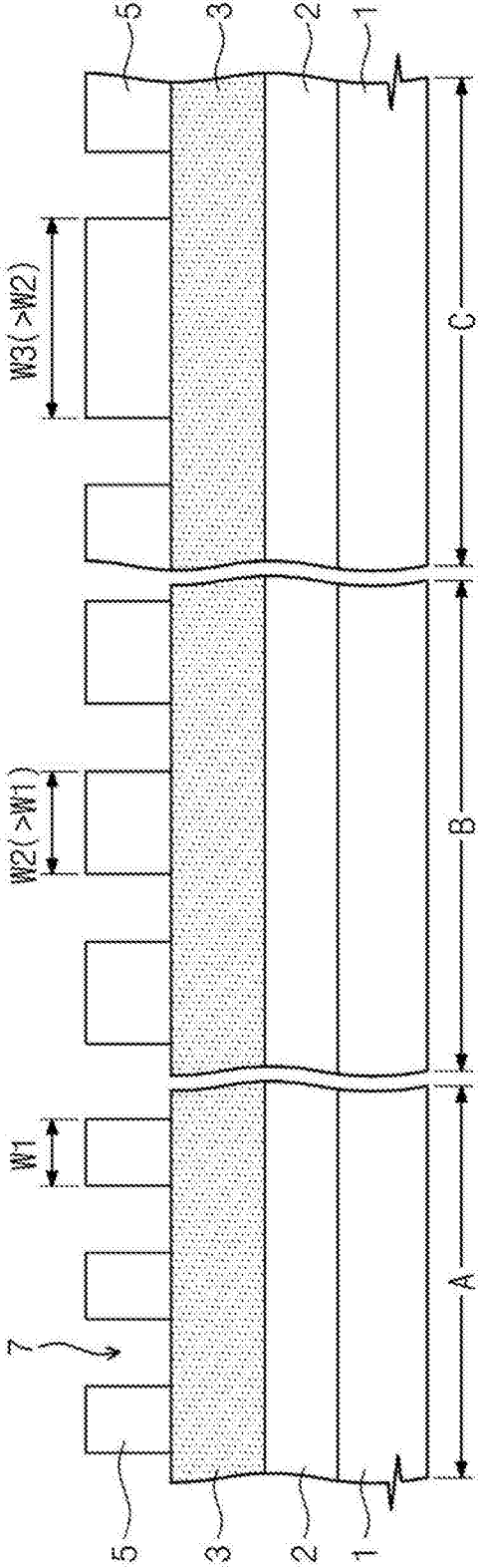


图2

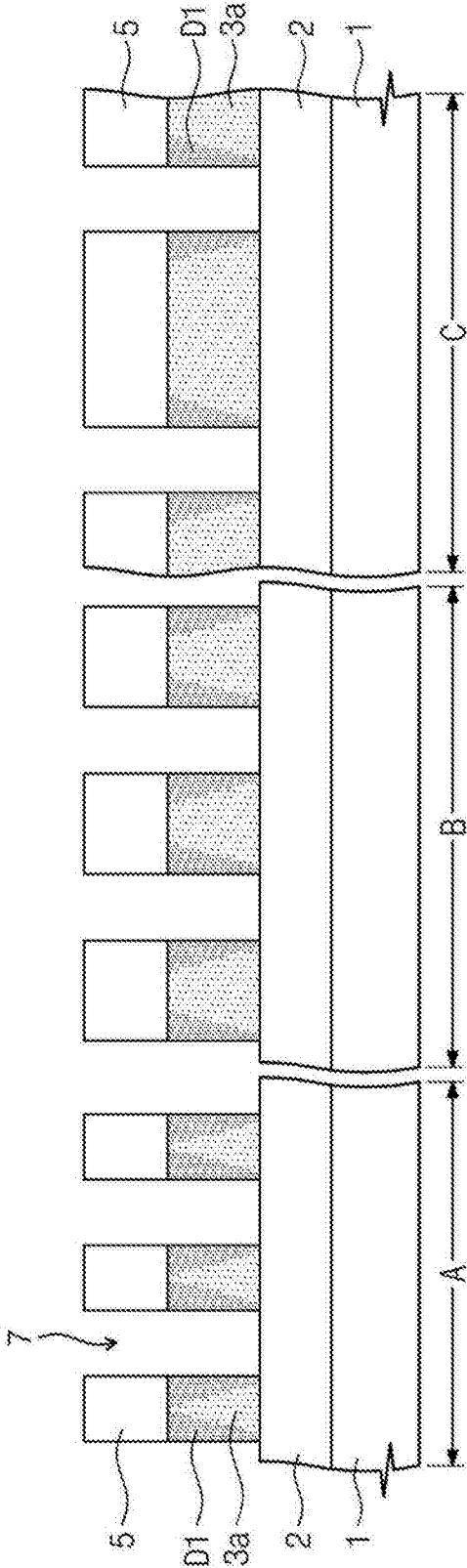


图3

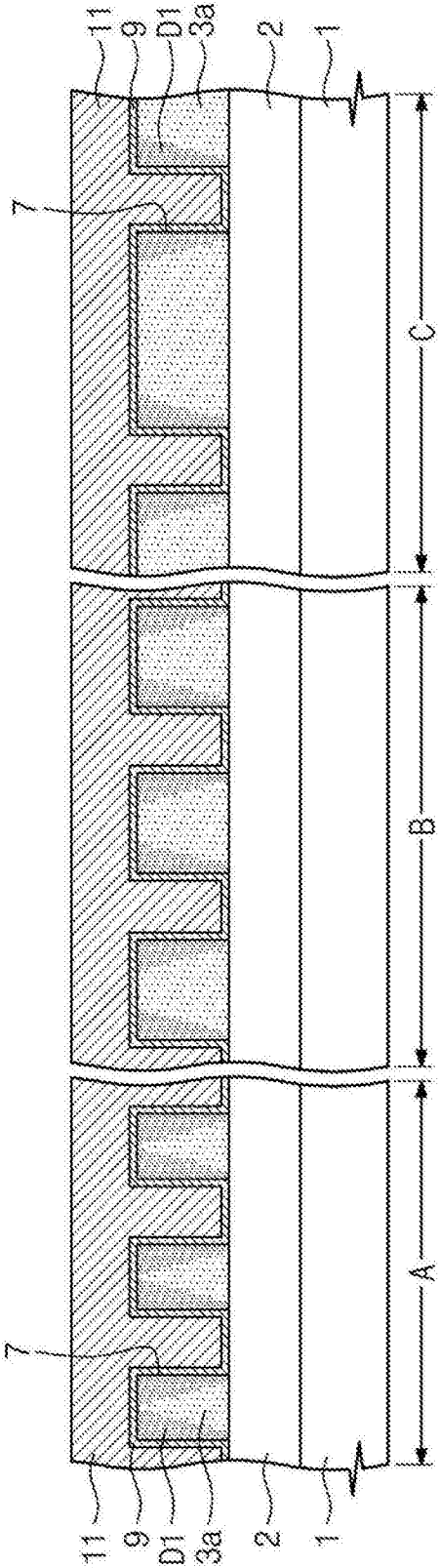


图4

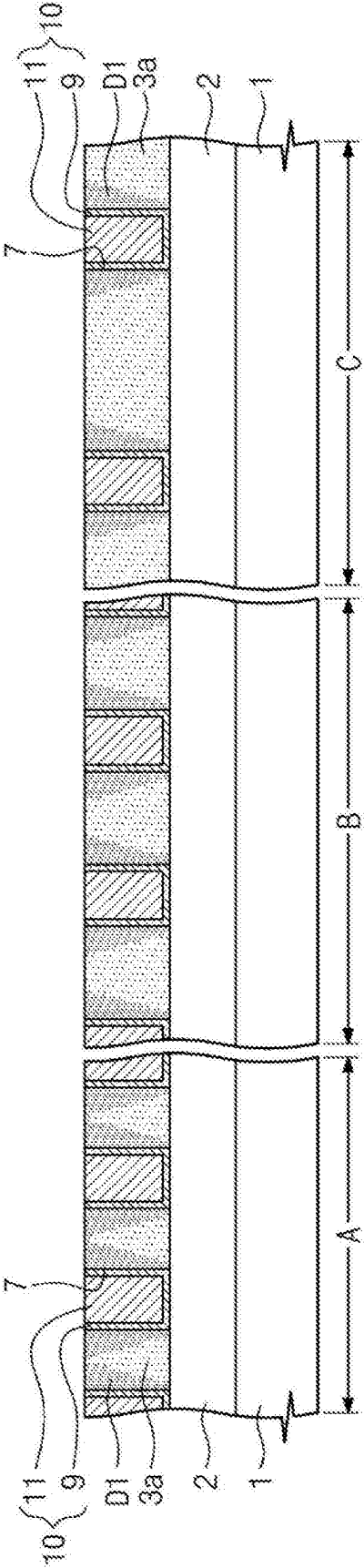


图5

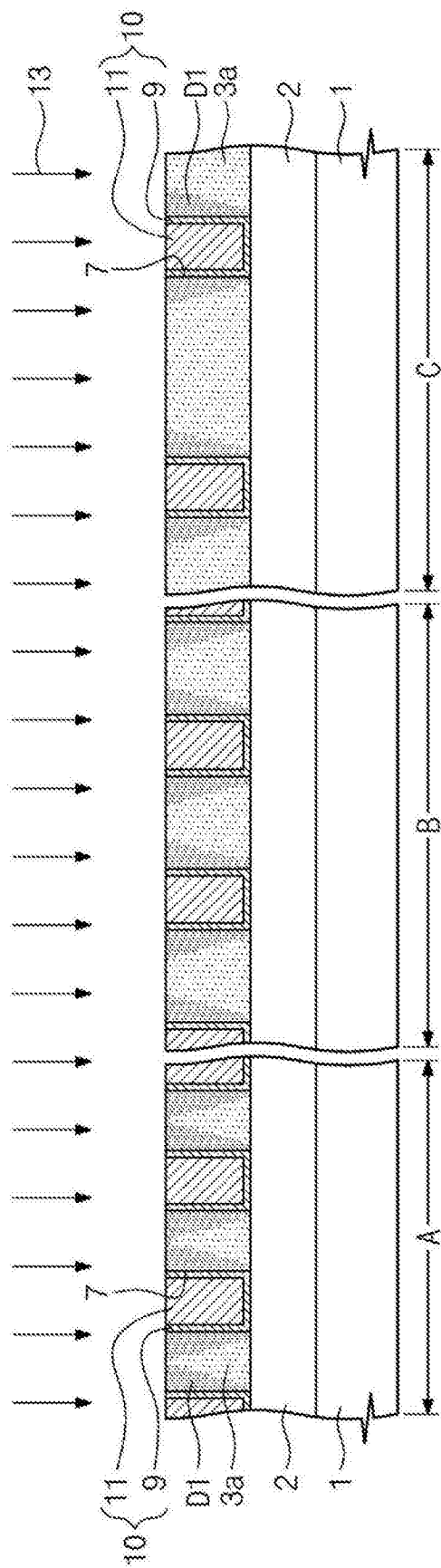


图6

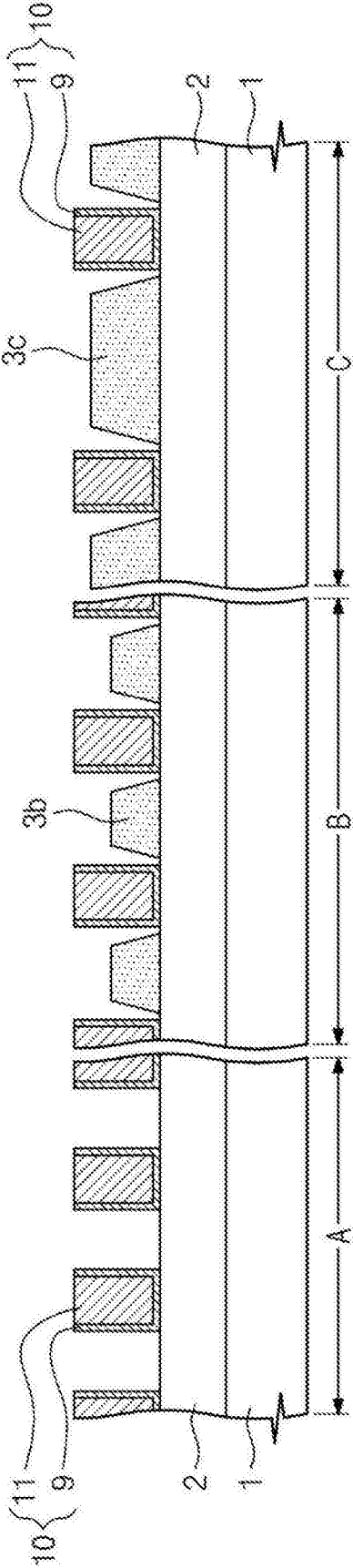


图7

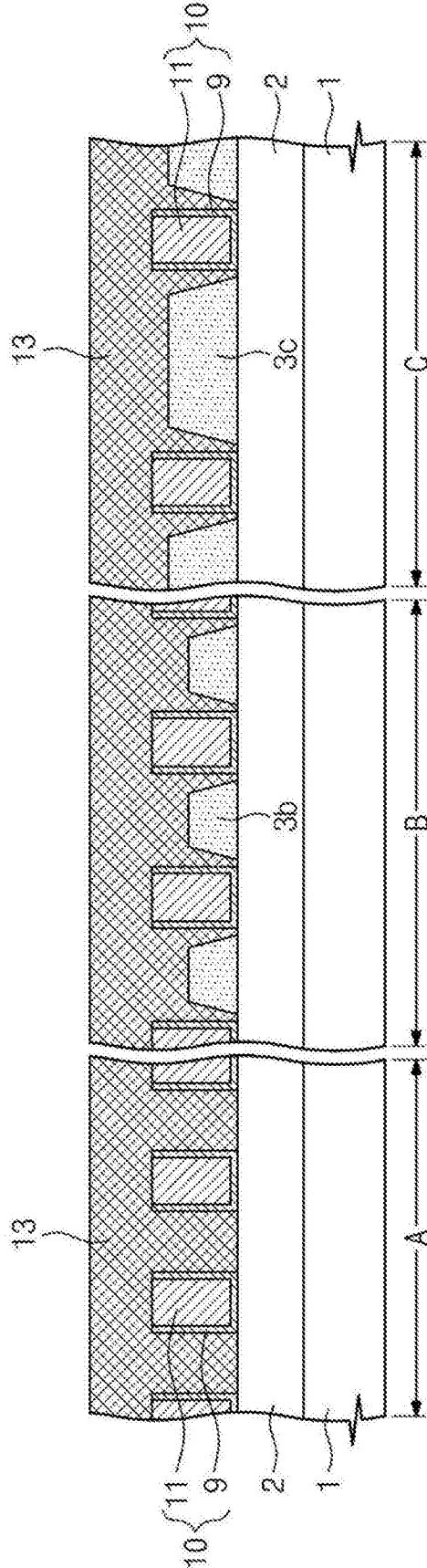


图8

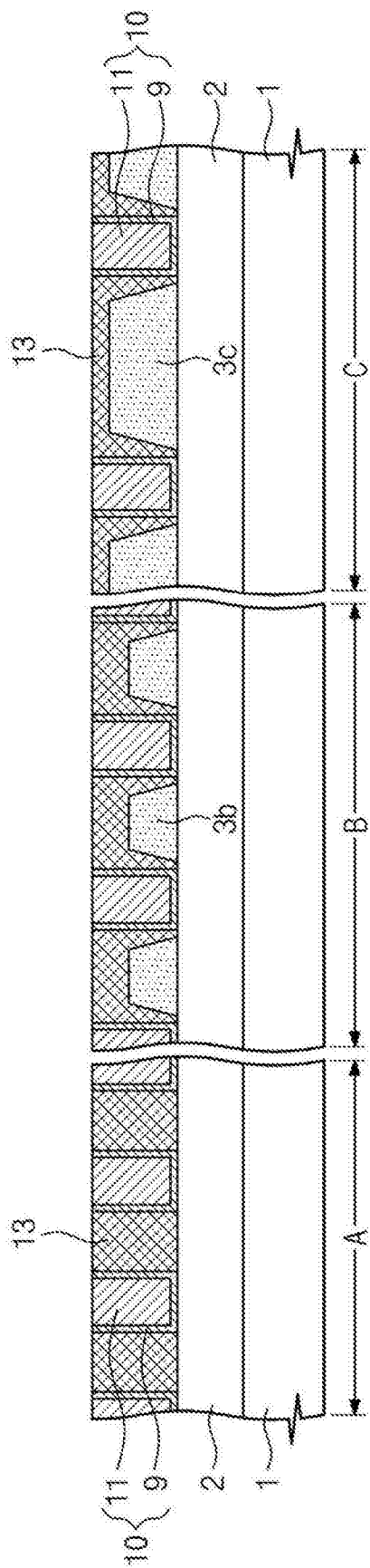


图9

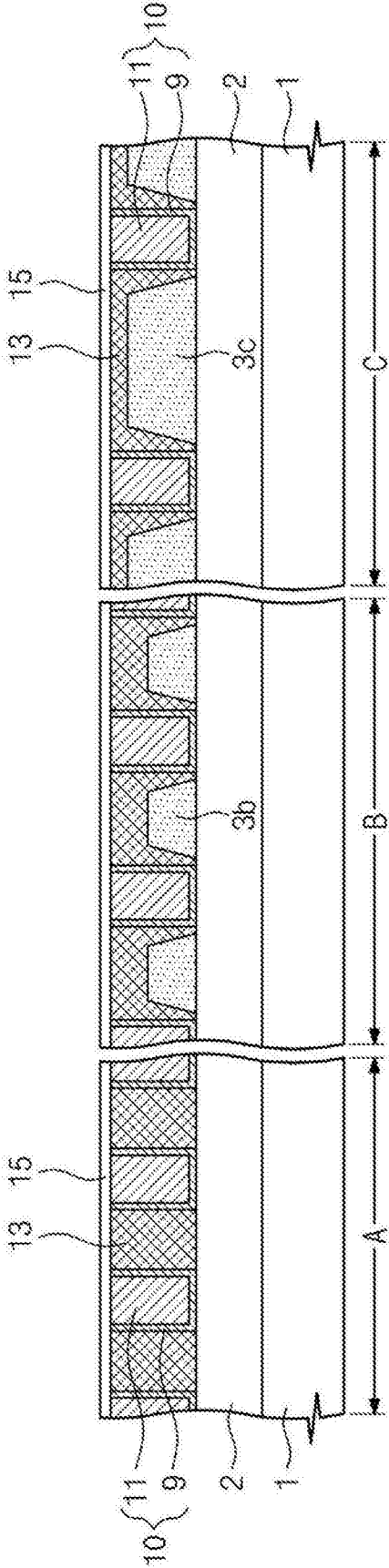


图10

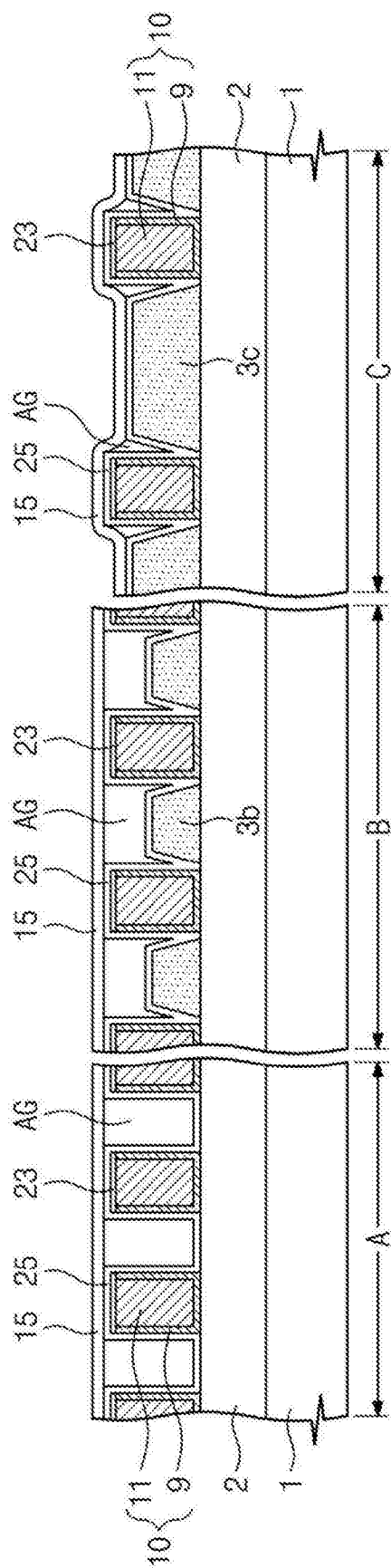


图 11

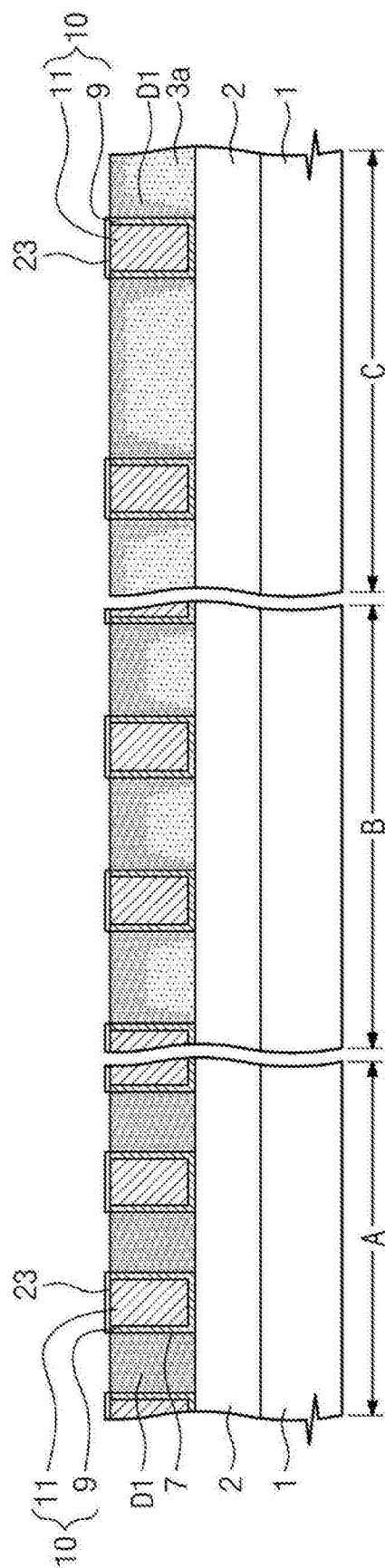


图12

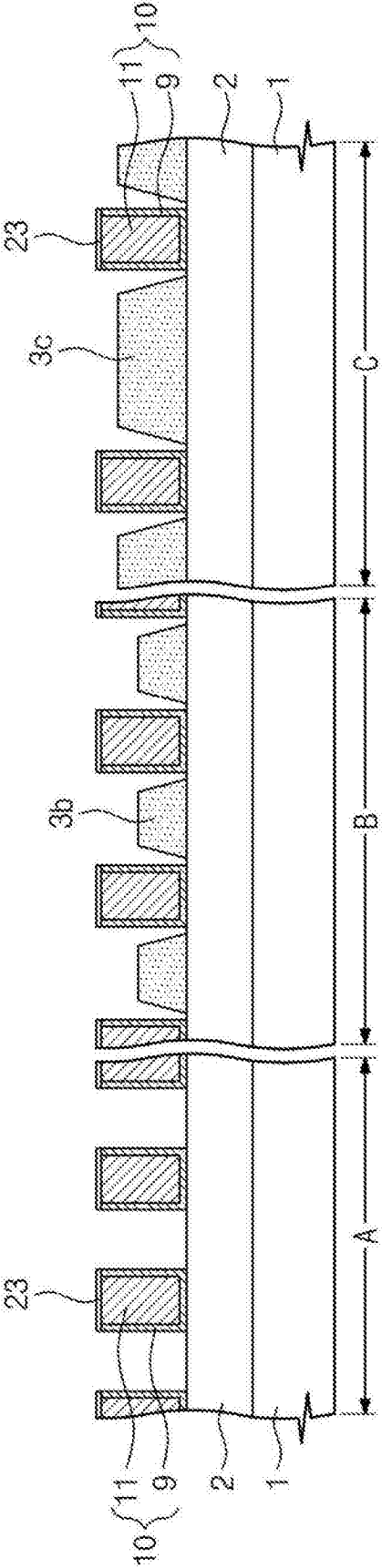


图13

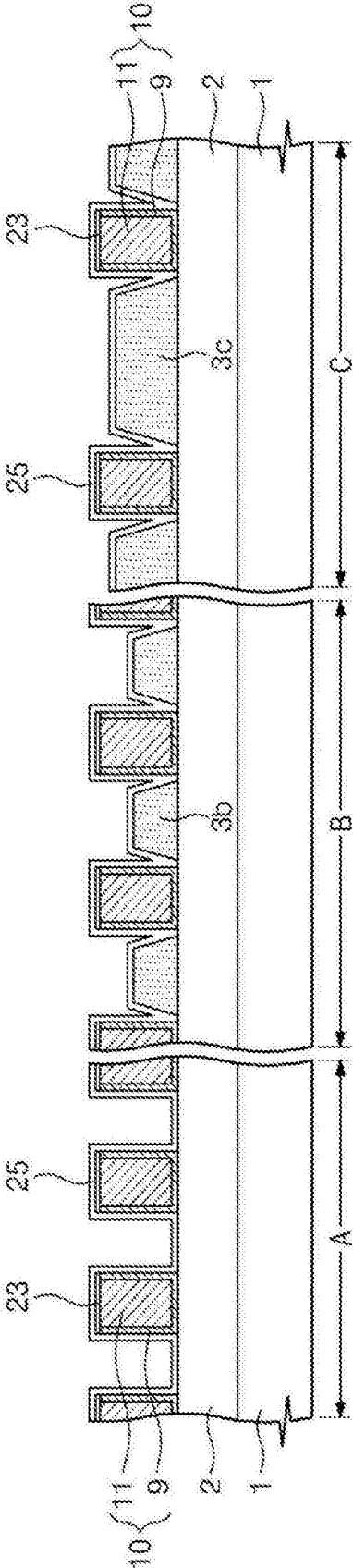


图14

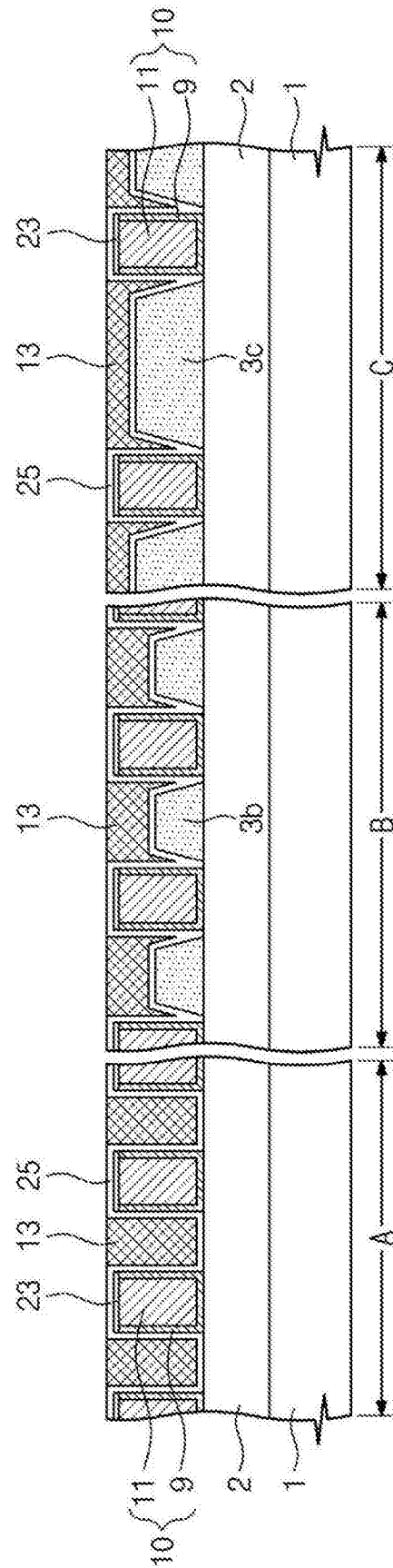


图15

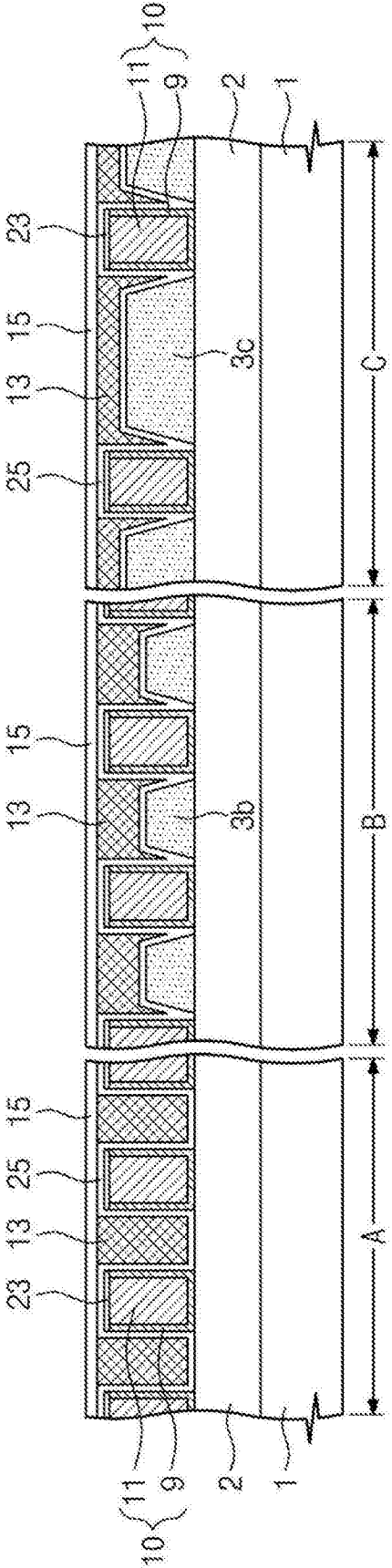


图16

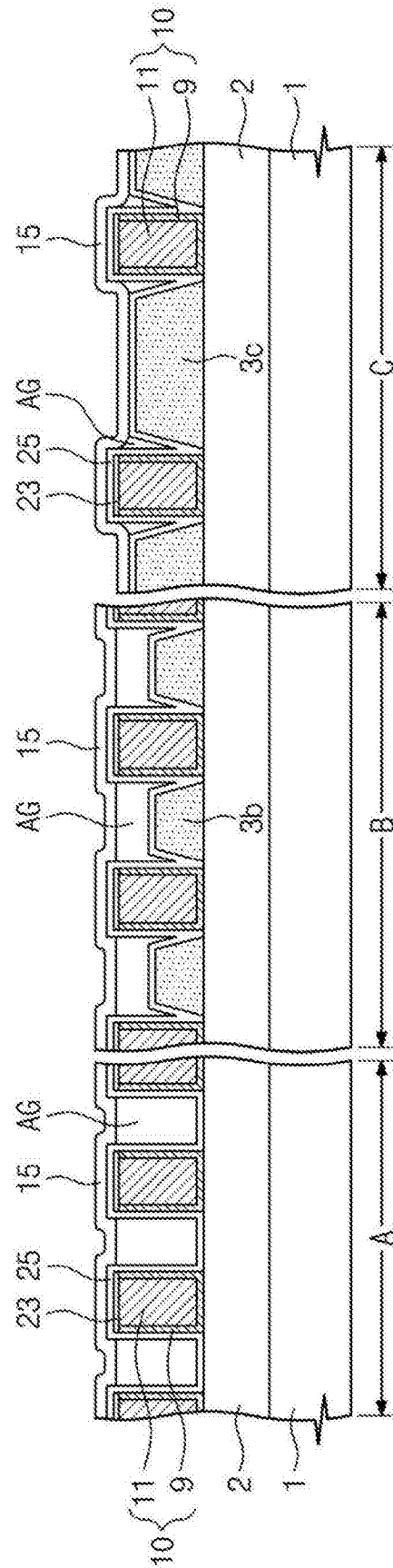


图17

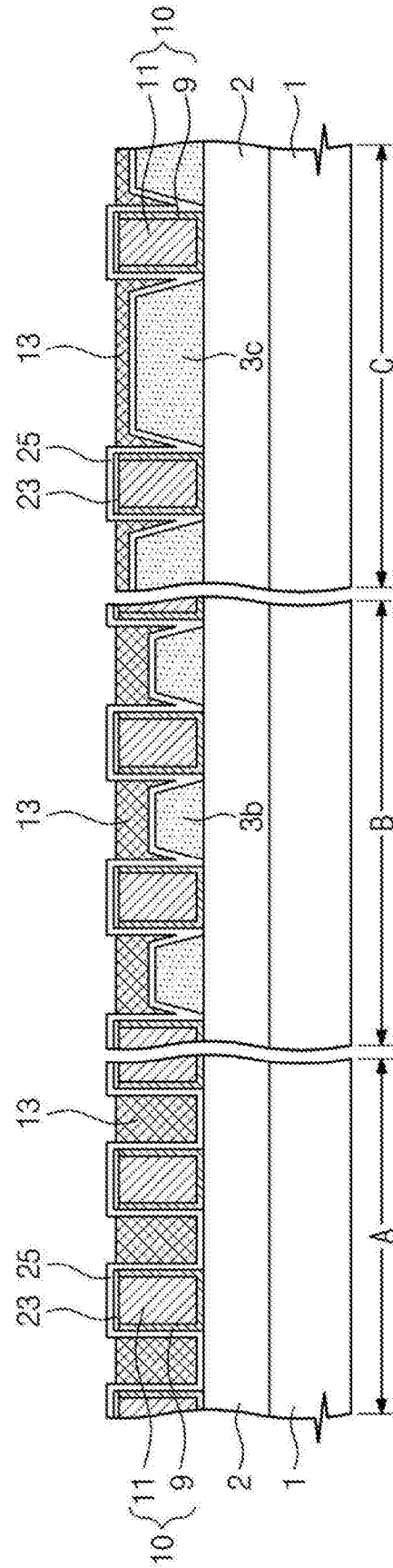


图18

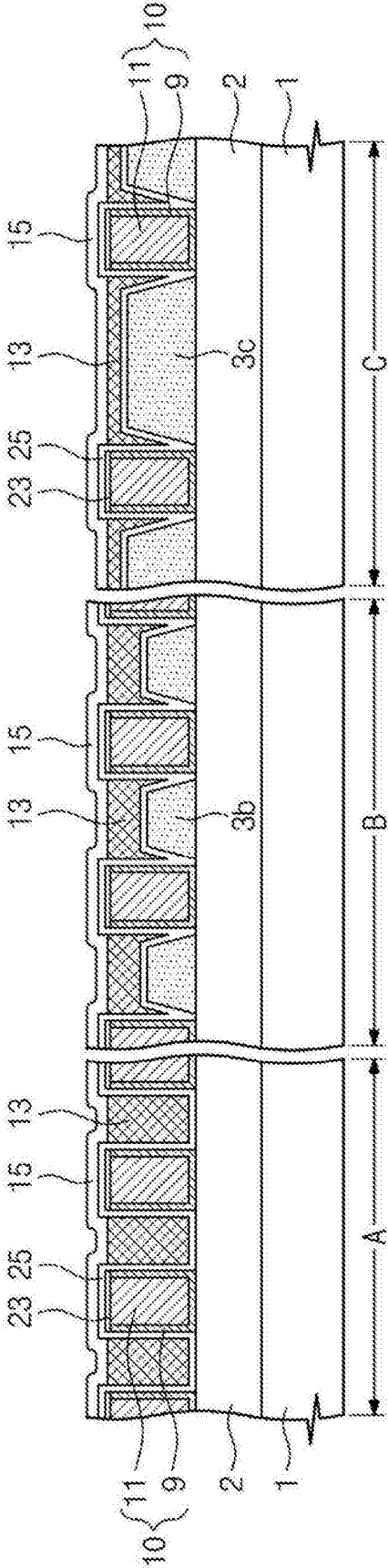


图19

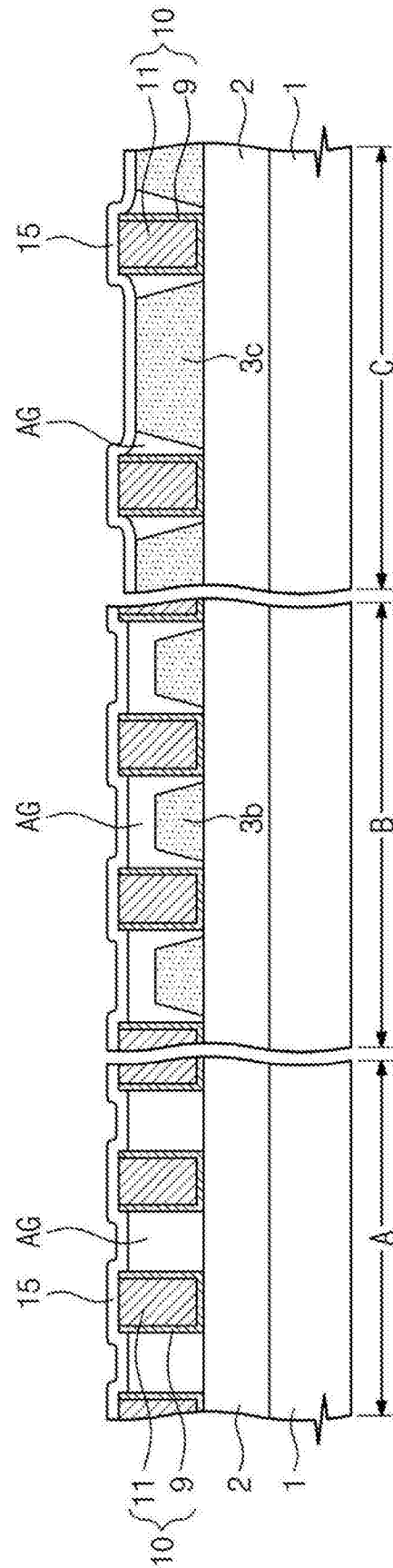


图20

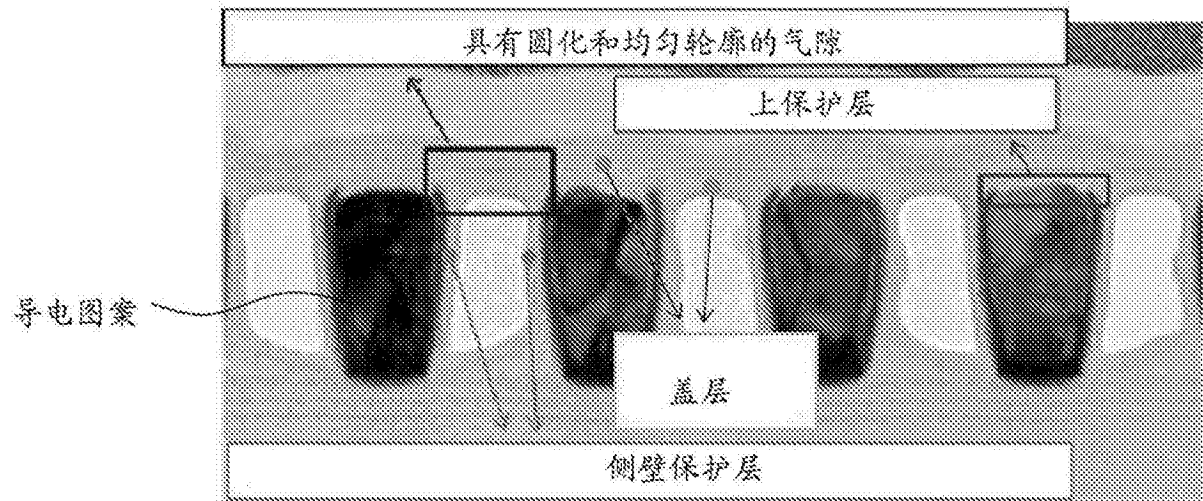


图21A

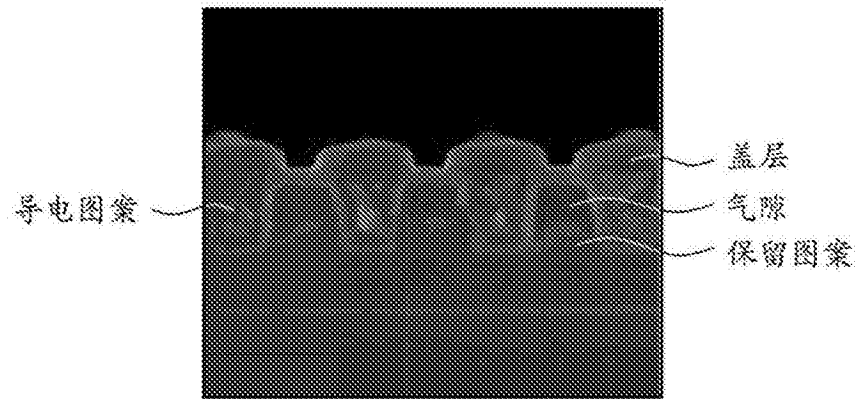


图21B

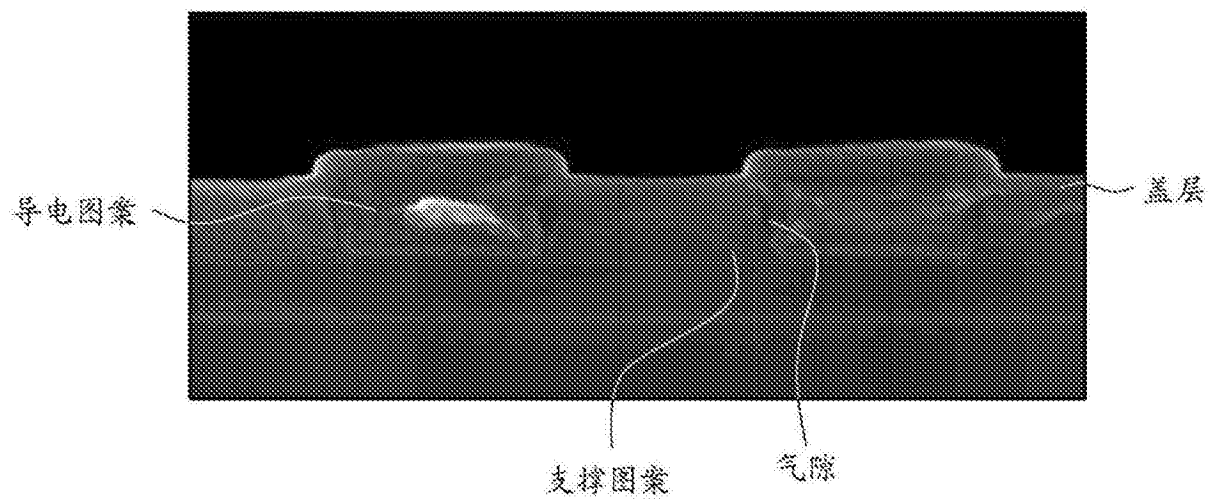


图21C

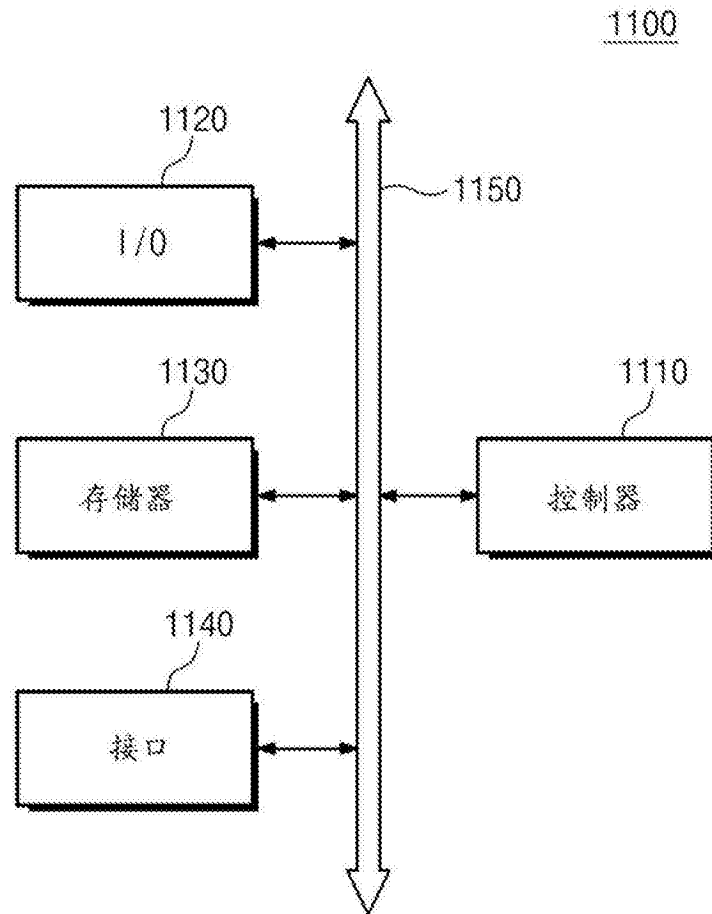


图22