



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월26일  
(11) 등록번호 10-1215744  
(24) 등록일자 2012년12월18일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/30* (2006.01) *H01L 51/50* (2006.01)
- (21) 출원번호 10-2011-0023213
- (22) 출원일자 2011년03월16일  
 심사청구일자 2011년03월16일
- (65) 공개번호 10-2011-0104900
- (43) 공개일자 2011년09월23일
- (30) 우선권주장  
 JP-P-2010-061647 2010년03월17일 일본(JP)
- (56) 선행기술조사문헌  
 JP2008502933 A  
 JP2002176063 A  
 JP2003058107 A  
 JP2000347624 A

- (73) 특허권자  
가시오게산키 가부시키가이샤  
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고
- (72) 발명자  
마츠다 구니히로  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고  
가시오게산키 가부시키가이샤 하무라기쥬츠센터내  
마츠모토 히로시  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고  
가시오게산키 가부시키가이샤 하무라기쥬츠센터내  
다나카 유키카즈  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고  
가시오게산키 가부시키가이샤 하무라기쥬츠센터내
- (74) 대리인  
김문중, 손은진

전체 청구항 수 : 총 14 항

심사관 : 조기덕

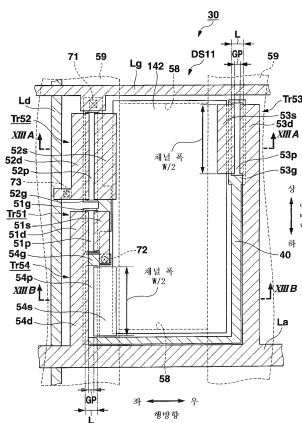
(54) 발명의 명칭 **화소 회로 기판, 표시 장치, 전자 기기, 및 화소 회로 기판의 제조 방법**

(57) 요약

본 발명은 안정된 특성의 화소 회로 기판을 제공하기 위해, 화소 전극과, 화소 전극의 일변측에 접속된 제 1 구동 소자와, 제 1 구동 소자와 병렬로 접속되는 동시에, 화소 전극의 일변측과 대향하는 타변측에 접속된 제 2 구동 소자를 구비하는 화소 회로 기판, 표시 장치, 전자 기기, 및 화소 회로 기판의 제조 방법을 제공한다.

본 발명에 의하면, 안정된 표시 특성을 실현할 수 있다.

대표도 - 도12



## 특허청구의 범위

### 청구항 1

화소 전극과,

제 1 게이트 전극과, 제 1 반도체층과, 한쪽이 상기 화소 전극의 일변측에 접속된 제 1 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 1 구동 소자와,

상기 제 1 게이트 전극에 접속된 제 2 게이트 전극과, 제 2 반도체층과, 한쪽이 상기 화소 전극의 상기 일변측과 대향하는 타변측에 접속되고 또한 다른 쪽이 상기 제 1 소스 및 드레인 전극의 다른 쪽에 접속된 제 2 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 2 구동 소자를 구비하는 것을 특징으로 하는 화소 회로 기판.

### 청구항 2

삭제

### 청구항 3

제 1 항에 있어서,

상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극과, 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극은 상기 화소 전극에 대해 미리상 대칭의 구조인 것을 특징으로 하는 화소 회로 기판.

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,

상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 상기 다른 쪽이 애노드 라인에 접속되고,

상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극의 상기 다른 쪽이 상기 애노드 라인에 접속되는 것을 특징으로 하는 화소 회로 기판.

### 청구항 6

제 1 항에 있어서,

상기 제 1 구동 소자 및 상기 제 2 구동 소자는, 각각 상기 제 1, 제 2 반도체층과, 상기 제 1, 제 2 소스 및 드레인 전극의 사이에 배치된 채널 보호막을 더 구비하고 있는 것을 특징으로 하는 화소 회로 기판.

### 청구항 7

제 1 항에 있어서,

상기 화소 전극의 상기 일변측 및 상기 타변측은 서로 평행한 것을 특징으로 하는 화소 회로 기판.

### 청구항 8

제 1 항에 있어서

게이트 라인에 접속된 게이트 전극과, 한쪽이 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극에 접속된 소스 및 드레인 전극을 구비하고, 상기 제 1 구동 소자 및 상기 제 2 구동 소자를 선택하는 스위칭 소자를 더 구비하고 있는 것을 특징으로 하는 화소 회로 기판.

### 청구항 9

삭제

#### 청구항 10

제 8 항에 있어서,

상기 스위칭 소자는 상기 화소 전극의 상기 타변측에 배치되고,

상기 제 1 구동 소자는 상기 화소 전극의 상기 일변측 중, 상기 제 2 구동 소자측보다 상기 스위칭 소자 측에 배치되어 있는 것을 특징으로 하는 화소 회로 기판.

#### 청구항 11

제 8 항에 있어서,

상기 스위칭 소자는 상기 소스 및 드레인 전극의 다른 쪽이 데이터 라인에 접속되어 있는 것을 특징으로 하는 화소 회로 기판.

#### 청구항 12

제 1 항에 있어서,

게이트 전극과, 소스 및 드레인 전극을 각각 구비한 제 1 스위칭 소자 및 제 2 스위칭 소자를 더 구비하고,

상기 제 1 스위칭 소자는, 상기 소스 및 드레인 전극의 한쪽이 상기 제 1 구동 소자의 상기 제 1 게이트 전극 및 상기 제 2 구동 소자의 상기 제 2 게이트 전극에 접속되고,

상기 제 2 스위칭 소자는 상기 소스 및 드레인 전극의 한쪽이, 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 한쪽 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극의 한쪽에 접속되거나, 또는 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 다른 쪽 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극의 다른 쪽에 접속되어 있는 것을 특징으로 하는 화소 회로 기판.

#### 청구항 13

청구항 1에 기재된 화소 회로 기판과,

대향 전극과,

상기 화소 전극과 상기 대향 전극의 사이에 배치된 발광층을 구비하는 것을 특징으로 하는 표시 장치.

#### 청구항 14

청구항 13에 기재된 표시 장치를 구비하는 것을 특징으로 하는 전자 기기.

#### 청구항 15

화소 전극을 형성하고,

제 1 게이트 전극과, 제 1 반도체층과, 한쪽이 상기 화소 전극의 일변측에 접속된 제 1 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 1 구동 소자와, 상기 제 1 게이트 전극에 접속된 제 2 게이트 전극과, 제 2 반도체층과, 한쪽이 상기 화소 전극의 상기 일변측과 대향하는 타변측에 접속되고 또한 다른 쪽이 상기 제 1 소스 및 드레인 전극의 다른 쪽에 접속된 제 2 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 2 구동 소자를 형성하는 것을 특징으로 하는 화소 회로 기판의 제조 방법.

#### 청구항 16

삭제

#### 청구항 17

제 15 항에 있어서,

제 1 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 제 1 반도체층 및 상기 제 2 구동 소자의 상기

제 2 반도체층을 패터닝하여 형성하고,

상기 제 1 레지스트 마스크와 다른 제 2 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극을 패터닝하여 형성하는 것을 특징으로 하는 화소 회로 기판의 제조 방법.

## 청구항 18

제 17 항에 있어서,

상기 제 1 구동 소자 및 상기 제 2 구동 소자는, 상기 제 1, 제 2 반도체층과, 상기 제 1, 제 2 소스 및 드레인 전극의 사이에 배치된 채널 보호막을 각각 구비하고,

상기 제 1 레지스트 마스크 및 상기 제 2 레지스트 마스크와 다른 제 3 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 채널 보호막 및 상기 제 2 구동 소자의 상기 채널 보호막을 형성하는 것을 특징으로 하는 화소 회로 기판의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 화소 회로 기판, 표시 장치, 전자 기기, 및 화소 회로 기판의 제조 방법에 관한 것이다.

### 배경기술

[0002] 근래, 액정 표시 장치(LCD)를 뒤따르는 차세대의 표시 디바이스로서, 유기 전계 발광 소자(이하, 「유기 EL(Electro Luminescence) 소자」라고 약기함.) 등의 자(自)발광 소자를 행방향 및 열방향의 2차원으로 배열한 표시 소자형의 표시 패널을 구비한 표시 장치의 본격적인 실용화, 보급을 향한 연구 개발이 활발히 실행되고 있다.

[0003] 유기 EL 소자는 애노드 전극, 캐소드 전극, 및 이들 전극 사이에 형성된 유기 박막층(전자 주입층, 발광층, 정공 주입층 등)을 구비한다. 유기 EL 소자는 발광층에 있어서 정공 주입층으로부터 공급된 정공과 전자 주입층으로부터 공급된 전자가 재결합함으로써 발생하는 에너지에 의해서 발광하는 표시 소자이다. 이 발광은 유기 박막층에 소정의 전압 임계값 이상의 전압을 인가하는 것에 의해 실현되고, 그 발광 휘도는 해당 인가 전압에 따라 제어된다. 이러한 유기 EL 소자는 특허문헌 1에 개시되어 있는 바와 같이, 각종의 전자 기기에 있어서 표시 장치에 이용되고 있고, 예를 들면 TFT(박막 트랜지스터; Thin Film Transistor) 등을 포함하는 화소 구동 회로에 의해서 구동되고 있다.

[0004] TFT는 전극의 배치나 막의 구성에 의해, 여러 가지의 형태로 분류되는 중에, 예를 들면 도 21의 (a), 도 21의 (b)에 나타내는 바와 같이, 게이트 전극(112)이 게이트 절연막(113)에 덮여진 상태에서 기판(11) 위에 위치하고, 소스 전극(118), 드레인 전극(119)이 반도체층(114)을 사이에 끼우고 게이트 전극(112)의 위쪽에 배치되는 역 스테거형(inversely staggered) TFT가 존재한다. 이러한 TFT에서는 예를 들면 동일 도면에 나타내는 바와 같이, 소스 및 드레인 전극(118, 119)과, 반도체층(114)의 사이에는 저(低)저항 접촉을 위한 오믹 콘택트층(120)이 개재되고, 또 소스 및 드레인 전극(118, 119)의 사이의 반도체층(114) 위에 채널 보호막(115)을 갖는 것이 알려져 있다.

[0005] 도 21의 (a), 도 21의 (b)에 나타내는 채널 보호막형의 구조의 TFT에서는 소스 및 드레인 전극(118, 119)은 채널 보호막(115)에 중첩(오버랩(overlapping))하도록 형성된다(도 21의 (b)의 직사각형 형상의 겹쳐짐 영역(116, 117) 참조).

[0006] 대면적의 기판(11)에, 이와 같은 구조의 TFT를 발광 화소마다 형성할 경우, 리소그래피(lithography) 장치나 노광 장치(스테퍼(stepper))에 있어서의 레이저 조사용 마스크의 정렬 어긋남이나, 기판(11)의 휨 등에 기인하여, 게이트 전극(112)에 대한 소스 및 드레인 전극(118, 119)의 형성 위치가, 예를 들면 도 21의 (c) (i), (iii)에 나타내는 바와 같이, 기판면에 있어서 좌우(행방향)로 어긋나는 일이 있다.

[0007] 도 21의 (c) (ii)에는 소스 및 드레인 전극(118, 119)의 형성 위치가 설계대로, 원하는 위치로부터의 위치 어긋남을 발생시키고 있지 않은 경우를 나타내고 있다. 도 21의 (c) (i)에는 소스 및 드레인 전극(118, 119)의 형성 위치가 게이트 전극(112), 채널 보호막(115)에 대한 원하는 위치, 즉 도 21의 (c) (ii)에 있어서의 위치에

비해, 더욱 오른쪽 방향으로 위치 어긋남을 발생시킨 경우를 나타내고 있다. 또, 도 21의 (c) (iii)에는 소스 및 드레인 전극(118, 119)의 형성 위치가 게이트 전극(112), 채널 보호막(115)에 대한 원하는 위치에 비해 왼쪽 방향으로 위치 어긋남을 발생시킨 경우를 나타내고 있다.

[0008] 소스 전극(118)과 채널 보호막(115)이 중첩하는 면적과, 드레인 전극(119)과 채널 보호막(115)이 중첩하는 면적의 차는 이 좌우의 위치 어긋남량에 의해서 정의할 수 있고, 환언하면 소스 전극(118)의 전계 및 드레인 전극(119)의 전계가 각각 채널 보호막(115)에 미치는 작용의 정도가 상기 위치 어긋남량에 의존하게 된다. 이 때문에, 이러한 TFT가 n채널형 트랜지스터이면, 도 21의 (c) (i)에 나타내는 경우에서는, 도 22의 (a)에 실선으로 나타내는 도 21의 (c) (ii)의 적정한 경우와 비교하여, 도 22의 (a)에 파선으로 나타내는 바와 같이, 인가되는 게이트 전압  $V_g[V]$ 에 대해 채널 전류  $I_c[A]$ 가 일반적으로 커지는 경향이 있다. 한편, 도 21의 (c) (iii)에 나타내는 경우에서는, 도 22의 (a)에 실선으로 나타내는 도 21의 (c) (ii)의 적정한 경우와 비교하여, 도 22의 (a)에 일점쇄선으로 나타내는 바와 같이, 인가되는 게이트 전압  $V_g[V]$ 에 대해 채널 전류  $I_c[A]$ 가 일반적으로 작아지는 경향이 있다.

[0009] 도 22의 (b)에, 도 21의 (a), 도 21의 (b)에 나타내는 게이트 전극(112)에 대한 소스 및 드레인 전극(118, 119)의 좌우 방향의 위치 어긋남량( $\mu m$ ), 즉 도 21의 (c) (ii)에 나타내는 적정한 상태에서부터, 소스측(좌측)쪽의 위치 어긋남, 또는 드레인측(우측)쪽의 위치 어긋남이 생겼을 때의 해당 위치 어긋남량( $\mu m$ )과, 드레인으로부터 소스, 소스로부터 드레인에 흐르는 전류  $I(A)$ 의 관계를 그래프로 나타낸다. 특히, 도 21의 (a), 도 21의 (b)에 나타내는 채널 보호막 구조의 TFT의 경우, 채널 보호막(115)에 있어서의 원하는 위치에 대한 패터닝 위치 어긋남, 및 소스 및 드레인 전극(118, 119)에 있어서의 원하는 위치에 대한 패터닝 위치 어긋남에 따라서 생기는 소스 전극(118)과 채널 보호막(115)이 중첩하는 오버랩 영역(116)의 면적과, 드레인 전극(119)과 채널 보호막(115)이 중첩하는 오버랩 영역(117)의 면적의 차도 상기 위치 어긋남량에 의존하게 된다.

[0010] 도 22의 (b)에 나타내는 바와 같이, 채널 보호막(115)에 대한 소스 및 드레인 전극(118, 119)의 좌우 방향의 위치 어긋남량  $\Delta X(\mu m)$ 이  $0\mu m$ 일 때는, 전류  $I(a.u.)$ 와 기준으로 되는 전류  $I_s(a.u.)$ 의 사이에서의 전류 어긋남량(전류 어긋남의 절대값의 비율)  $[= \Delta I / I_s \text{의 절대값} \times 100\%]$ 는 0%로 된다. 이것에 대해, 드레인측(우측)쪽의 위치 어긋남량  $\Delta X$ 의 절대값이 커지는 것에 따라서 전류 어긋남에 의한 전류 감소의 정도가 커지고, 소스측(좌측)쪽의 위치 어긋남량  $\Delta X$ 의 절대값이 커지는 것에 따라서 전류 어긋남에 의한 전류 증대의 정도가 커지고, 이 전류 어긋남량의 절대값은 상기 위치 어긋남량  $\Delta X=0\mu m$ 을 기준으로서 대칭적으로 된다.

[0011] 또한, 도 21의 (c) 및 도 22의 (b)로부터, 채널 보호막(115)과 소스 전극(118)이 중첩하는 오버랩 영역(116)의 면적이 상대적으로 작아질수록, 환언하면, 채널 보호막(115)과 드레인 전극(119)이 중첩하는 오버랩 영역(117)의 면적이 상대적으로 커질수록, 드레인 전극(119)으로부터 소스 전극(118)에 흐르는 채널 전류  $I_c$ 는 아래에 옴한 곡선에 따라 약간 비선형(非線形)적으로 커진다.

## 선행기술문헌

### 특허문헌

[0012] (특허문헌 0001) 특허문헌 1: 일본국 특개2001-195012호 공보

## 발명의 내용

### 해결하려는 과제

[0013] 상술한 TFT의 각 구성 요소의 제조 프로세스에 기인하는 소스 및 드레인 전극(118, 119)의 형성 위치의 원하는 위치로부터의 위치 어긋남에 기인하는 전류 어긋남량을 가능한 작게 하는 것이 바람직하다.

### 과제의 해결 수단

[0014] 본 발명은 상기 문제점에 감안하여 실시된 것이고, 안정된 표시 특성이 얻어지는 구조를 갖는 화소 회로 기관, 표시 장치, 전자 기기 및 화소 회로 기관의 제조 방법을 제공하는 것을 목적으로 한다.

[0015] 상기 목적을 달성하기 위해, 본 발명의 화소 회로 기관은, 이하를 구비한다.

- [0016] 삭제
- [0017] 화소 전극과,
- [0018] 제 1 게이트 전극과, 제 1 반도체층과, 한쪽이 상기 화소 전극의 일변측에 접속된 제 1 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 1 구동 소자와,
- [0019] 상기 제 1 게이트 전극에 접속된 제 2 게이트 전극과, 제 2 반도체층과, 한쪽이 상기 화소 전극의 상기 일변측과 대향하는 타변측에 접속되고 또한 다른 쪽이 상기 제 1 소스 및 드레인 전극의 다른 쪽에 접속된 제 2 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 2 구동 소자.
- [0020] 삭제
- [0021] 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극과, 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극은 상기 화소 전극에 대해 미러상 대칭의 구조라도 좋다.
- [0022] 삭제
- [0023] 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 다른 쪽이 애노드 라인에 접속되고, 상기 제 2 구동 소자의 상기 소스 및 드레인 전극의 다른 쪽이 상기 애노드 라인에 접속되어도 좋다.
- [0024] 상기 제 1 구동 소자 및 상기 제 2 구동 소자는 각각 상기 제 1, 제 2 반도체층과, 상기 제 1, 제 2 소스 및 드레인 전극의 사이에 배치된 채널 보호막을 더 구비해도 좋다.
- [0025] 상기 화소 전극의 상기 일변측 및 상기 타변측은 서로 평행이라도 좋다.
- [0026] 게이트 라인에 접속된 게이트 전극과, 한쪽이 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극에 접속된 소스 및 드레인 전극을 구비하고, 상기 제 1 구동 소자 및 상기 제 2 구동 소자를 스위칭하는 스위칭 소자를 더 구비하여도 좋다.
- [0027] 삭제
- [0028] 상기 스위칭 소자는 상기 화소 전극의 상기 타변측에 배치되고, 상기 제 1 구동 소자는 상기 화소 전극의 상기 일변측 중, 상기 제 2 구동 소자측보다 상기 스위칭 소자측에 배치되어 있다.
- [0029] 상기 스위칭 소자는 상기 소스 및 드레인 전극의 다른 쪽이 데이터 라인에 접속되어 있어도 좋다.
- [0030] 게이트 전극과, 소스 및 드레인 전극을 각각 구비한 제 1 스위칭 소자 및 제 2 스위칭 소자를 더 구비하고, 상기 제 1 스위칭 소자는 상기 소스 및 드레인 전극의 한쪽이 상기 제 1 구동 소자의 상기 제 1 게이트 전극 및 상기 제 2 구동 소자의 상기 제 2 게이트 전극에 접속되고, 상기 제 2 스위칭 소자는 상기 소스 및 드레인 전극의 한쪽이, 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 한쪽 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극의 한쪽에 접속되거나 또는 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극의 다른 쪽 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극의 다른 쪽에 접속되어 있어도 좋다.
- [0031] 또한, 본 발명은 상기 화소 회로 기판과, 대향 전극과, 상기 화소 전극과 상기 대향 전극의 사이에 배치된 발광층을 구비하는 표시 장치를 제공한다.
- [0032] 또한, 본 발명은 상기 표시 장치를 구비하는 전자 기기를 제공한다.
- [0033] 본 발명에 따른 화소 회로 기판의 제조 방법은 이하를 갖는다.
- [0034] 화소 전극을 형성하고,
- [0035] 제 1 게이트 전극과, 제 1 반도체층과, 한쪽이 상기 화소 전극의 일변측에 접속된 제 1 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 1 구동 소자와, 상기 제 1 게이트 전극에 접속된 제 2 게이트 전극과, 제 2 반도체층과, 한쪽이 상기 화소 전극의 상기 일변측과 대향하는 타변측에 접속되고 또한 다른

쪽이 상기 제 1 소스 및 드레인 전극의 다른 쪽에 접속된 제 2 소스 및 드레인 전극을 구비하고, 상기 화소 전극에 구동 전류를 공급하는 제 2 구동 소자를 형성한다.

[0036] 삭제

[0037] 제 1 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 제 1 반도체층 및 상기 제 2 구동 소자의 상기 제 2 반도체층을 패터닝하여 형성하고,

[0038] 상기 제 1 레지스트 마스크와 다른 제 2 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 제 1 소스 및 드레인 전극 및 상기 제 2 구동 소자의 상기 제 2 소스 및 드레인 전극을 패터닝하여 형성해도 좋다.

[0039] 상기 제 1 구동 소자 및 상기 제 2 구동 소자는 상기 제 1, 제 2 반도체층과, 상기 제 1, 제 2 소스 및 드레인 전극의 사이에 배치된 채널 보호막을 각각 구비하고,

[0040] 상기 제 1 레지스트 마스크 및 상기 제 2 레지스트 마스크와 다른 제 3 레지스트 마스크를 이용하여, 상기 제 1 구동 소자의 상기 채널 보호막 및 상기 제 2 구동 소자의 상기 채널 보호막을 형성해도 좋다.

### 발명의 효과

[0041] 본 발명에 의하면, 안정된 표시 특성을 실현할 수 있다.

### 도면의 간단한 설명

[0042] 도 1은 본 발명의 실시형태에 관한 표시 장치의 구성을 나타내는 평면도이다.

도 2의 (a)는 제 1 실시형태에 관한 발광 화소의 화소 구동 회로를 나타내는 등가 회로도이고, 도 2의 (b)는 참고예에 관한 발광 화소의 화소 구동 회로를 나타내는 등가 회로도이다.

도 3은 제 1 실시형태에 관한 발광 화소의 평면도이다.

도 4의 (a)는 도 3에 나타내는 IVa-IVa선 단면도이고, 도 4의 (b)는 도 3에 나타내는 IVb-IVb선 단면도이다.

도 5의 (a) 및 도 5의 (b)는 도 3에 나타내는 IVa-IVa선 단면도에 대응하고, 제 1 실시형태에 관한 표시 장치의 제조 방법을 나타내는 도면이다.

도 6의 (a) 및 도 6의 (b)는 도 5에 계속해서 제 1 실시형태에 관한 표시 장치의 제조 방법을 나타내는 도면이다.

도 7의 (a)는 화소 구동 회로에 있어서, 소스 및 드레인 전극의 좌우 방향의 위치 어긋남이 없는 경우를 모식적으로 나타내는 도면이고, 도 7의 (b)는 그 위치 어긋남량  $\Delta X$ 와, 채널 전류의 관계를 나타내는 그래프 도면이다.

도 8의 (a)는 화소 구동 회로에 있어서, 소스 및 드레인 전극의 좌우 방향의 위치 어긋남이 오른쪽 및 방향으로 편향되어 있는 경우를 모식적으로 나타내는 도면이고, 도 8의 (b)는 그 위치 어긋남량  $\Delta X$ 와, 채널 전류의 관계를 나타내는 그래프 도면이다.

도 9의 (a)는 화소 구동 회로에 있어서, 소스 및 드레인 전극의 좌우 방향의 위치 어긋남이 왼쪽 아래방향에 편향되어 있는 경우를 모식적으로 나타내는 도면이고, 도 9의 (b)는 그 위치 어긋남량  $\Delta X$ 와, 채널 전류의 관계를 나타내는 그래프 도면이다.

도 10의 (a)는 X축방향의 소스 및 드레인 전극의 위치 어긋남량과 참고예 및 실시형태의 채널 전류  $I_c$ 의 관계를 나타내는 도면이고, 도 10의 (b)는 X축방향의 소스 및 드레인 전극의 위치 어긋남량과 참고예 및 실시형태의 채널 전류  $I_c$ 의 규격값의 관계를 나타내는 도면이다.

도 11의 (a)는 제 2 실시형태에 관한 발광 화소의 화소 구동 회로를 나타내는 등가 회로도이고, 도 11의 (b)는 참고예에 관한 발광 화소의 화소 구동 회로를 나타내는 등가 회로도이다.

도 12는 제 2 실시형태에 관한 발광 화소의 평면도이다.

도 13의 (a)는 도 12에 나타내는 XⅢa-XⅢa선 단면도이고, 도 13의 (b)는 도 12에 나타내는 XⅢb-XⅢb선 단면도이다.

도 14는 본 발명의 제 2 실시형태에 관한 화소 구동 회로의 동작을 설명하기 위한 표시 장치의 전체 구성도이다.

도 15의 (a) 및 도 15의 (b)는 도 12에 나타내는 XⅢa-XⅢa선 단면도에 대응하고, 제 2 실시형태에 관한 표시 장치의 제조 방법을 나타내는 도면이다.

도 16의 (a) 및 도 16의 (b)는 도 15에 계속해서 제 2 실시형태에 관한 표시 장치의 제조 방법을 나타내는 도면이다.

도 17의 (a)는 본 발명의 실시형태에 관한 표시 장치가 사용되는 전자 기기로서의 디지털 카메라를 경사지게 전방에서 본 사시도이고, 도 17의 (b)는 동일 디지털 카메라를 경사지게 후방에서 본 사시도이다.

도 18은 본 발명의 실시형태에 관한 표시 장치가 사용되는 전자 기기로서의 PC를 나타내는 사시도이다.

도 19는 본 발명의 실시형태에 관한 표시 장치가 사용되는 전자 기기로서의 휴대 전화기를 나타내는 도면이다.

도 20은 본 발명의 실시형태에 관한 표시 장치가 사용되는 전자 기기로서의 텔레비전 장치를 나타내는 도면이다.

도 21의 (a)는 역 스택거형이며 또한 채널 보호막 구조의 TFT의 단면도이고, 도 21의 (b)는 동일 TFT의 평면도이고, 도 21의 (c)는 동일 TFT의 소스 및 드레인 전극과 게이트 전극(채널 보호막)의 위치 관계를 나타내는 모식도이다.

도 22의 (a)는 도 21에 나타내는 TFT의 소스 및 드레인 전극과 게이트 전극의 위치 관계마다의 게이트 전압  $V_g$  와 채널 전류  $I_c$ 의 관계를 나타내는 그래프 도면이고, 도 22의 (b)는 소스 및 드레인 전극의 위치 어긋남량과 소스 및 드레인 전극 사이를 흐르는 전류  $I$  및 동일 전류  $I$ 의 어긋남의 관계를 나타내는 그래프 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0043] 본 발명의 실시형태에 관한 화소 회로 기판, 표시 장치, 및 화소 회로 기판을 포함하는 표시 장치의 제조 방법에 대해, 이하 도면을 참조하면서 설명한다. 이하의 실시형태에서는 보텀 에미션(bottom emission)형의 유기 EL(Electro Luminescence) 소자를 이용한 액티브 구동 방식의 표시 장치를 예로서 설명한다.
- [0044] (제 1 실시형태)
- [0045] 도 1에 나타내는 바와 같이, 본 제 1 실시형태에 관한 화소 회로 기판을 갖는 표시 장치는 유리 등의 기판(31) 위에 각각 적(R), 녹(G), 청(B)의 3색을 발하는 3개의 발광 화소(30)를 1조으로서, 이 조가 행방향(좌우 방향)으로 반복하여 복수 배열되는 동시에, 열방향(상하 방향)으로 동일 색의 발광 화소(30)가 복수 배열되어 있다. 이와 같이 RGB의 각 색을 발하는 발광 화소(30)가 매트릭스 형상으로 배열된다. 각 발광 화소(30)는 RGB 각각의 광을 발하는 표시 소자로서의 유기 EL 소자인 발광 소자(21)를 구비한다.
- [0046] 도 2의 (a)에 나타내는 바와 같이, 각 발광 화소(30)는 발광 소자(21)와, 발광 소자(21)를 액티브 동작시키는 화소 구동 회로 DS1을 구비한다. 또, 화소 회로 기판은 기판(31)과, 화소 구동 회로 DS1과, 발광 소자(21)의 화소 전극(42)을 갖는다.
- [0047] 화소 구동 회로 DS1은 선택 트랜지스터 Tr11, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13, 및 커패시터 Cp1, Cp2를 구비한다. 선택 트랜지스터 Tr11, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13은 모두 어모퍼스 실리콘 또는 미결정(微結晶) 실리콘을 포함하는 반도체층을 구비하는 역(逆) 스택거형의 n채널형 TFT(Thin Film Transistor)이다. 또, 커패시터 Cp1, Cp2는 후술하는 데이터 라인 Ld로부터 공급되는 게조 신호 등의 표시용의 데이터를 전하로서 유지한다.
- [0048] 본 실시형태의 화소 구동 회로 DS1은 도 2의 (a)에 나타내는 바와 같이, 2개의 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13을 구비하고 있다. 이에 대해, 도 2의 (b)에 나타내는 참고예의 화소 구동 회로 DS0은 구동 트랜지스터 Tr12a를 1개만 갖고 있는 점에서 본 실시형태의 화소 구동 회로 DS1과 다르다. 비교용으로, 참고예의 구동 트랜지스터 Tr12a의 채널 폭과, 본 실시형태의 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 각 채널 폭의 합계가 동등하게 설정된 상태를 전제로 하여, 이하에 설명한다.
- [0049] 도 1 및 도 2의 (a)에 나타내는 바와 같이, 기판(31) 위에는 행방향으로 배열된 복수의 화소 구동 회로 DS1의 각각에 접속된 애노드 라인 La와, 열방향으로 배열된 복수의 화소 구동 회로 DS1의 각각에 접속된 복수의 데이터 라인 Ld와, 행방향으로 배열된 복수의 화소 구동 회로 DS1의 각 선택 트랜지스터 Tr11을 선택(스위칭)하기

위한 게이트 라인 Lg가 형성되어 있다.

[0050] 도 2의 (a)에 나타내는 본 실시형태의 화소 구동 회로 DS1에서는 선택 트랜지스터 Tr11은 게이트 전극이 게이트 라인 Lg에, 드레인 전극이 데이터 라인 Ld에, 소스 전극이 노드(node) N11에 각각 접속된다. 또, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13은 게이트 전극이 노드 N11에 접속되고, 드레인 전극이 애노드 라인 La에, 소스 전극이 각각 노드 N12에 접속된다. 커패시터 Cp1은 양단이 각각 제 1 구동 트랜지스터 Tr12의 게이트 전극 및 소스 전극(노드 N11, N12) 사이에 접속된다. 커패시터 Cp2는 양단이 각각 제 2 구동 트랜지스터 Tr13의 게이트 전극 및 소스 전극(노드 N11, N12)에 접속되고, 서로 동일 용량으로 설정되어 있다. 이 커패시터 Cp1, Cp2는 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 게이트-소스 사이에 부가적으로 설치된 보조 용량, 또는 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 게이트-소스 사이의 기생 용량과 보조 용량을 갖는 용량 성분이다. 노드 N12는 발광 소자(21)의 애노드에 접속되고, 발광 소자(21)의 캐소드는 대향 전극(46)에 접속되어 있다. 이와 같이, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13은 애노드 라인 La, 노드 N12(발광 소자(21)) 사이에서 병렬 접속되어 있고, 겹보기 상 1개의 트랜지스터로서 기능한다. 또한, 발광 소자(21)의 캐소드(대향 전극(46), 도 4 참조)에는 기준 전압 Vss가 인가된다.

[0051] 한편, 도 2의 (b)에 나타내는 참고예의 화소 구동 회로 DS0에서는 선택 트랜지스터 Tr11은 게이트 전극이 게이트 라인 Lg에, 드레인 전극이 데이터 라인 Ld에, 소스 전극이 노드 N11에 각각 접속된다. 또, 구동 트랜지스터 Tr12a는 게이트 전극이 노드 N11에 접속되고, 드레인 전극이 애노드 라인 La에, 소스 전극이 각각 노드 N12에 접속된다. 커패시터 Cp는 구동 트랜지스터 Tr12a의 게이트 전극 및 소스 전극(노드 N11, N12) 사이에 접속된다. 노드 N12는 발광 소자(21)의 애노드에 접속되고, 발광 소자(21)의 캐소드는 대향 전극(46)에 접속되어 있다. 이와 같이, 구동 트랜지스터 Tr12a는 애노드 라인 La, 노드 N12 사이에 접속된다.

[0052] 도 1 및 도 2의 (a)를 참조하여, 게이트 라인 Lg는 발광 패널의 둘레 가장자리부에 배치된 게이트 드라이버에 접속되어 있다. 게이트 라인 Lg에는 게이트 드라이버로부터, 해당 게이트 라인 Lg에 접속되고, 행방향으로 배열된 복수의 발광 화소(30)를 소정 타이밍에서 선택 상태로 설정하기 위한 선택 전압 신호(주사 신호)가 인가된다. 또, 데이터 라인 Ld는 발광 패널의 둘레 가장자리부에 배치된 데이터 드라이버에 접속되고, 데이터 드라이버로부터, 발광 화소(30)의 상기 선택 상태에 동기(同期)하는 타이밍에서 발광 데이터에 따른 데이터 전압(계조 신호)이 인가된다. 애노드 라인 La(전류 공급 배선)는 소정의 고(高)전위 전원에 직접 또는 간접적으로 접속되어 있다. 이것에 의해, 애노드 라인 La로부터, 행방향으로 배열된 복수조의 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13을 통해, 발광 소자(21)의 대략 직사각형 형상의 화소 전극(42)(도 3 참조)에 발광 데이터에 따른 구동 전류가 흐르는 상태로 설정된다. 즉, 애노드 라인 La에는 발광 소자(21)의 대향 전극(46)에 인가되는 기준 전압 Vss보다 충분히 전위가 높은 소정의 공급 전압 Vdd(>기준 전압 Vss)가 인가된다.

[0053] 도 3, 도 4의 (a) 및 도 4의 (b)를 참조하여, 각 발광 화소(30)에 있어서의 기판(31) 위에는, 발광 소자(21)를 선택하는 선택 트랜지스터 Tr11, 발광 소자(21)에 구동 전류를 공급하는 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 게이트 전극(12g, 13g)이 형성되어 있다. 각 발광 화소(30)에 인접한 기판(31) 위에는 열방향(상하 방향)을 따라 연장되는 데이터 라인 Ld가 형성되어 있다. 기판(31) 위에는 데이터 라인 Ld 및 게이트 전극(11g, 12g, 13g)을 덮도록 절연막(32)이 형성되어 있다. 또, 기판(31) 위에는 게이트 전극(12g, 13g)을 서로 접속하는 도전층(20)이 형성되어 있다.

[0054] 도 3, 도 4의 (a) 및 도 4의 (b)를 참조하여, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 소스 전극(12s, 13s)은 절연막(32) 위의 화소 전극(42)에 접속되고, 드레인 전극(12d, 13d)은 기판(31) 위의 애노드 라인 La에 접속되어 있다. 상세하게는, 제 1 구동 트랜지스터 Tr12의 소스 전극(12s)은 직사각형 형상의 화소 전극(42)(유기 EL 소자(21))의 일변(우변)측에 접속되고, 제 2 구동 트랜지스터 Tr13의 소스 전극(13s)은 화소 전극(42)의 해당 일변측에 대향하는 타변(좌변)측에 접속되어 있다. 이 화소 전극(42)의 일변 및 타변은 서로 평행하다. 또, 게이트 전극(12g, 13g)은 기판(31) 위의 도전층(20)을 통해 서로 접속되어 있다. 제 1 구동 트랜지스터 Tr12의 소스 전극(12s) 및 드레인 전극(12d)은 각각, 각 도면 중, 채널 보호막(12p)의 좌측 및 우측에 배치되고, 제 2 구동 트랜지스터 Tr13의 소스 전극(13s) 및 드레인 전극(13d)은 각각, 각 도면 중, 채널 보호막(13p)의 우측 및 좌측에 배치되어 있다. 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d)의 아래쪽에는 각각 n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층(123, 124)이 형성되어 있다. 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)의 아래쪽에는 각각 n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층(133, 134)이 형성되어 있다. 그리고, 보호 절연막인 채널 보호막(12p)이 소스 및 드레인 전극(12s, 12d) 사이 및, 오믹 콘택트층(123, 124) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층(121) 위에 배치되어 있다. 채널 보호막(13p)이 소스 및 드레인 전극(13s,

13d) 사이 및, 오믹 콘택트층(133, 134) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층(131) 위에 배치되어 있다. 반도체층(121, 131)은 게이트 절연막으로서 기능하는 절연막(32) 위에 형성되어 있다. 오믹 콘택트층(123, 124)은 각각 소스 및 드레인 전극(12s, 12d)과, 반도체층(121)의 저저항성 접촉을 위해 배치된다. 오믹 콘택트층(133, 134)은 각각 소스 및 드레인 전극(13s, 13d)과, 반도체층(131)의 저저항성 접촉을 위해 배치된다.

[0055] 애노드 라인 La 및 게이트 라인 Lg는 각 트랜지스터 Tr11, Tr12, Tr13의 소스 전극(11s, 12s, 13s) 및 드레인 전극(11d, 12d, 13d)을 형성하기 위한 소스-드레인 도전층을 이용하여 형성되어 있다. 데이터 라인 Ld 및 도전층(20)은 각 트랜지스터 Tr11, Tr12, Tr13의 게이트 전극(11g, 12g, 13g)을 형성하기 위한 게이트 도전층을 이용하여 형성되어 있다. 데이터 라인 Ld와 드레인 전극(11d)의 사이의 절연막(32)에는 데이터 라인 Ld와 드레인 전극(11d)을 접속하는 콘택트부(콘택트 홀)(61)가 형성되어 있다. 게이트 라인 Lg와 게이트 전극(11g)의 양단의 사이의 절연막(32)에는 각각, 게이트 라인 Lg와 게이트 전극(11g)을 접속하는 콘택트부(콘택트 홀)(62, 63)가 형성되어 있다. 소스 전극(11s)과 게이트 전극(12g)의 사이의 절연막(32)에는 소스 전극(11s)과 게이트 전극(12g)을 접속하는 콘택트부(콘택트 홀)(64)가 형성되어 있다. 이들 콘택트부(61~64)에 의해서, 선택 트랜지스터 Tr11, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 각 게이트 전극(11g, 12g, 13g), 데이터 라인 Ld, 및 도전층(20)으로 되는, 게이트 도전층을 패터닝하여 이루어지는 하부 접속부와, 선택 트랜지스터 Tr11, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 소스 전극(11s, 12s, 13s), 드레인 전극(11d, 12d, 13d), 애노드 라인 La, 및 게이트 라인 Lg로 이루어지는, 소스-드레인 도전층을 패터닝하여 이루어지는 상부 접속부가 기판의 두께 방향에 적절히 접속되어 있다.

[0056] 도 2의 (b)에 나타내는 참고예의 구동 트랜지스터 Tr12a의 채널 폭은  $W(\mu m)$ 이고, 도 2의 (a)에 나타내는 본 실시형태의 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 채널 폭은 모두  $W/2(\mu m)$ 이다. 이와 같이, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 채널 폭의 합계는 참고예의 구동 트랜지스터 Tr12a의 채널 폭  $W$ 와 동등하다( $W=W/2+W/2$ ). 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 반도체층(121, 131)의 채널 길이  $L$ 은 서로 동등하고, 또 제 1 구동 트랜지스터 Tr12의 소스 전극(12s)과 드레인 전극(12d)의 사이의 거리  $Gp$ 와, 제 2 구동 트랜지스터 Tr13의 소스 전극(13s)과 드레인 전극(13d)의 사이의 거리  $Gp$ 는 서로 동등하다. 또한, 상술한 바와 같이, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13은 구동 트랜지스터 Tr12a와 마찬가지로, 애노드 라인 La 및 노드 N12의 사이에 접속되어 있다. 따라서, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13은 참고예의 구동 트랜지스터 Tr12a와 마찬가지로 채널 폭  $W(\mu m)$ 의 TFT로서 기능한다.

[0057] 도 4의 (a) 및 도 4의 (b)에 나타내는 바와 같이, 발광 소자(21)는 애노드 전극으로서의 화소 전극(42), 정공 주입층(43), 인터 레이어(44), 발광층(45), 및 캐소드 전극으로서의 대향 전극(46)을 구비한다. 정공 주입층(43)은 예를 들면, 정공(홀) 주입, 수송이 가능한 유기 고분자계의 재료 또는 유기 저분자계의 재료, 무기 산화물 등의 적어도 어느 것을 포함하고, 소정의 전계 하에서 발광층(45)을 향해 정공을 공급하는 기능을 갖는 것이다. 인터 레이어(44)는 정공 주입층(43)의 정공 주입성을 억제하여 발광층(45)내에 있어서 전자와 정공을 재결합시키기 쉽게 하는 기능을 갖고, 발광층(45)의 발광 효율을 높이는 것이다. 발광층(45)은 화소 전극(42)으로부터의 정공과 대향 전극(46)으로부터의 전자가 재결합하여 광을 발생시키는 기능을 갖는 유기 고분자계의 재료 또는 유기 저분자계의 재료를 포함한다.

[0058] 이들 정공 주입층(43), 인터 레이어(44) 및 발광층(45)이 소정의 전계 하에서 전자나 정공을 캐리어로서 수송하는 캐리어 수송층으로 된다. 층간 절연막(47)은 트랜지스터 Tr11, Tr12, Tr13이나, 데이터 라인 Ld, 게이트 라인 Lg, 애노드 라인 La의 윗쪽을 덮는 동시에 화소 전극(42)의 둘레 가장자리부를 덮는 보호막이며, 발광 화소(30)의 발광 영역을 구분 짓는 대략 직사각형 형상의 개구부(47a)가 형성되어 있다. 층간 절연막(47) 위에는 열방향(도 3의 상하 방향)으로 연장하는 스트라이프 형상의 격벽(48)이 형성되어 있다. 격벽(48)은 열방향을 따른 복수의 개구부(47a)에 대응한 스트라이프 형상의 개구부(48a)를 갖는다.

[0059] 대향 전극(46)은 기판(31) 위에 매트릭스 형상으로 배열된 모든 발광 화소(30)(발광 소자(21))의 화소 전극(42)에 대향하며 또한 연속하여 이루어지는 전극층이다. 대향 전극(46)은 공통 전극으로서 기능하고, 소정의 저(低)전압(접지 전위 GND 등의 기준 전압(기준 전위)  $V_{ss}$ )이 공통으로 인가된다.

[0060] 제 1 구동 트랜지스터 Tr12는 반도체층(121), 채널 보호막(12p), 드레인 전극(12d), 소스 전극(12s), 오믹 콘택트층(123, 124), 게이트 전극(12g), 반도체층(121)과 게이트 전극(12g)의 사이의 절연막(32)을 구비한다.

[0061] 또, 제 2 구동 트랜지스터 Tr13은 반도체층(131), 채널 보호막(13p), 드레인 전극(13d), 소스 전극(13s), 오믹 콘택트층(133, 134), 게이트 전극(13g), 반도체층(131)과 게이트 전극(13g)의 사이의 절연막(32)을 구비한다.

또, 선택 트랜지스터 Tr11은 반도체층(도시하지 않음), 채널 보호막(11p), 드레인 전극(11d), 소스 전극(11s), 오믹 콘택트층(도시하지 않음), 게이트 전극(11g), 반도체층과 게이트 전극(11g)의 사이의 절연막(32)을 구비한다.

[0062] 각 트랜지스터 Tr11, Tr12, Tr13에 있어서, 게이트 전극(11g, 12g, 13g)은 예를 들면, Mo막, Cr막, Al막, Cr/Al 적층막, AlTi 합금막 또는 AlNdTi 합금막, MoNb 합금막 등의 적어도 어느 하나를 포함하는 불투명한 게이트 도전층으로부터 형성되어 있다. 또, 드레인 전극(11d, 12d, 13d) 및 소스 전극(11s, 12s, 13s)은 예를 들면, 알루미늄-티타늄 (AlTi)/Cr, AlNdTi/Cr 또는 Cr 등의 적어도 어느 하나를 포함하는 소스-드레인 도전층으로부터 형성되어 있다.

[0063] 화소 전극(42)은 투명한 도전성 재료, 예를 들면 ITO(Indium Tin Oxide)나 ZnO 등으로 구성되어 있다. 각 화소 전극(42)은 인접하는 다른 발광 화소(30)의 화소 전극(42)과 이간(離間)되는 것에 의해서 서로 절연되어 있다.

[0064] 또한, 본 실시형태에서는 제 1 구동 트랜지스터 Tr12에 있어서의, 소스 전극(12s) 및 드레인 전극(12d)과 채널 보호막(12p)의 각 오버랩 영역(12a, 12b)의 면적은 서로 동등하게 되도록 설정되어 있다(도 7의 (a) 참조). 또, 제 2 구동 트랜지스터 Tr13에 있어서의, 소스 전극(13s) 및 드레인 전극(13d)과 채널 보호막(13p)의 각 오버랩 영역(13a, 13b)의 면적은 서로 동등하게 되도록 설정되어 있다(도 7의 (a) 참조).

[0065] 다음에, 본 실시형태에 관한 표시 장치의 제조 방법에 대해 도 5 및 도 6을 참조하면서 설명한다. 여기서는, 선택 트랜지스터 Tr11 및 제 2 구동 트랜지스터 Tr13은 제 1 구동 트랜지스터 Tr12와 동일 공정에 의해서 형성된다. 따라서, 이하 제 1 구동 트랜지스터 Tr12의 형성 방법의 설명을 가지고, 선택 트랜지스터 Tr11 및 제 2 구동 트랜지스터 Tr13의 형성 방법의 설명을 일부 생략한다.

[0066] 우선, 도 5의 (a)에 나타내는 바와 같이, 발광 화소 기관인 유리 등의 기관 (31) 위에 스퍼터링법(sputtering method), 진공 증착법 등에 의해 예를 들면, Mo막, Cr막, Al막, Cr/Al 적층막, AlTi 합금막 또는 AlNdTi 합금막, MoNb 합금막 등의 적어도 어느 하나를 포함하는 게이트 도전막을 형성하고, 이것을 포토리소그래피에 의한 레지스트 마스크를 이용하여 제 1 구동 트랜지스터 Tr12의 게이트 전극 (12g), 및 데이터 라인 Ld의 형상으로 패터닝하는 동시에 도 5의 (a)에서는 도시를 생략했지만, 선택 트랜지스터 Tr11, 제 2 구동 트랜지스터 Tr13의 게이트 전극 (11g, 13g) 및 도전층(20)에 패터닝한다.

[0067] 다음에, 도 5의 (b)에 나타내는 바와 같이, CVD(Chemical Vapor Deposition)법 등에 의해, 게이트 전극(12g) 및 데이터 라인 Ld 위에 실리콘 산화막, 실리콘 질화막 등의 절연성 재료를 갖는 절연막(32)을 형성한다. 다음에 절연막(32) 위에, CVD법 등에 의해 반도체층으로 되는 어모퍼스 실리콘층, 채널 보호막으로 되는 실리콘 산화막, 실리콘 질화막 등의 절연층을 연속하여 퇴적하고, 이 절연층을 포토리소그래피에 의한 레지스트 마스크를 이용해서 패터닝하여 채널 보호막(12p)을 형성하는 동시에, 선택 트랜지스터 Tr11, 제 2 구동 트랜지스터 Tr13의 각 채널 보호막(11p, 13p)도 패터닝한다. 다음에, n형 불순물을 포함하는 어모퍼스 실리콘층을 퇴적한 후, 포토리소그래피에 의한 레지스트 마스크를 이용해서 에칭하여 트랜지스터 Tr11, Tr12, Tr13의 오믹 콘택트층(123, 124, 133, 134) 등의 바깥 둘레를 패터닝하고, 계속해서 하층의 어모퍼스 실리콘층을 에칭하여 트랜지스터 Tr11, Tr12, Tr13의 반도체층(121, 131) 등을 패터닝 형성한다. 이때, 트랜지스터 Tr11, Tr12, Tr13의 반도체층(121, 131) 등의 채널 길이 L은 트랜지스터 Tr11, Tr12, Tr13의 각 채널 보호막(11p, 12p, 13p)의 행방향(X축 방향)의 길이에 의해서 정의되고, 소스 및 드레인 전극의 위치 어긋남에 관계없이 항상 일정하다.

[0068] 다음에, 스퍼터링법, 진공 증착법 등에 의해 절연막(32) 위에 ITO 등의 투명 도전막을 형성하고, 포토리소그래피에 의한 레지스트 마스크를 이용해서 패터닝하여 화소 전극(42)을 형성한다.

[0069] 그리고, 절연막(32)에 콘택트부(61~64)로 되는 콘택트 홀을 형성한 후, 예를 들면 Mo막, Cr막, Al막, Cr/Al 적층막, AlTi 합금막 또는 AlNdTi 합금막, MoNb 합금막 등의 적어도 어느 하나를 포함하는 소스-드레인 도전막을 스퍼터링법, 진공 증착법 등을 이용하여 형성하고, 콘택트부(61~64)에 매설한다. 이 다음, 포토리소그래피에 의한 레지스트 마스크를 이용하여 소스-드레인 도전막을 패터닝하고, 선택 트랜지스터 Tr11, 제 1 구동 트랜지스터 Tr12 및 제 2 구동 트랜지스터 Tr13의 각 소스 및 드레인 전극(12s, 12d, 13s, 13d) 등, 애노드 라인 La, 게이트 라인 Lg(도 4의 (b) 참조)를 형성하는 동시에, 각 트랜지스터 Tr11, Tr12, Tr13의 소스 및 드레인 전극의 아래쪽이며 또한 각 트랜지스터 Tr11, Tr12, Tr13의 소스 및 드레인 전극 사이의 오믹 콘택트층을 에칭하고, 트랜지스터 Tr11, Tr12, Tr13의 오믹 콘택트층(123, 124, 133, 134) 등을 형성한다. 이와 같이, 게이트 도전막, 채널 보호막, 소스-드레인 도전막은 각각 분리 독립한 포토리소그래피에 의한 레지스트 마스크를 이용하여 패터닝되기 때문에, 소스 및 드레인 전극에 상대적인 위치 어긋남을 야기할 가능성이 있다. 그리고, 선택 트랜

지스터 Tr11, 제 1 구동 트랜지스터 Tr12 및 제 2 구동 트랜지스터 Tr13의 각 소스 및 드레인 전극(12s, 12d, 13s, 13d) 등은 동일한 포토리소그래피 공정에 의해서 형성되기 때문에, 상기 위치 어긋남의 정도가 동일하다. 이 때문에, 선택 트랜지스터 Tr11의 소스 전극(11s)과 드레인 전극(12d)의 사이의 거리와, 제 1 구동 트랜지스터 Tr12의 소스 전극(12s)과 드레인 전극(12d)의 사이의 거리 Gp와, 제 2 구동 트랜지스터 Tr13의 소스 전극(13s)과 드레인 전극(13d)의 사이의 거리 Gp는 위치 어긋남이 생겨도 항상 일정하다. 그리고, 선택 트랜지스터 Tr11, 제 1 구동 트랜지스터 Tr12 및 제 2 구동 트랜지스터 Tr13의 각 소스 및 드레인 전극(12s, 12d, 13s, 13d) 등은 각각, 대응하는 게이트 전극(11g, 12g, 13g)과의 상대적 위치 어긋남의 정도가 서로 동등하고, 또 대응하는 채널 보호막(11p, 12p, 13p)과의 상대적 위치 어긋남의 정도가 서로 동등하다. 그리고, 제 1 구동 트랜지스터 Tr12의 소스 전극(12s) 및 제 2 구동 트랜지스터 Tr13의 소스 전극(13s)은 열방향을 따르며 또한 행방향에 직교하는 화소 전극(42)의 2변 중, 각각 우측의 변, 좌측의 변에 겹쳐져서 접속되도록 형성된다(도 4의 (b) 참조).

[0070] 계속해서, 도 6의 (a)에 나타내는 바와 같이 CVD법 등을 이용하여, 트랜지스터 Tr11, 트랜지스터 Tr12, 트랜지스터 Tr13 등이나 데이터 라인 Ld의 윗쪽을 덮도록 실리콘 질화막을 갖는 층간 절연막(47)을 형성한 후, 층간 절연막(47)에 포토리소그래피에 의한 레지스트 마스크를 이용하여 개구부(47a)를 형성한다. 다음에, 층간 절연막(47)을 덮도록 감광성 폴리이미드를 도포하고, 마스크 판(版)을 이용하여 노광, 현상하는 것에 의해서 패터닝하고, 개구부(48a)를 갖는 격벽(48)을 형성한다.

[0071] 그 후, 도 6의 (b)에 나타내는 바와 같이, 연속한 액류를 흘리는 노즐 프린팅 장치 또는 개개로 독립한 복수의 액적(液滴)으로서 토출하는 잉크젯 장치를 이용하여, 구멍 주입 재료를 포함하는 유기 화합물 함유액을 개구부(47a)로 둘러싸인 화소 전극(42) 위에 선택적으로 도포한다. 계속해서, 기판(31)을 대기 분위기 하에서 가열하고, 유기 고분자계의 홀 주입·수송 재료를 포함하는 유기 화합물 함유액의 용매를 휘발시켜, 정공 주입층(43)을 형성한다.

[0072] 이 유기 화합물 함유액으로서는, 예를 들면 도전성 폴리머인 폴리에틸렌 디옥시테오펜(PEDOT)과 도펀트(dopant)인 폴리스티렌 설펜산(PSS)을 수계 용매에 분산시킨 분산액인 PEDOT/PSS 수용액을 이용한다.

[0073] 다음에, 노즐 프린팅 장치 또는 잉크젯 장치를 이용하여, 인터 레이어(44)로 되는 재료를 함유하는 유기 화합물 함유액을 정공 주입층(43) 위에 도포한다. 질소 분위기중의 가열 건조, 또는 진공중에서의 가열 건조를 실행하고, 잔류 용매의 제거를 실행하여 인터 레이어(44)를 형성한다.

[0074] 계속해서, 폴리파라페닐렌비닐렌계나 폴리플루오렌계 등의 공역 이중 결합 폴리머 등의 발광 폴리머 재료(R, G, B)가 테트라린, 테트라메틸벤젠, 메시틸렌, 크실렌 등의 유기 용매에 용해된 유기 화합물 함유액을, 노즐 프린팅 장치 또는 잉크젯 장치를 이용하여 도포하고, 질소 분위기중에서 가열하여 잔류한 유기 용매의 제거를 실행하고, 발광층(45)을 형성한다.

[0075] 그 후, 도 6의 (b)에 나타내는 바와 같이, 발광층(45)이 형성된 기판(31) 위에 진공 증착이나 스퍼터링(sputtering)을 이용하여, Li, Mg, Ca, Ba 등의 일 함수가 낮은 재료를 갖는 층과, Al 등의 광반사성 도전층을 갖는 층으로 구성되는 2층 구조의 대향 전극(46)을 형성한다.

[0076] 다음에, 본 실시형태에 관한 표시 장치의 작용 효과에 대해 도 7~도 10을 참조하면서 설명한다. 도 7~도 10에서는 n채널형 TFT를 사용하였다. 도 7의 (b), 도 8의 (b), 도 9의 (b)의 횡축은 후술하는 기준 위치에 대해 소스 및 드레인 전극이 우측으로 어긋난 경우에는 플러스의 값을 취하고, 좌측으로 어긋난 경우에는 마이너스의 값을 취한다. 여기서, W(채널 폭)=700 $\mu$ m, L(채널 길이)=7.4 $\mu$ m, 게이트 전압 Vg=5V이고, 데이터 전압 Vd=10V이다.

[0077] 우선, 도 7의 (a)에 나타내는 바와 같이 발광 화소(30)에 있어서, 채널 보호막(12p, 13p)에 대해, 소스 및 드레인 전극(12s, 12d, 13s, 13d)의 좌우 방향의 위치 어긋남이 없는(X축 방향의 위치 어긋남량  $\Delta X=Y$ 축 방향의 위치 어긋남량  $\Delta Y=0\mu$ m) 경우(이하, 도 7의 (a)에 나타내는 소스 및 드레인 전극(12s, 12d, 13s, 13d)의 위치를 「기준 위치」라고 함.)에서는 도 7의 (b)에 나타내는 바와 같이, 화소 구동 회로 DS1에 있어서, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13을 각각 흐르는 채널 전류 Ic는 서로 동등하게 된다(도 10의 (a) 및 도 10의 (b) 참조). 이때의 채널 전류 Ic의 합을 기준 전류값으로 하면, 기준 전류로부터의 전류 어긋남량은 0(%)이다. 이것에 의해, 발광 소자(21)를 표시 소자로 한 복수의 발광 화소(30)를 갖는 표시 장치에 있어서, 각 발광 화소(30)마다 균일한 발광이 가능하게 된다. 또한, 여기서는 양 채널 전류 Ic의 합계값은 도 10의 (a)에 나타내는 바와 같이  $4.6 \times 10^{-6}$  A로 된다.

- [0078] 또, 도 8의 (a)에 나타내는 바와 같이 발광 화소(30)에 있어서, 채널 보호막(12p, 13p)에 대해, 소스 및 드레인 전극(12s, 12d, 13s, 13d)이 도 7의 (a)에 나타내는 기준 위치로부터 오른쪽 및 방향에 편향되어 있는(X축 방향의 위치 어긋남량  $\Delta X=Y$ 축 방향의 위치 어긋남량  $\Delta Y=+1\mu m$ ) 경우에는 도 8의 (b)에 나타내는 바와 같이, 제 2 구동 트랜지스터 Tr13을 흐르는 채널 전류  $I_c$ 가, 제 2 구동 트랜지스터 Tr13이 기준 위치의 경우보다 커진다. 그런데, 제 1 구동 트랜지스터 Tr12를 흐르는 채널 전류  $I_c$ 가, 제 1 구동 트랜지스터 Tr12가 기준 위치의 경우보다 작아져서 상쇄된다. 이 때문에, 양 채널 전류  $I_c$ 의 합계값은 약  $5.1 \times 10^{-6} A$ 로 되고(도 10의 (a) 및 도 10의 (b) 참조), 도 7의 (a) 및 도 7의 (b)에 나타내는 경우와 대략 동등한 결과로 된다. 이것은 화소 전극(42)에 접속되는 제 1 구동 트랜지스터 Tr12의 소스 전극(12s)과, 제 2 구동 트랜지스터 Tr13의 소스 전극(13s)이 화소 전극(42)에 대해 각각 우측, 좌측에 위치하기 때문이다. 즉, 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d)의 조와, 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)의 조는 화소 전극(42)에 대해 미러상 대칭의 관계가 된다.
- [0079] 이러한 구조에 의해, 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d)이 채널 보호막(12p)에 대해 우측으로 어긋나서 오버랩 영역(12a)의 면적이 기준 위치의 경우에 비해 증대하는 동시에, 오버랩 영역(12b)의 면적이 기준 위치의 경우에 비해 감소한다. 이 때문에, 제 1 구동 트랜지스터 Tr12의 채널 전류  $I_c$ 는 기준 위치의 경우보다 작아진다. 그런데, 동시에 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)이 채널 보호막(13p)에 대해 우측으로 어긋나서 오버랩 영역(13a)의 면적이 기준 위치의 경우에 비해 감소하는 동시에, 오버랩 영역(13b)의 면적이 기준 위치의 경우에 비해 증대한다. 이 때문에, 제 2 구동 트랜지스터 Tr13의 채널 전류  $I_c$ 는 기준 위치의 경우보다 커진다.
- [0080] 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d) 및 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)은 모두 소스-드레인 도전막을 패터닝하여 이루어진다. 이 때문에, X축 방향을 따르는 소스 및 드레인 전극의 위치 어긋남량도 동일하게 된다. 따라서, 채널 보호막(12p, 13p)과 소스 전극(12s, 13s)이 중첩하는 오버랩 영역(12a, 13a)의 각 면적의 합이 일정해지고, 채널 보호막(12p, 13p)과 드레인 전극(12d, 13d)이 중첩하는 오버랩 영역(12b, 13b)의 각 면적의 합이 일정해진다. 이 때문에, 제 1 구동 트랜지스터 Tr12 및 제 2 구동 트랜지스터 Tr13의 채널 전류  $I_c$ 의 합은 대체로 일정해진다. 또한, 소스 및 드레인 전극(12s, 12d, 13s, 13d)에 상하 방향(Y축 방향)으로 위치 어긋남이 생겨도, 제 1 구동 트랜지스터 Tr12에 있어서, 채널 폭방향의 채널 보호막(12p)의 길이 및 채널 폭방향의 게이트 전극(12g)의 길이는 모두, 채널 폭방향의 소스 및 드레인 전극(12s, 12d)의 각 길이보다 충분히 길다. 이 때문에, 오버랩 영역(12a, 12b)의 면적은 실질상 일정하고, 제 2 구동 트랜지스터 Tr13에 있어서, 채널 폭방향의 채널 보호막(13p)의 길이 및 채널 폭방향의 게이트 전극(13g)의 길이는 모두, 채널 폭방향의 소스 및 드레인 전극(12s, 12d)의 각 길이보다 충분히 길다. 이 때문에, 오버랩 영역(13a, 13b)의 면적은 실질상 일정하므로, 좌우 방향(X축 방향)의 위치 어긋남만을 고려하면 좋다. 또, 선택 트랜지스터 Tr11은 데이터 라인 Ld로부터 데이터 전압이 인가되어 구동하기 때문에, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13과 같이 발광 소자(21)에 전류를 흘리지 않는다. 그 때문에, X축 방향의 소스 및 드레인 전극의 위치 어긋남이 있어도 발광 소자(21)의 휘도 제조에 큰 악영향을 끼치지 않는다.
- [0081] 이와 같이, 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d) 및 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)의 위치가 기준 위치에 비해 우측으로 벗어나 있어도, 발광 소자(21)는 기준 위치의 경우의 발광 소자(21)의 휘도에 비해 동일 정도의 휘도로 발광하는 것이 가능하게 된다.
- [0082] 마찬가지로, 도 9의 (a)에 나타내는 바와 같이 발광 화소(30)에 있어서, 게이트 전극(12g, 13g)(채널 보호막(12p, 13p))에 대해, 소스 및 드레인 전극(12s, 12d, 13s, 13d)이 도 7의 (a)에 나타내는 기준 위치로부터 왼쪽 아래 방향에 편향되어 있는(X축 방향의 위치 어긋남량  $\Delta X=Y$ 축 방향의 위치 어긋남량  $\Delta Y=-1\mu m$ ) 경우에서도 도 9의 (b)에 나타내는 바와 같이, 제 2 구동 트랜지스터 Tr13을 흐르는 채널 전류  $I_c$ 가, 제 2 구동 트랜지스터 Tr13이 기준 위치의 경우보다 작아진다. 그런데, 제 1 구동 트랜지스터 Tr12를 흐르는 채널 전류  $I_c$ 가, 제 1 구동 트랜지스터 Tr12가 기준 위치의 경우보다 커지는 것에 의해 상쇄된다. 이 때문에, 양 채널 전류  $I_c$ 의 합계값은  $5.1\mu m$ 으로 되고(도 10의 (a) 및 도 10의 (b) 참조), 도 7의 (a) 및 도 7의 (b)에 나타내는 경우, 및 도 8의 (a) 및 도 8의 (b)에 나타내는 경우와 대략 동등한 결과로 된다.
- [0083] 이와 같은 구조에 의해, 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d)이 채널 보호막(12p)에 대해 좌측으로 어긋나서 오버랩 영역(12a)의 면적이 기준 위치의 경우에 비해 감소하는 동시에, 오버랩 영역(12b)의 면적이 기준 위치의 경우에 비해 증대한다. 이 때문에, 제 1 구동 트랜지스터 Tr12의 채널 전류  $I_c$ 는 기준 위치의 경우보다 커진다. 그런데, 동시에 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)이

채널 보호막(13p)에 대해 좌측으로 어긋나서 오버랩 영역(13a)의 면적이 기준 위치의 경우에 비해 증대하는 동시에, 오버랩 영역(13b)의 면적이 기준 위치의 경우에 비해 감소한다. 이 때문에, 제 2 구동 트랜지스터 Tr13의 채널 전류 Ic는 기준 위치의 경우보다 작아진다.

[0084] 이와 같이, 제 1 구동 트랜지스터 Tr12의 소스 및 드레인 전극(12s, 12d) 및 제 2 구동 트랜지스터 Tr13의 소스 및 드레인 전극(13s, 13d)의 위치가 기준 위치에 비해 좌측으로 벗어나 있어도, 발광 소자(21)는 기준 위치의 경우의 발광 소자(21)의 휘도에 비해 동일 정도의 휘도로 발광하는 것이 가능하게 된다.

[0085] 또한, 도 10의 (a), 도 10의 (b)에 나타내는 바와 같이, X축 방향의 소스 및 드레인 전극의 위치 어긋남량이  $-1\mu\text{m}$ ,  $-0.5\mu\text{m}$ ,  $0\mu\text{m}$ ,  $0.5\mu\text{m}$ ,  $1\mu\text{m}$ 으로 변화하면, 참고예에서는 채널 전류 Ic가 각각,  $3.5\times 10^{-6}\mu\text{A}$ ,  $4.0\times 10^{-6}\mu\text{A}$ ,  $4.6\times 10^{-6}\mu\text{A}$ ,  $5.5\times 10^{-6}\mu\text{A}$ ,  $6.9\times 10^{-6}\mu\text{A}$ 로 되고, 이 범위의 채널 전류 Ic의 최대값이 최소값의 약 2배가 된다. 이에 대해, 본 실시형태에서는 상기 변화에 따라, 채널 전류 Ic는 각각,  $5.1\times 10^{-6}\mu\text{A}$ ,  $4.8\times 10^{-6}\mu\text{A}$ ,  $4.6\times 10^{-6}\mu\text{A}$ ,  $4.8\times 10^{-6}\mu\text{A}$ ,  $5.1\times 10^{-6}\mu\text{A}$ 로 되고, 이 범위의 채널 전류 Ic의 최대값이 최소값의 약 1.1배로 차가 작고,  $\pm 0.5\times 10^{-6}\mu\text{A}$ 의 범위에서 대략 일정값을 유지한다.

[0086] 이상 설명한 바와 같이, 본 실시형태의 화소 구동 회로 DS1, 및 화소 구동 회로 DS1을 사용한 표시 장치에 의하면, 제 1 구동 트랜지스터 Tr12는 화소 전극 (42)의 일변측에 접속되어 있고, 제 2 구동 트랜지스터 Tr13은 화소 전극(42)의 일변측에 대향하는 타변측에 접속되어 있다. 이 때문에, 포토리소그래피 장치나 노광 장치(스테퍼)에 있어서의 레이저 조사용 마스크의 정렬 어긋남 등에 의해, 게이트 전극(12g, 13g) 또는 채널 보호막(12p, 13p)에 대해, 소스 및 드레인 전극(12s, 12d, 13s, 13d)이 위치 어긋남을 발생시켜도, 제 1 구동 트랜지스터 Tr12를 흐르는 채널 전류 Ic의 감소분을 제 2 구동 트랜지스터 Tr13을 흐르는 채널 전류 Ic의 증대분으로 상쇄하거나, 또는 제 1 구동 트랜지스터 Tr12를 흐르는 채널 전류 Ic의 증대분을 제 2 구동 트랜지스터 Tr13을 흐르는 채널 전류 Ic의 감소분으로 상쇄하고, 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 채널 전류 Ic의 총합을 대략 일정하게 할 수 있다. 이것에 의해, 발광 소자(21)를 표시 소자로 한 복수의 발광 화소(30)를 갖는 표시 장치에 있어서, 균일한 휘도의 발광이 가능하게 된다.

[0087] (제 2 실시형태)

[0088] 본 제 2 실시형태의 표시 장치가 상술한 제 1 실시형태의 표시 장치와 다른 점은, 제 1 실시형태에서는 화소 구동 회로 DS1이 1개의 선택 트랜지스터 Tr11, 2개의 제 1 및 제 2 구동 트랜지스터 Tr12, Tr13의 합계 3개의 트랜지스터를 구비하고 있던 것에 대해, 제 2 실시형태에서는 화소 구동 회로 DS11이 2개의 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 2개의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 합계 4개의 트랜지스터를 구비하고 있는 점이나, 데이터 라인이 구동 트랜지스터의 게이트가 아니고, 구동 트랜지스터 소스 및 드레인의 어느 한쪽에 간접적으로 접속되어 있는 점 등에 있다. 이하, 제 1 실시형태와 공통되는 점에 대해서는 동일 또는 대응하는 부호를 붙이고, 특별히 설명할 경우를 제외하고 설명을 생략한다.

[0089] 도 11의 (a)에 나타내는 바와 같이, 각 발광 화소(30)는 유기 EL 소자 등의 발광 소자(41)와, 발광 소자(41)를 액티브 동작시키는 화소 구동 회로 DS11을 구비한다. 또, 화소 회로 기판은 기판(31)과, 화소 구동 회로 DS11과, 발광 소자(41)의 화소 전극(142)을 구비한다.

[0090] 화소 구동 회로 DS11은 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54, 및 커패시터 Cp3, Cp4를 구비한다. 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 및 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 모두 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층을 구비하는 역 스택거형의 n채널형 TFT(Thin Film Transistor)이다. 또, 커패시터 Cp3, Cp4는 데이터 라인 Ld로부터 공급되는 게조 신호 등의 표시용의 데이터를 전하로서 유지한다.

[0091] 본 실시형태의 화소 구동 회로 DS11은 도 11의 (a)에 나타내는 바와 같이, 2개의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54를 구비하고 있는 것에 특징을 갖는다. 이에 대해, 도 11의 (b)에 나타내는 참고예의 화소 구동 회로 DS10은 구동 트랜지스터 Tr53a를 1개만 갖고 있는 점에서 본 실시형태의 화소 구동 회로 DS11과 다르다. 비교용으로, 참고예의 구동 트랜지스터 Tr53a의 채널 길이와, 본 실시형태의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 각 채널 길이는 서로 동등하고, 참고예의 구동 트랜지스터 Tr53a의 채널 폭과, 본 실시형태의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 각 채널 폭의 합계가 동등하게 설정된 조건에 의거하여, 이하에서 설명한다.

[0092] 도 1 및 도 11의 (a)에 나타내는 바와 같이, 기판(31) 위에는 행방향으로 배열된 복수의 화소 구동 회로 DS11의

각각에 접속된 애노드 라인 La와, 열방향으로 배열된 복수의 화소 구동 회로 DS11의 각각에 접속된 복수의 데이터 라인 Ld와, 행방향으로 배열된 복수의 화소 구동 회로 DS11의 각각의 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52를 선택(스위칭)하기 위한 게이트 라인 Lg가 형성되어 있다.

[0093] 도 11의 (a)에 나타내는 본 실시형태의 화소 구동 회로 DS11에서는 제 1 선택 트랜지스터 Tr51은 게이트 전극(51g)이 게이트 라인 Lg에, 드레인 전극(51d)이 애노드 라인 La에, 소스 전극(51s)이 노드 N51에 각각 접속된다. 또, 제 2 선택 트랜지스터 Tr52는 게이트 전극(52g)이 게이트 라인 Lg에, 소스 전극(52s)이 데이터 라인 Ld에, 드레인 전극(52d)이 노드 N52에 각각 접속된다. 또한, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 게이트 전극(53g, 54g)이 노드 N51에, 드레인 전극(53d, 54d)이 애노드 라인 La에, 소스 전극(53s, 54s)이 노드 N52에 각각 접속된다. 커패시터 Cp3은 양단이 각각 제 1 구동 트랜지스터 Tr53의 게이트 전극(53g) 및 소스 전극(53s)(노드 N51, N52) 사이에 접속된다. 커패시터 Cp4는 양단이 각각 제 2 구동 트랜지스터 Tr54의 게이트 전극(54g) 및 소스 전극(54s)(노드 N51, N52)에 접속되고, 커패시터 Cp3, Cp4는 서로 동일 용량으로 설정되어 있다. 이 커패시터 Cp3, Cp4는 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트-소스 사이에 부가적으로 설치된 보조 용량, 또는 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트-소스 사이의 기생 용량과 보조 용량을 갖는 용량 성분이다. 노드 N52는 발광 소자(41)의 애노드에 접속되고, 발광 소자(41)의 캐소드는 대향 전극(146)에 접속되어 있다. 이와 같이, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 애노드 라인 La, 노드 N52(발광 소자(41)) 사이에서 병렬 접속되어 있고, 겹보기 상 1개의 트랜지스터로서 기능한다. 또한, 발광 소자(41)의 캐소드(대향 전극(146), 도 13 참조)에는 기준 전압 Vss가 인가된다.

[0094] 도 11의 (b)에 나타내는 참고예의 화소 구동 회로 DS10에서는 제 1 선택 트랜지스터 Tr51은 게이트 전극이 게이트 라인 Lg에, 드레인 전극이 애노드 라인 La에, 소스 전극이 노드 N51에 각각 접속된다. 또, 제 2 선택 트랜지스터 Tr52는 게이트 전극이 게이트 라인 Lg에, 소스 전극이 데이터 라인 Ld에, 드레인 전극이 노드 N52에 각각 접속된다. 또한, 구동 트랜지스터 Tr53a는 게이트 전극이 노드 N51에, 드레인 전극이 애노드 라인 La에, 소스 전극이 노드 N52에 각각 접속된다. 커패시터 Cp는 양단이 각각 구동 트랜지스터 Tr53a의 게이트 전극 및 소스 전극(노드 N51, N52)에 접속된다. 노드 N52는 발광 소자(41)의 애노드에 접속되고, 발광 소자(41)의 캐소드는 대향 전극(146)에 접속되어 있다.

[0095] 도 1, 도 11의 (a), 도 12를 참조하여, 기입 기간에, 애노드 라인 La의 전위를 제 1 공급 전압 Vdd1에 설정하고, 게이트 라인 Lg에 온(on) 레벨의 선택 신호를 출력하고, 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52를 온 상태로 하는 동시에, 데이터 라인 Ld에 계조 신호(전압 신호 또는 전류 신호)를 인가함으로써, 애노드 라인 La를 통해, 각 발광 화소(30)내에 있어서, 행방향으로 배열된 복수조의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54에 각각 기입 전류가 흐른다. 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54로부터의 기입 전류는 노드 N52에서 합류하고, 제 2 선택 트랜지스터 Tr52, 데이터 라인 Ld에 기입 전류가 흐른다. 즉, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54를 각각 흐르는 기입 전류의 합은 애노드 라인 La를 흐르는 기입 전류의 전류값과 일치하고, 또한 데이터 라인 Ld를 흐르는 기입 전류의 전류값과 일치한다. 이때, 제 1 구동 트랜지스터 Tr53의 게이트 전극(53g)과 소스 전극(53s)의 사이의 전압은 제 1 구동 트랜지스터 Tr53의 드레인 전극(53d)과 소스 전극(53s)의 사이에 흐르는 기입 전류의 전류값에 따라 설정되고, 그 전압은 커패시터 Cp3에 전하로서 유지된다. 동시에 제 2 구동 트랜지스터 Tr54의 게이트 전극(54g)과 소스 전극(54s)의 사이의 전압은 제 2 구동 트랜지스터 Tr54의 드레인 전극(54d)과 소스 전극(54s)의 사이에 흐르는 기입 전류의 전류값에 따라 설정되고, 그 전압은 커패시터 Cp4에 전하로서 유지된다. 또한, 기입 기간중에는 대향 전극(146)의 전위(기준 전압 Vss)는 제 1 공급 전압 Vdd1과 등(等)전위 이하이며 또한 데이터 라인 Ld의 계조 신호에 의한 전위와 등전위 이하로 된다. 이 때문에, 기입 전류는 발광 소자(41)의 발광층(45)에는 흐르지 않고, 발광하지 않는다.

[0096] 다음에, 표시 기간에, 애노드 라인 La의 전위를 제 1 공급 전압 Vdd1 및 기준 전압 Vss보다 충분히 높은 전위의 제 2 공급 전압 Vdd2에 설정하고, 게이트 라인 Lg에 오프(off) 레벨의 선택 신호를 출력하고, 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52를 오프 상태로 하고, 기입 전류가 데이터 라인 Ld에 흐르는 것을 정지한다. 이때, 커패시터 Cp3은 제 1 구동 트랜지스터 Tr53이 기입 기간에 흘리고 있던 기입 전류와 동등한 전류값의 구동 전류를 흘리도록, 게이트 전극(53g)과 소스 전극(53s)에 전압에 계속해서 인가한다. 동시에 커패시터 Cp4는 제 2 구동 트랜지스터 Tr54가 기입 기간에 흘리고 있던 기입 전류와 동등한 전류값의 구동 전류를 흘리도록, 게이트 전극(54g)과 소스 전극(54s)에 전압에 계속해서 인가한다. 이 때문에, 애노드 라인 La로부터, 노드 N51에서 분기(分岐)되고, 제 1 구동 트랜지스터 Tr53 및 제 2 구동 트랜지스터 Tr54가 각각 흘리는 구동 전류는 노드 N52에서 합류하고, 발광 소자(41)에 흘러 발광 소자(41)가 발광한다.

[0097] 도 12, 도 13의 (a) 및 도 13의 (b)를 참조하여, 각 발광 화소(30)에 있어서의 기관(31) 위에는 발광 소자(41)

를 선택하는 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52의 게이트 전극(51g, 52g)과, 발광 소자(41)에 구동 전류를 공급하는 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트 전극(53g, 54g)과, 열방향(상하 방향)을 따라 연장되는 데이터 라인 Ld와, 게이트 전극(51g, 53g)을 서로 접속하는 도전층(40)이 형성되어 있다. 기판(31) 위에는 데이터 라인 Ld 및 게이트 전극(51g~54g)을 덮도록 절연막(32)이 형성된다.

[0098] 도 12, 도 13의 (a) 및 도 13의 (b)를 참조하여, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 소스 전극(53s, 54s)은 각각 절연막(32) 위의 화소 전극(142)에 접속되고, 드레인 전극(53d, 54d)은 각각 기판(31) 위의 애노드 라인 La에 접속되어 있다. 상세하게는, 제 1 구동 트랜지스터 Tr53의 소스 전극(53s)은 직사각형 형상의 화소 전극(142)(유기 EL 표시 소자(41))의 일변(우변)측에 접속되고, 제 2 구동 트랜지스터 Tr54의 소스 전극(54s)은 화소 전극(142)의 해당 일변측에 대향하는 타변(좌변)측에 접속되어 있다. 이 화소 전극(142)의 일변 및 타변은 서로 평행하다. 또, 게이트 전극(12g, 13g)은 기판(31) 위의 도전층(40)을 통해 서로 접속되어 있다. 제 1 구동 트랜지스터 Tr53의 소스 전극(53s) 및 드레인 전극(53d)은 각각, 각 도면 중, 채널 보호막(53p)의 좌측 및 우측에 배치되고, 제 2 구동 트랜지스터 Tr54의 소스 전극(54s) 및 드레인 전극(54d)은 각각, 각 도면 중, 채널 보호막(54p)의 우측 및 좌측에 배치되어 있다. 제 1 구동 트랜지스터 Tr53의 소스 및 드레인 전극(53s, 53d)의 아래쪽에는 각각, n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층(163, 164)이 형성되어 있다. 제 2 구동 트랜지스터 Tr54의 소스 및 드레인 전극(54s, 54d)의 아래쪽에는 각각, n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층(157, 158)이 형성되어 있다. 제 1 선택 트랜지스터 Tr51의 소스 및 드레인 전극(51s, 51d)의 아래쪽에는 각각, n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층이 형성되어 있다. 제 2 선택 트랜지스터 Tr52의 소스 및 드레인 전극(52s, 52d)의 아래쪽에는 각각, n형 불순물을 포함하는 어모퍼스 실리콘을 갖는 오믹 콘택트층(153, 154)이 형성되어 있다. 그리고, 보호 절연막인 채널 보호막(53p)이 소스 및 드레인 전극(53s, 53d) 사이 및, 오믹 콘택트층(163, 164) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층(161) 위에 배치되어 있다. 채널 보호막(54p)이 소스 및 드레인 전극(54s, 54d) 사이 및, 오믹 콘택트층(157, 158) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층(152) 위에 배치되어 있다. 제 1 선택 트랜지스터 Tr51의 채널 보호막(51p)이 소스 및 드레인 전극(51s, 51d) 사이 및, 오믹 콘택트층(도시하지 않음) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층 위에 배치되어 있다. 제 2 선택 트랜지스터 Tr52의 채널 보호막(52p)이 소스 및 드레인 전극(52s, 52d) 사이 및, 오믹 콘택트층(153, 154) 사이에 끼워진 상태에서, 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층(151) 위에 배치되어 있다. 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 각 반도체층(151, 152, 161)은 절연막(32) 위에 형성되어 있다. 오믹 콘택트층(153, 154)은 소스 및 드레인 전극(52s, 52d)과, 반도체층(151)의 저저항성 접촉을 위해 배치된다. 오믹 콘택트층(163, 164)은 소스 및 드레인 전극(53s, 53d)과, 반도체층(161)의 저저항성 접촉을 위해 배치된다. 오믹 콘택트층(157, 158)은 소스 및 드레인 전극(54s, 54d)과, 반도체층(152)의 저저항성 접촉을 위해 배치된다.

[0099] 애노드 라인 La 및 게이트 라인 Lg는 각 트랜지스터 Tr51, Tr52, Tr53, Tr54의 소스 전극(51s, 52s, 53s, 54s) 및 드레인 전극(51d, 52d, 53d, 54d)을 형성하기 위한 소스-드레인 도전층을 이용하여 형성되어 있다. 데이터 라인 Ld 및 도전층(40)은 각 트랜지스터 Tr51, Tr52, Tr53, Tr54의 게이트 전극(51g, 52g, 53g, 54g)을 형성하기 위한 게이트 도전층을 이용하여 형성되어 있다. 데이터 라인 Ld와 소스 전극(52s)의 사이의 절연막(32)에는 데이터 라인 Ld와 소스 전극(52s)을 접속하기 위한 콘택트 홀인 콘택트부(73)가 형성되어 있다. 게이트 라인 Lg와 게이트 전극(52g)의 사이의 절연막(32)에는 각각, 게이트 라인 Lg와 게이트 전극(52g)을 접속하기 위한 콘택트 홀인 콘택트부(71)가 형성되어 있다. 소스 전극(51s)과 게이트 전극(54g)의 사이의 절연막(32)에는 소스 전극(51s)과 게이트 전극(54g)을 접속하기 위한 콘택트 홀인 콘택트부(72)가 형성되어 있다. 이들 콘택트부(71~73)에 의해서, 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트 전극(51g, 52g, 53g, 54g), 데이터 라인 Ld, 및 도전층(40)으로 되는, 게이트 도전층을 패터닝하여 이루어지는 하부 접속부와, 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 소스 및 드레인 전극(51s, 52s, 53s, 54s, 51d, 52d, 53d, 54d), 애노드 라인 La, 및 게이트 라인 Lg로 되는, 소스-드레인 도전층을 패터닝하여 이루어지는 상부 접속부가 적절히 기판의 두께 방향에 접속되어 있다.

[0100] 도 11의 (b)에 나타내는 참고예의 구동 트랜지스터 Tr53a의 채널 폭은  $W(\mu m)$ 이고, 도 11의 (a)에 나타내는 본 실시형태의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 채널 폭은 모두  $W/2(\mu m)$ 이다. 이와 같이, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 채널 폭의 합계는 참고예의 구동 트랜지스터 Tr53a의 채널 폭  $W$ 와 동등하다( $W=W/2+W/2$ ). 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 반도체층(161, 152)의 채널 길이  $L$ 은 서로 동등하고, 또 제 1 구동 트랜지스터 Tr53의 소스 전극(53s)과 드레인 전극(53d)의 사이의 거리  $G_p$ 와, 제 2 구동 트랜

지스터 Tr54의 소스 전극(54s)과 드레인 전극(54d)의 사이의 거리  $G_p$ 는 서로 동등하다. 또한 상술한 바와 같이, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 구동 트랜지스터 Tr53a와 마찬가지로, 애노드 라인 La 및 노드 N12의 사이에 접속되어 있다. 따라서, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 참고예의 구동 트랜지스터 Tr53a와 마찬가지로, 채널 폭  $W(\mu m)$ 의 TFT로서 기능한다.

[0101] 도 13의 (a) 및 도 13의 (b)에 나타내는 바와 같이, 발광 소자(41)는 애노드 전극으로서의 화소 전극(142), 정공 주입층(43), 인터 레이어(44), 발광층(45), 및 캐소드 전극으로서의 대향 전극(146)을 구비한다.

[0102] 이들 정공 주입층(43), 인터 레이어(44) 및 발광층(45)이 소정의 전계 하에서 전자나 정공을 캐리어로서 수송하는 캐리어 수송층으로 된다. 층간 절연막(58)은 트랜지스터 Tr51, Tr52, Tr53, Tr54나, 데이터 라인 Ld, 게이트 라인 Lg, 애노드 라인 La의 윗쪽을 덮는 동시에 화소 전극(142)의 둘레 가장자리부를 덮는 보호막이고, 발광 화소(30)의 발광 영역을 구분 짓는 대략 직사각형 형상의 개구부 (58a)가 형성되어 있다. 층간 절연막(58) 위에는 열방향(도 12의 상하 방향)으로 연장하는 스트라이프 형상의 격벽(59)이 형성되어 있다. 격벽(59)은 열방향을 따른 복수의 개구부(58a)에 대응한 스트라이프 형상의 개구부(59a)를 갖는다.

[0103] 대향 전극(146)은 기판(31) 위에 매트릭스 형상으로 배열된 모든 발광 화소 (30)(발광 소자(41))의 화소 전극(142)에 대향하며 또한 연속하여 형성된 전극층이다. 대향 전극(146)은 공통 전극으로서 기능하고, 소정의 저전압(접지 전위 GND 등의 기준 전압(기준 전위)  $V_{ss}$ )이 공통으로 인가된다.

[0104] 제 1 구동 트랜지스터 Tr53은 반도체층(161), 채널 보호막(53p), 드레인 전극(53d), 소스 전극(53s), 오믹 콘택트층(163, 164), 게이트 전극(53g) 및, 반도체층(161)과 게이트 전극(53g)의 사이의 절연막(32)을 구비한다. 또, 제 2 구동 트랜지스터 Tr54는 반도체층(152), 채널 보호막(54p), 드레인 전극(54d), 소스 전극 (54s), 오믹 콘택트층(157, 158), 게이트 전극(54g) 및 반도체층(152)과 게이트 전극(54g)의 사이의 절연막(32)을 구비한다. 또, 제 1 선택 트랜지스터 Tr51은 반도체층(도시하지 않음), 채널 보호막(51p), 드레인 전극(51d), 소스 전극(51s), 오믹 콘택트층(도시하지 않음), 게이트 전극(51g) 및 반도체층과 게이트 전극(51g)의 사이의 절연막(32)을 구비한다. 제 2 선택 트랜지스터 Tr52는 반도체층(도시하지 않음), 채널 보호막(52p), 드레인 전극(52d), 소스 전극(52s), 오믹 콘택트층(도시하지 않음), 게이트 전극(52g) 및 반도체층과 게이트 전극(52g)의 사이의 절연막(32)을 구비한다.

[0105] 또한 본 실시형태에서는, 제 1 구동 트랜지스터 Tr53에 있어서의 소스 전극 (53s) 및 드레인 전극(53d)과 채널 보호막(53p)의 각 오버랩 영역(53a, 53b)의 면적은 서로 동등하게 되도록 설정되어 있다. 또, 구동 트랜지스터 Tr54에 있어서의 소스 전극(54s) 및 드레인 전극(54d)과 채널 보호막(54p)의 각 오버랩 영역(54a, 54b)의 면적의 합계는 서로 동등하게 되도록 설정되어 있다.

[0106] 다음에, 도 11의 (a) 및 도 14를 참조하면서, 본 실시형태의 화소 구동 회로 DS11의 기입 동작과 발광 동작을 설명한다. 도 14에 나타내는 바와 같이, 게이트 라인 Lg는 발광 패널의 둘레 가장자리부에 배치된 게이트 드라이버(12)에 접속되어 있다. 또, 데이터 라인 Ld는 발광 패널의 둘레 가장자리부에 배치된 데이터 드라이버(13)에 접속되어 있다. 또한, 애노드 라인 La(전류 공급 배선)는 소정의 고전위 전원으로서의 애노드 드라이버(14)에 접속되어 있다.

[0107] (기입 동작)

[0108] 도 14에 나타내는 바와 같이, 게이트 드라이버(12)는 외부로부터 공급되는 타이밍 신호에 의거하여 제어 회로(10)로부터 출력되는 제어 신호 군에 따라 1행째의 게이트 라인 Lg로부터 n행째의 게이트 라인 Lg에 순차 하 이 레벨(high level)(온 레벨 ON)의 선택 신호를 각 행의 기입 기간(주사 기간)에 출력한다. 온 레벨의 선택 신호가 출력되어 있는 게이트 라인 Lg 이외의 게이트 라인 Lg는 로 레벨(low level)(오프 레벨)의 선택 신호가 출력되어 있다. 또, 제어 회로(10)로부터 출력되는 제어 신호 군에 따라 애노드 드라이버(14)가, 온 레벨 ON의 선택 신호가 출력되어 있는 게이트 라인 Lg에 대응하는 행방향으로 배열된 복수의 발광 화소 (30)에 접속된 애노드 라인 La를 제 1 공급 전압  $V_{dd1}$ 의 전위에 설정한다. 데이터 드라이버(13)는 외부로부터 공급되는 계조 신호에 의거하여, 제어 회로(10)로부터 출력되는 제어 신호 군에 따라 전체 열의 데이터 라인 Ld에, 계조 신호에 따른, 전압값이 기준 전압  $V_{ss}$  이하의 계조 전압 또는 애노드 라인 La로부터 데이터 드라이버(13)측에 끌어들이는 방향으로 흐르는 계조 전류를 인가한다. 애노드 라인 La에 설정되는 제 1 공급 전압  $V_{dd1}$ 의 전위는 기준 전압  $V_{ss}$ 와 동일 전위 또는 그것보다 낮다.

[0109] 이와 같이, 각 행의 게이트 라인 Lg에 온 레벨 ON의 펄스가 출력되어 있는 기간, 도 11의 (a)를 참조하여, 제 1 및 제 2 선택 트랜지스터 Tr51, Tr52는 온 상태가 된다. 이것에 의해, 제 1 구동 트랜지스터 Tr53의 게이트 전

극(53g)과 드레인 전극(53d) 사이가 접속되고, 제 2 구동 트랜지스터 Tr54의 게이트 전극(54g)과 드레인 전극(54d) 사이가 각각 접속되고, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 다이오드 접속 상태로 된다. 그리고, 데이터 드라이버(13)로부터 각 열의 데이터 라인 Ld에 인가되는 게조 전압 신호 또는 게조 전류 신호에 따라, 데이터 라인 Ld 및 제 2 선택 트랜지스터 Tr52를 통해 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 드레인·소스 사이에 각각 기입 전류가 흐른다. 이 때문에, 제 1 구동 트랜지스터 Tr53의 게이트 전극(53g)과 소스 전극(53s) 사이에, 제 1 구동 트랜지스터 Tr53의 드레인 전극(53d) 및 소스 전극(53s) 사이에 흐르는 전류의 전류값에 따른 전압이 자동적으로 인가된다. 제 2 구동 트랜지스터 Tr54의 게이트 전극(54g) 및 소스 전극(54s) 사이에, 제 2 구동 트랜지스터 Tr54의 드레인 전극(54d) 및 소스 전극(54s) 사이에 흐르는 전류의 전류값에 따른 전압이 자동적으로 인가된다.

[0110] 도 11의 (a)를 참조하여, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트 전극(53g, 54g)의 전위는 드레인 전극(54d, 54g)의 전위와 동등하고, 각 데이터 라인 Ld에는 각각 데이터 드라이버(13)로부터 게조 전압 또는 게조 전류의 게조 신호가 인가된다. 이 때문에, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트·소스 사이에 전위차가 생기고, 게조 신호에 따른 전류값의 전류 I가 흐른다. 또한, 주사 기간에서는 애노드 라인 La의 전위가 기준 전압  $V_{ss}$  이하이다. 이 때문에, 발광 소자(41)의 애노드의 전위는 캐소드의 전위와 동일 전위 또는 그것보다 낮은 전위로 되고, 발광 소자(41)에는 제로 전압 또는 역 바이어스 전압이 인가되어 있게 된다. 그 때문에, 발광 소자(41)에는 애노드 라인 La로부터의 전류가 흐르지 않는다.

[0111] 이때 발광 화소(30)의 커패시터 Cp3의 양단은 데이터 드라이버(13)에 의해 인가되는, 화상 데이터의 휘도 게조 값에 따른 게조 전압 또는 게조 전류에 의거하여, 제 1 구동 트랜지스터 Tr53의 드레인 전극(53d)으로부터 소스 전극(53s)으로 흐르는 채널 전류 Ic의 전류값에 따른 전압이 되고, 커패시터 Cp4의 양단은 제 2 구동 트랜지스터 Tr54의 드레인 전극(54d)으로부터 소스 전극(54d)에 흐르는 채널 전류 Ic의 전류값에 따른 전압이 된다. 즉, 발광 화소(30)의 커패시터 Cp3, Cp4에는 각각, 발광 소자(41)의 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 드레인·소스 사이에 화상 데이터에 따른 채널 전류 Ic를 흘리는 것에 필요한 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트-소스 사이의 전위차를 발생시키는 전하가 충전된다.

[0112] (발광 동작)

[0113] 기입 기간 후의 표시 기간에, 게이트 드라이버(12)로부터 소정의 행의 게이트 라인 Lg에 출력되는 선택 신호가 온 레벨 ON으로부터 오프 레벨 OFF로 전환되고, 그리고 해당 소정의 행의 애노드 드라이버(14)에 의해 애노드 라인 La의 전위가 제 1 공급 전압  $V_{dd1}$ 로부터 제 2 공급 전압  $V_{dd2}$ 로 전환된다. 이 때문에, 해당 소정의 게이트 라인 Lg에 접속된 발광 화소(30)에서는 제 1 선택 트랜지스터 Tr51의 게이트 및 제 2 선택 트랜지스터 Tr52의 게이트가 오프 상태가 되고, 해당 소정의 행의 애노드 라인 La를 통해, 제 1 구동 트랜지스터 Tr53의 드레인 전극(53d) 및 제 2 구동 트랜지스터 Tr54의 드레인 전극(54d)에 제 2 공급 전압  $V_{dd2}$ 가 공급된다.

[0114] 이 때문에 도 11의 (a)를 참조하여, 비(非)선택 상태의 행의 제 2 선택 트랜지스터 Tr52가 오프 상태가 되고, 제 2 선택 트랜지스터 Tr52에 전류가 흐르지 않는다. 또한, 제 1 선택 트랜지스터 Tr51이 오프 상태가 되고, 커패시터 Cp3, Cp4는 그들 각 일단 및 타단에 의해 충전된 전하를 계속해서 유지하고, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 온 상태를 계속해서 유지한다. 즉, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 게이트-소스 사이 전압값  $V_{gs}$ 가 유지된다. 그 때문에 표시 기간에서도, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54는 화상 데이터에 따른 전류값의 전류를 계속해서 흘린다. 이 때문에, 표시 기간에 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54가 각각 흘리는 채널 전류 Ic의 전류값은, 기입 기간에 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54가 각각 흘리는 채널 전류 Ic의 값에 실질적으로 동등하게 된다. 표시 기간의 동안, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54를 흐르는 채널 전류 Ic는 노드 N52에서 합류하여 발광 소자(41)에 흐르고, 발광 소자(41)가 이들 채널 전류 Ic의 전류값의 합에 따른 휘도로 발광한다. 이와 같이 하여, 발광 소자(41)는 화상 데이터에 따른 휘도 게조로 발광한다.

[0115] 다음에, 본 실시형태에 관한 표시 장치의 제조 방법에 대해, 도 15 및 도 16을 참조하면서 설명한다. 여기서는, 제 1 선택 트랜지스터 Tr51 및 제 2 구동 트랜지스터 Tr54는 제 2 선택 트랜지스터 Tr52 및 제 1 구동 트랜지스터 Tr53과 동일 공정에 의해서 형성된다. 따라서, 이하 제 2 선택 트랜지스터 Tr52 및 제 1 구동 트랜지스터 Tr53의 형성 방법의 설명을 가지고, 제 1 선택 트랜지스터 Tr51 및 제 2 구동 트랜지스터 Tr54의 형성 방법의 설명을 일부 생략한다.

[0116] 우선, 도 15의 (a)에 나타내는 바와 같이, 발광 화소 기관인 기관(31) 위에 스퍼터링법, 진공 증착법 등에 의해 예를 들면, Mo막, Cr막, Al막, Cr/Al 적층막, AlTi 합금막 또는 AlNdTi 합금막, MoNb 합금막 등의 적어도 어느

하나를 포함하는 게이트 도전막을 성막한다. 그리고, 이것을 포토리소그래피에 의해서 트랜지스터 Tr52, Tr53의 게이트 전극(52g, 53g), 및 데이터 라인 Ld의 형상으로 패터닝한다. 이때, 도 15의 (a)에서는 도시를 생략했지만, 트랜지스터 Tr51, Tr54의 게이트 전극(51g, 54g) 및 도전층(40)도 형성된다.

[0117] 다음에, 도 15의 (b)에 나타내는 바와 같이, CVD(Chemical Vapor Deposition)법 등에 의해, 게이트 전극(52g, 53g) 및 데이터 라인 Ld 위에 실리콘 산화막, 실리콘 질화막 등의 절연성 재료를 갖는 절연막(32)을 형성한다.

[0118] 다음에, 절연막(32) 위에, CVD법 등에 의해 반도체층으로 되는 어모퍼스 실리콘층, 채널 보호막으로 되는 실리콘 산화막, 실리콘 질화막 등의 절연층을 연속하여 퇴적한다. 그리고, 이 절연층을 포토리소그래피에 의한 레지스트 마스크를 이용해서 패터닝하여 채널 보호막(52p, 53p)을 형성한다. 다음에, n형 불순물을 포함하는 어모퍼스 실리콘층을 퇴적한 후, 포토리소그래피에 의한 레지스트 마스크를 이용하여 트랜지스터 Tr52, Tr53의 오믹 콘택트층(153, 154, 163, 164)의 바깥 둘레를 패터닝한다. 계속해서, 하층의 어모퍼스 실리콘층을 에칭해서 트랜지스터 Tr52, Tr53의 반도체층(152, 161)을 패터닝하여 형성한다. 이때, 트랜지스터 Tr52, Tr53의 반도체층(152, 161)의 채널 길이 L은 트랜지스터 Tr52, Tr53의 각 채널 보호막(52p, 53p)의 행방향(X축 방향)의 길이에 의해서 정의되고, 위치 어긋남에 관계없이 항상 일정하다.

[0119] 다음에, 스퍼터링법, 진공 증착법 등에 의해 절연막(32) 위에, ITO 등의 투명 도전막을 형성하고, 포토리소그래피에 의한 레지스트 마스크를 이용해서 패터닝하여 화소 전극(142)을 형성한다.

[0120] 그리고, 절연막(32)에 콘택트 홀인 콘택트부(71~73)를 형성한다. 그 후 예를 들면, Mo막, Cr막, Al막, Cr/Al 적층막, AlTi 합금막 또는 AlNdTi 합금막, MoNb 합금막 등의 적어도 어느 하나를 포함하는 소스-드레인 도전막을 스퍼터링법, 진공 증착법 등을 이용하여 퇴적하고, 콘택트부(71~73)에 매설한다. 이 다음, 포토리소그래피에 의한 레지스트 마스크를 이용하여 소스-드레인 도전막을 패터닝하고, 제 2 선택 트랜지스터 Tr52, 제 1 구동 트랜지스터 Tr53의 각 소스 및 드레인 전극(52s, 52d, 53s, 53d), 애노드 라인 La, 게이트 라인 Lg를 형성하는 동시에, 각 트랜지스터 Tr52, Tr53의 소스 및 드레인 전극의 아래쪽이며 또한 각 트랜지스터 Tr52, Tr53의 소스 및 드레인 전극 사이의 오믹 콘택트층을 에칭하고, 트랜지스터 Tr52, Tr53의 오믹 콘택트층(153, 154, 163, 164) 등을 형성한다.

[0121] 이와 같이, 게이트 도전막, 채널 보호막, 소스-드레인 도전막은 각각 분리 독립한 포토리소그래피에 의한 레지스트 마스크를 이용하여 패터닝된다. 이 때문에, 소스 및 드레인 전극에 상대적인 위치 어긋남을 야기할 가능성이 있다. 그리고, 제 1 선택 트랜지스터 Tr51, 제 2 선택 트랜지스터 Tr52, 제 1 구동 트랜지스터 Tr53 및 제 2 구동 트랜지스터 Tr54의 각 소스 및 드레인 전극은 동일한 포토리소그래피 공정에 의해서 형성되므로, 위치 어긋남의 정도가 동일하다. 이 때문에, 제 1 구동 트랜지스터 Tr53의 소스 전극(53s)과 드레인 전극(53d)의 사이의 거리 Gp와, 제 2 구동 트랜지스터 Tr54의 소스 전극(54s)과 드레인 전극(54d)의 사이의 거리 Gp는 위치 어긋남이 있어도 항상 일정하다. 그리고, 제 1 구동 트랜지스터 Tr53 및 제 2 구동 트랜지스터 Tr54의 각 소스 및 드레인 전극(53s, 53d, 54s, 54d)은 각각, 대응하는 게이트 전극(53g, 54g)과의 상대적 위치 어긋남의 정도가 서로 동등하고, 또 대응하는 채널 보호막(53p, 54p)과의 상대적 위치 어긋남의 정도가 서로 동등하다. 그리고, 제 1 구동 트랜지스터 Tr53의 소스 전극(53s) 및 제 2 구동 트랜지스터 Tr54의 소스 전극(54s)은 열방향을 따르며 또한 행방향에 직교하는 화소 전극(42)의 2변 중, 각각 우측의 변, 좌측의 변에 겹쳐져서 접속되도록 형성된다(도 12 참조).

[0122] 계속해서, 도 16의 (a)에 나타내는 바와 같이 CVD법 등을 이용하여, 트랜지스터 Tr52, Tr53이나 데이터 라인 Ld 등의 윗쪽을 덮도록 실리콘 질화막을 갖는 층간 절연막(58)을 형성한다. 그 후, 층간 절연막(58)에 포토리소그래피에 의한 레지스트 마스크를 이용하여 개구부(58a)를 형성한다. 다음에, 층간 절연막(58)을 덮도록 감광성 폴리이미드를 도포하고, 마스크 판을 이용하여 노광, 현상하는 것에 의해서 패터닝하고, 개구부(59a)를 갖는 격벽(59)을 형성한다.

[0123] 그 후, 도 16의 (b)에 나타내는 바와 같이, 연속한 액류를 흘리는 노즐 프린팅 장치 또는 개개로 독립한 복수의 액적으로서 토출하는 잉크젯 장치를 이용하여, 구멍 주입 재료를 포함하는 유기 화합물 함유액을 개구부(58a)로 둘러싸인 화소 전극(142) 위에 선택적으로 도포한다. 계속해서, 기판(31)을 대기 분위기 하에서 가열하고, 유기 고분자계의 홀 주입·수송 재료를 포함하는 유기 화합물 함유액의 용매를 휘발시켜, 정공 주입층(43)을 형성한다.

[0124] 다음에, 노즐 프린팅 장치 또는 잉크젯 장치를 이용하여, 인터 레이어(44)로 되는 재료를 함유하는 유기 화합물 함유액을 정공 주입층(43) 위에 도포한다. 질소 분위기중의 가열 건조, 또는 진공중에서의 가열 건조를 실행하

고, 잔류 용매의 제거를 실행하여 인터 레이어(44)를 형성한다.

- [0125] 계속해서, 폴리파라페닐렌비닐렌계나 폴리플루오렌계 등의 공역 이중 결합 폴리머 등의 발광 폴리머 재료(R, G, B)가 테트라린, 테트라메틸벤젠, 메시틸렌, 크실렌 등의 유기 용매로 용해된 유기 화합물 함유액을, 노즐 프린팅 장치 또는 잉크젯 장치를 이용하여 도포하고, 질소 분위기중에서 가열해서 잔류한 유기 용매의 제거를 실행하여, 발광층(45)을 형성한다.
- [0126] 그 후 도 16의 (b)에 나타내는 바와 같이, 발광층(45)이 형성된 기판(31) 위에 진공 증착이나 스퍼터링을 이용하여, Li, Mg, Ca, Ba 등의 일 함수가 낮은 재료를 갖는 층과, Al 등의 광반사성 도전층을 갖는 층으로 구성되는 2층 구조의 대향 전극(146)을 형성한다.
- [0127] 본 실시형태에 관한 표시 장치의 작용 효과는, 도 7~도 10을 참조하여 설명한 제 1 실시형태에 관한 표시 장치의 작용 효과와 동일하다. 즉, 본 실시형태의 화소 구동 회로 DS11, 및 화소 구동 회로 DS11을 사용한 표시 장치에 의하면, 제 1 구동 트랜지스터 Tr53의 소스 전극(53s)은 화소 전극(142)의 일변측에 접속되어 있고, 제 2 구동 트랜지스터 Tr54의 소스 전극(54s)은 화소 전극(142)의 일변측에 대향하는 타변측에 접속되어 있다. 즉, 제 1 구동 트랜지스터 Tr53의 소스 및 드레인 전극(53s, 53d)의 조와, 제 2 구동 트랜지스터 Tr54의 소스 및 드레인 전극(54s, 54d)의 조는 화소 전극(142)에 대해 미러상 대칭의 관계가 된다.
- [0128] 이 때문에, 포토리소그래피 장치에 있어서의 레이저 조사용 마스크의 정렬 어긋남 등에 의해, 게이트 전극(53g, 54g) 또는 채널 보호막(53p, 54p)에 대해, 소스 및 드레인 전극(53s, 53d, 54s, 54d)이 위치 어긋남을 발생시키고, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 한쪽이 채널 전류 Ic를 증대 또는 감소시켜도, 다른 쪽이 채널 전류 Ic를 감소 또는 증대시키고, 채널 전류 Ic의 변화가 완화된다는 점이다. 이 때문에, 제 1 및 제 2 구동 트랜지스터 Tr53, Tr54의 채널 전류 Ic의 총합은 대략 일정하고, 기준 위치의 경우의 발광 소자(41)의 휘도에 비해 동일 정도의 휘도로 발광시킬 수 있다.
- [0129] 또, 화소 전극(142)의 한쪽의 변(좌변)에는 제 1 선택 트랜지스터 Tr51 또는 제 2 선택 트랜지스터 Tr52가 배치되어 있다. 이 때문에, 화소 전극(142)의 해당 한쪽의 변측에 배치되는 제 2 구동 트랜지스터 Tr54는 해당 한쪽의 변의 중앙에 배치하기 어려운 구조가 되어 있고, 해당 한쪽의 변의 후방의 부분(왼쪽 하측)에 있어서, 화소 전극(142)과 접속하고 있다. 이 때문에, 해당 한쪽의 변의 후방의 부분에 비해 해당 한쪽의 변 앞의 부분(왼쪽 상측)에 제 2 구동 트랜지스터 Tr54로부터의 구동 전류가 흐르기 어렵고, 화소 전극(142) 위의 발광층(45)에 편향이 생길 우려가 있다. 그렇지만, 제 1 구동 트랜지스터 Tr53이 해당 한쪽의 변에 대향하는 타변측, 제 2 구동 트랜지스터 Tr54측(후방측)보다 제 1 선택 트랜지스터 Tr51 또는 제 2 선택 트랜지스터 Tr52측(전방측), 즉 타변의 앞의 부분(오른쪽 상측)에 배치되어 있는 것에 의해서, 제 1 구동 트랜지스터 Tr53 및 제 2 구동 트랜지스터 Tr54에서 화소 전극(42) 전역에 균등하게 전류를 흘려 화소 전극(42) 위의 발광층(45) 전역에서 발광시킬 수 있다.
- [0130] 상기 각 실시형태에 관한 표시 장치는, 예를 들면 도 17의 (a), 도 17의 (b)에 나타내는 바와 같은 디지털 카메라, 도 18에 나타내는 바와 같은 PC, 도 19에 나타내는 바와 같은 휴대전화, 도 20에 나타내는 바와 같은 텔레비전 장치(TV) 등의 전자 기기에 편입시킬 수 있다.
- [0131] 도 17의 (a), 도 17의 (b)에 나타내는 바와 같이, 디지털 카메라(200)는 렌즈부(201)와 조작부(202)와 표시부(203)와 파인더(204)를 구비한다. 이 표시부(203)에 상기 실시형태의 표시 장치가 이용된다.
- [0132] 도 18에 나타내는 PC(210)는 표시부(211)와 조작부(212)를 구비하고, 이 표시부(211)에 상기 실시형태의 표시 장치가 이용된다.
- [0133] 도 19에 나타내는 휴대전화(220)는 표시부(221)와, 조작부(222)와 수화부(223)와 송화부(224)를 구비하고, 이 표시부(221)에 상기 실시형태의 표시 장치가 이용된다.
- [0134] 도 20에 나타내는 텔레비전 장치(230)는 표시부(231)를 구비하고, 이 표시부(231)에 상기 실시형태의 표시 장치가 이용된다.
- [0135] 또한, 본 발명은 상술한 실시형태에 한정되는 것이 아니고, 본 발명의 기술적 사상을 일탈하지 않는 범위내에서 여러 가지의 변형이 가능한 것은 물론이다.
- [0136] 예를 들면, 상술한 각 실시형태에서는 표시 소자로 유기 EL 소자를 이용한 표시 장치에 대해 설명했다. 그러나 이것에 한정되지 않고, 표시 장치에 있어서의 표시 소자는 그 외의 것, 예를 들면 LED(발광 다이오드), FED(필

드 에미션 디스플레이)나 PDP(플라즈마 디스플레이 패널) 등이라도 좋다.

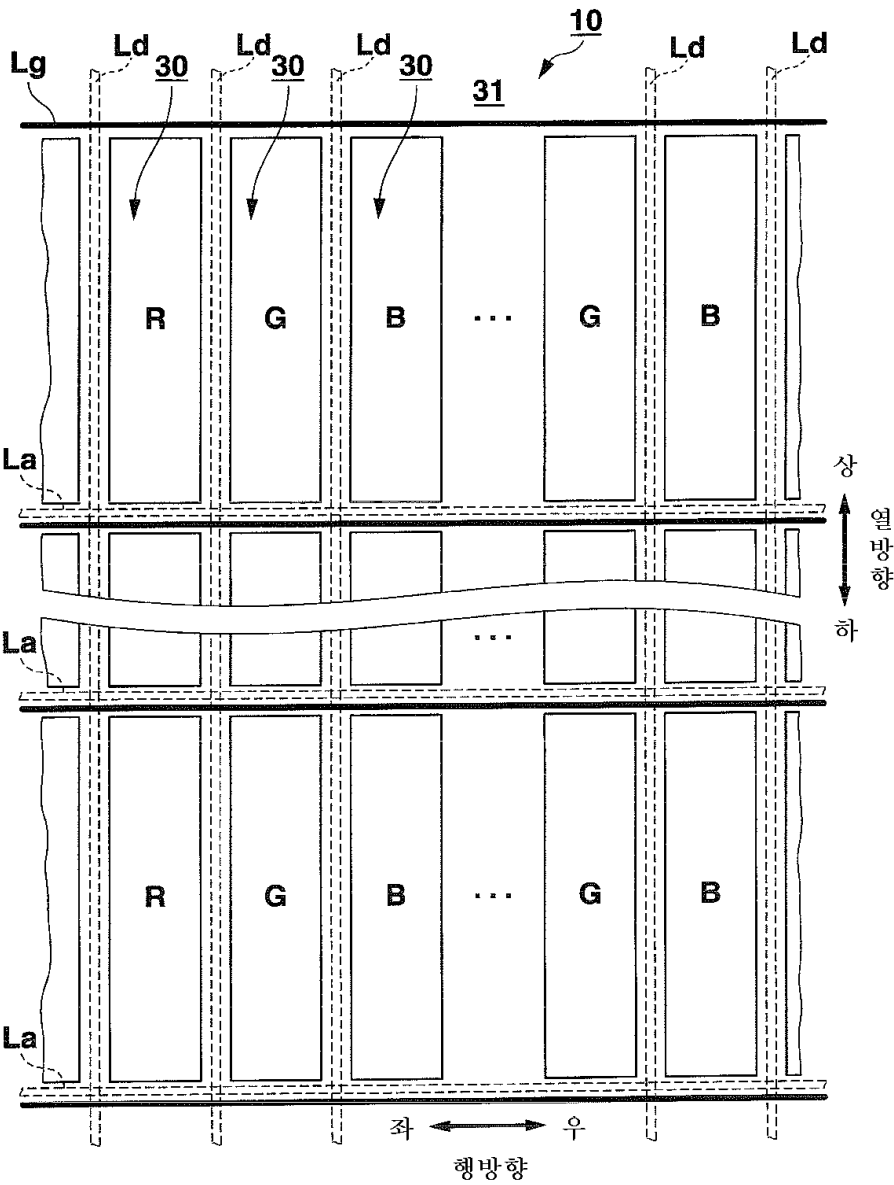
- [0137] 또, 상술한 각 실시형태에서는 유기 EL 소자가 정공 주입층, 인터 레이어, 발광층의 3층을 갖는 구성을 예로 들어 설명했다. 그러나 이것에 한정되지 않고, 예를 들면 정공 주입층 및 발광층만과 같이 2층 구조라도 좋고, 발광층이 정공 주입층을 겸한 단층 구조라도 좋고, 또한 4층 이상의 층구조라도 좋다.
- [0138] 또, 상술한 각 실시형태에서는 트랜지스터는 역 스택거형의 경우를 예로 들어 설명했지만, 이것에 한정하지 않고 코플래너형(coplanar type)이라도 좋다. 그리고, 상술한 각 실시형태에서는 어모퍼스 실리콘 또는 미결정 실리콘을 포함하는 반도체층을 예로 들어 설명했다. 그러나 이것에 한정되지 않고, 폴리 실리콘을 갖는 반도체층을 구비한 트랜지스터라도 좋다. 또, n채널형에 한정되지 않고, p채널형이라도 좋다. 이 경우, 각 실시형태의 소스 전극이 드레인 전류로 되고, 드레인 전극이 소스 전극으로 되고, 또 트랜지스터의 게이트 전극에 출력되는 신호의 하이 레벨, 로 레벨이 역전된다.
- [0139] 또, 상술한 각 실시형태에서는 MOS 트랜지스터를 이용하였다. 그러나 이것에 한정되지 않고, 다이오드, MIM(metal-insulator-metal) 소자 등과 같이 복수의 패터닝에 의해서 형성되는 것이라도 좋다.
- [0140] 상술한 각 실시형태에서는 1개의 화소 구동 회로내의 2개의 구동 트랜지스터의 채널 폭이 서로 동등하게 하였다. 그러나 이것에 한정되지 않고, 반드시 동등하지 않아도 본 발명의 기술적 사상에 따르면, 전류 어긋남을 개선할 수 있다.
- [0141] 상술한 각 실시형태에서는 1개의 화소 구동 회로내의 화소 전극의 좌측 및 우측에 각각 1개씩 구동 트랜지스터를 배치하고 있다. 그러나 이것에 한정되지 않고, 그것에 대신해서 화소 전극 앞측(상변측) 및 후측(하변측)에 각각 1개씩 구동 트랜지스터를 배치해도 좋다.
- [0142] 또, 상술한 각 실시형태에서는 1개의 유기 EL 소자를 발광시키는 구동 트랜지스터는 2개였다. 그러나 이것에 한정되지 않고, 상보적인 구조라면, 예를 들면 도 3에 나타내는 제 2 구동 트랜지스터 Tr13 대신에 채널 폭이 W/4의 구동 트랜지스터를 2개 병렬로 접속한다고 하는 바와 같이 3개 이상이라도 좋다.
- [0143] 또, 화소 구동 회로는 3개 및 4개의 트랜지스터를 구비하는 예를 들어 설명했다. 그러나 이것에 한정되지 않고, 5개 이상의 트랜지스터를 구비하는 것이라도 좋다.
- [0144] 또, 상술한 각 실시형태에서는 적(R), 녹(G), 청(B)의 3색을 발하는 3개의 발광 화소를 1조로서, 횡방향으로 동일 색의 화소가 배치되는, 소위 스트라이프 배열의 화소 구조였다. 그러나 이것에 한정되지 않고, 적(R), 녹(G), 청(B)의 3색을 발하는 3개의 발광 화소의 각 중심이 각각 삼각형의 정점으로 되는, 소위 델타 배열의 화소 구조라도 좋다.
- [0145] 또, 상술한 각 실시형태에서는 주로 채널 보호막에 대한 트랜지스터 소스 및 드레인 전극의 위치 어긋남에 관해 설명했다. 그러나 이것에 한정되지 않고, 채널 보호막을 갖고 있지 않은 트랜지스터 구조라도, 반도체층과, 소스 및 드레인 전극의 위치 어긋남(패터닝 어긋남)이 생길 우려가 있는 구조, 예를 들면 반도체층과, 소스 및 드레인 전극이 각각 분리 독립한 포토리소그래피에 의한 패터닝으로 형성되는 구조라면, 본 발명의 기술적 사상은 적용할 수 있다.

## 부호의 설명

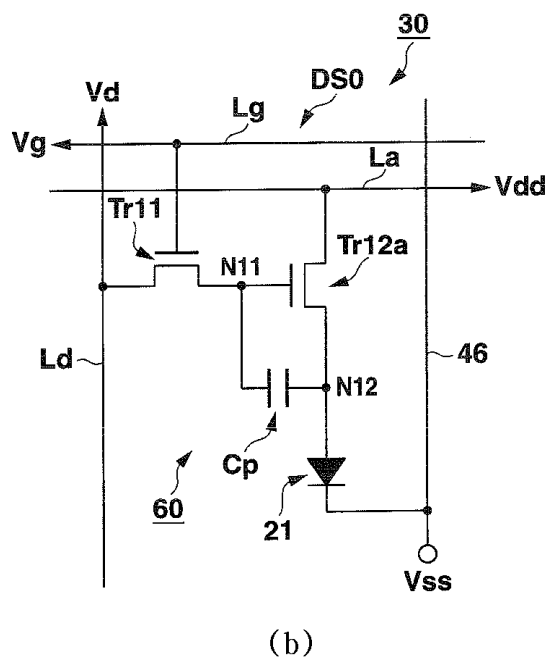
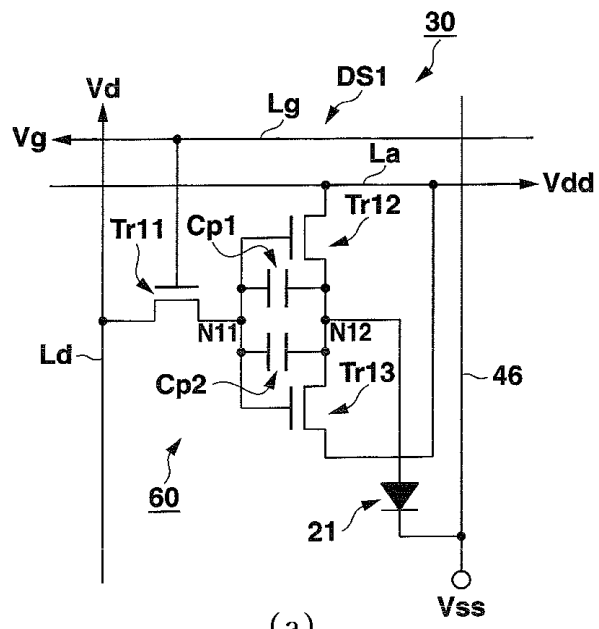
- [0146] 21, 41; 발광 소자(유기 EL 소자, 유기 EL 표시 소자)
- 30; 발광 화소
- 31; 기판
- 42, 142; 화소 전극
- DS1, DS11; 화소 구동 회로
- Tr11; 선택 트랜지스터
- Tr12; 제 1 구동 트랜지스터
- Tr13; 제 2 구동 트랜지스터
- Tr51; 제 1 선택 트랜지스터
- Tr52; 제 2 선택 트랜지스터
- Tr53; 제 1 구동 트랜지스터
- Tr54; 제 2 구동 트랜지스터

도면

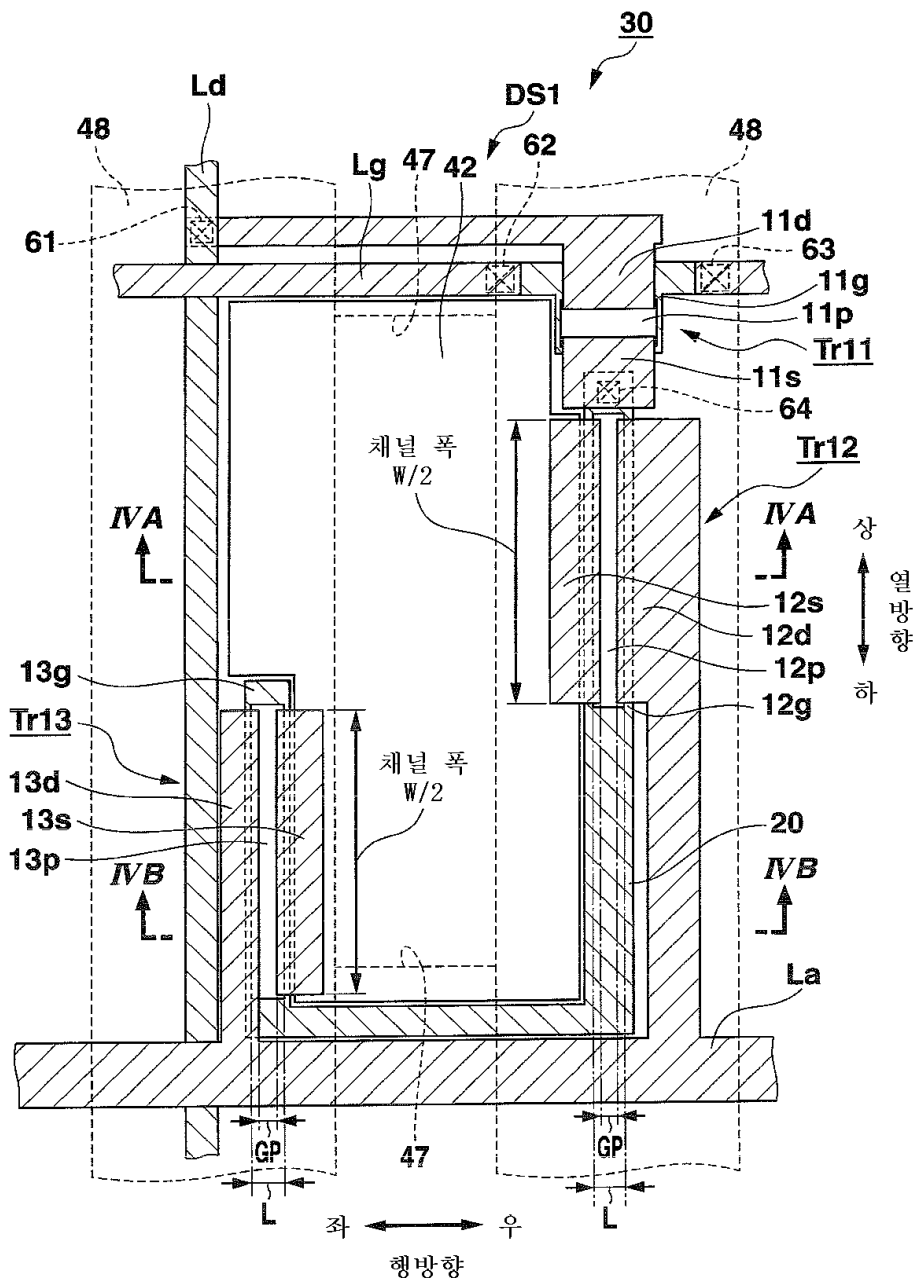
도면1



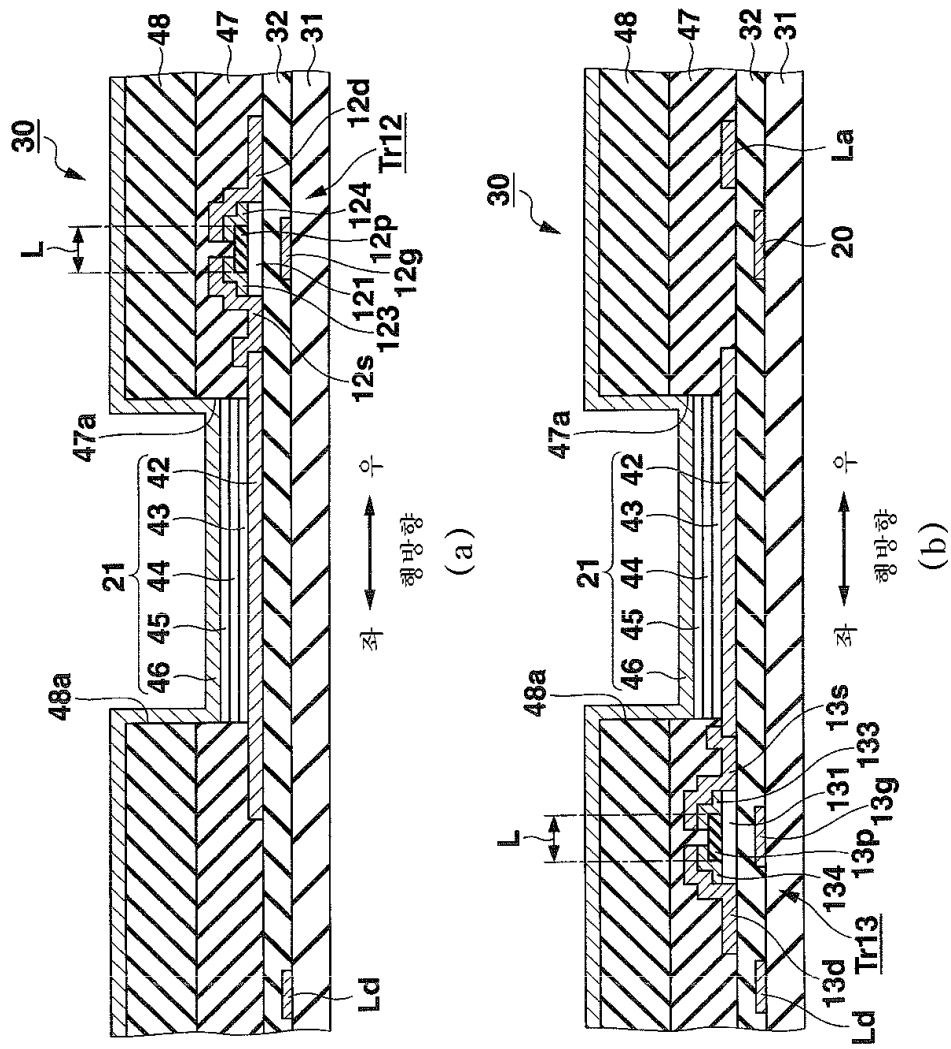
도면2



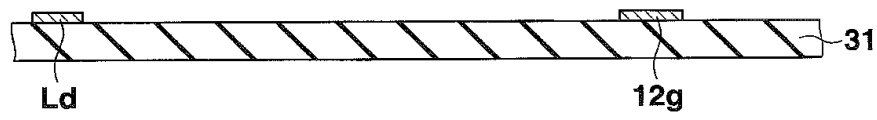
도면3



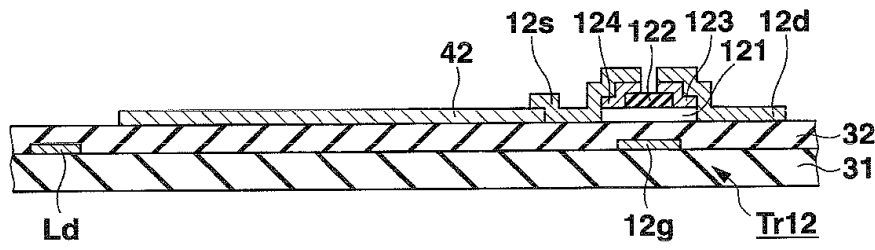
도면4



도면5

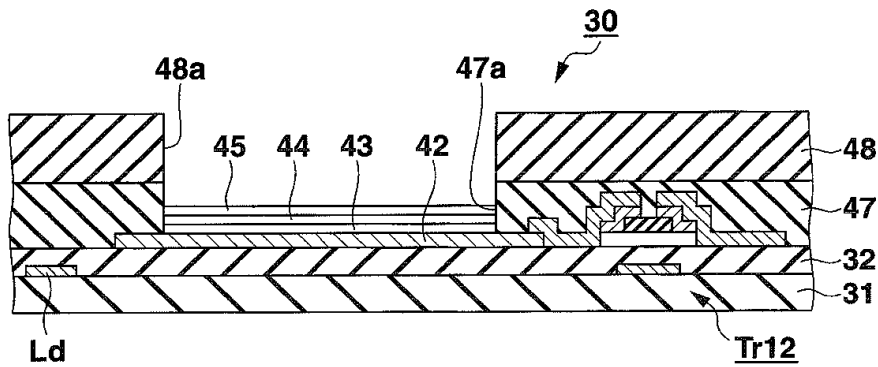


(a)

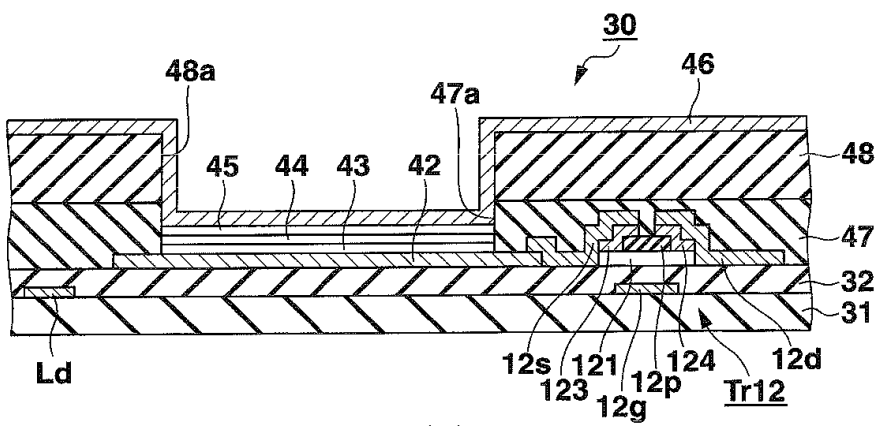


(b)

도면6

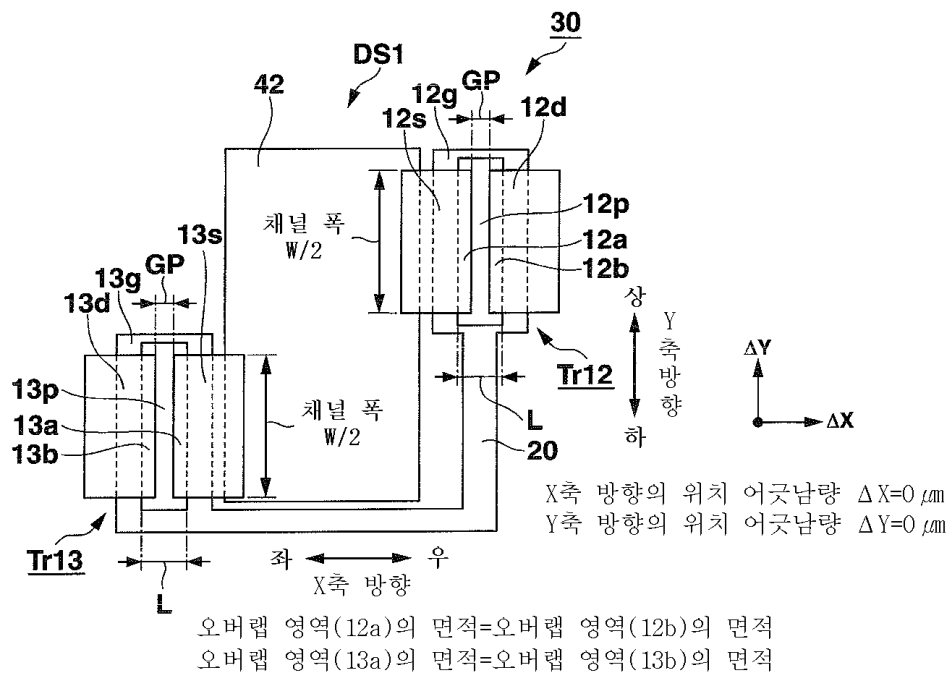


(a)

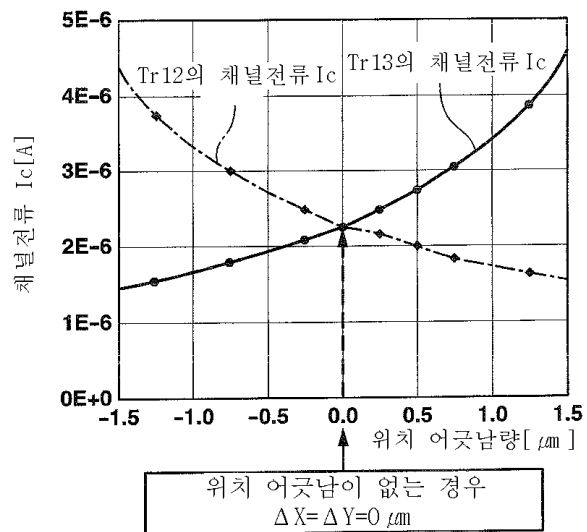


(b)

도면7

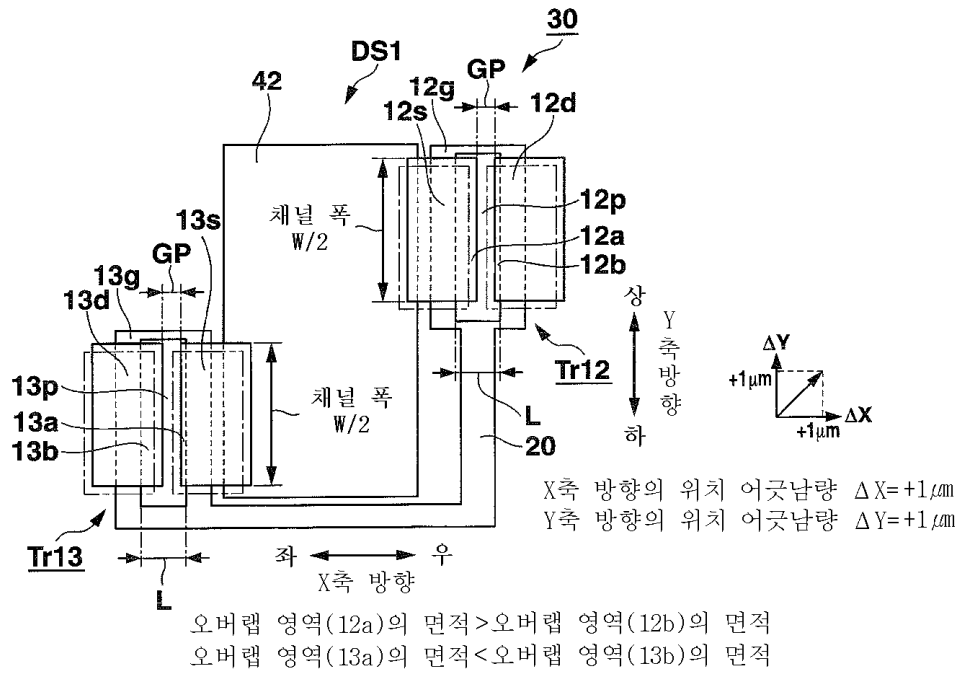


(a)

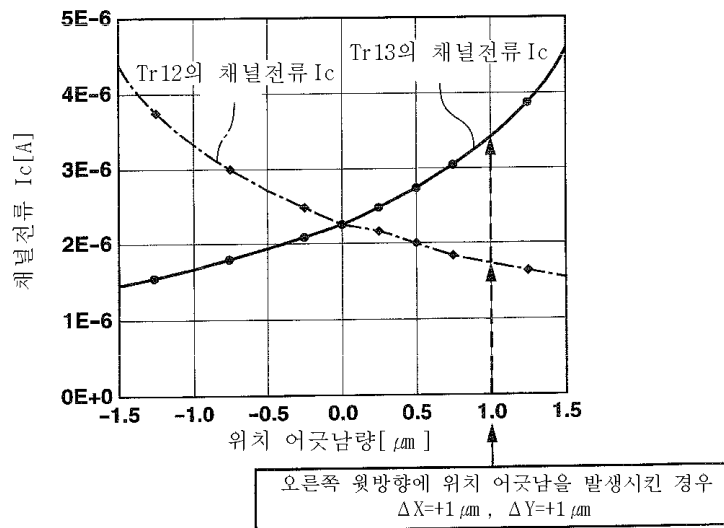


(b)

도면8

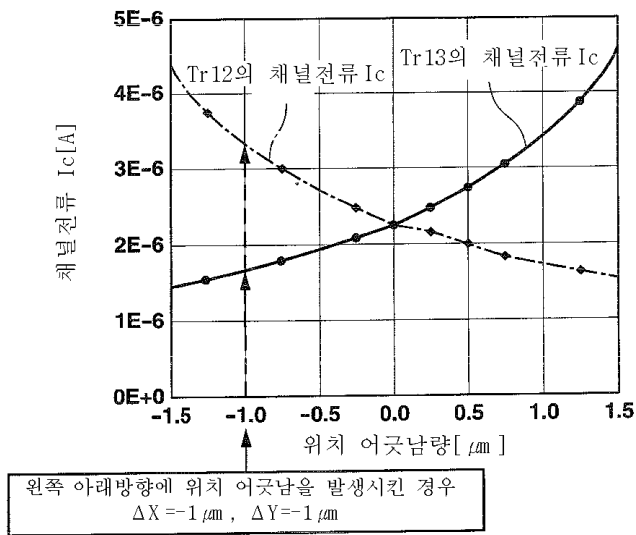
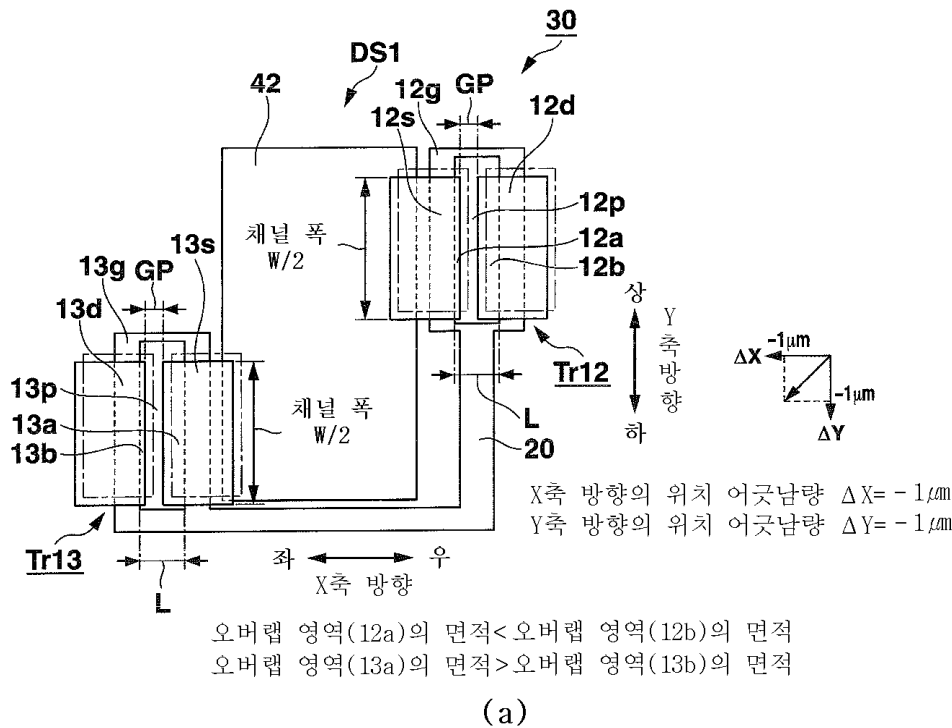


(a)



(b)

도면9



도면10

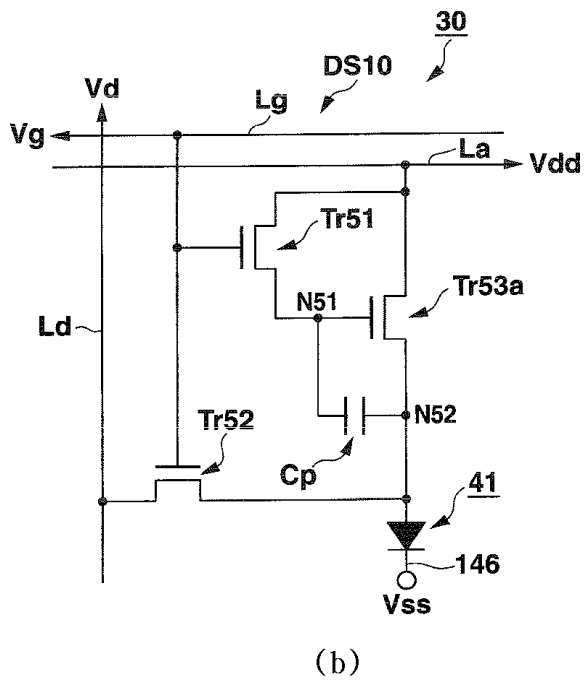
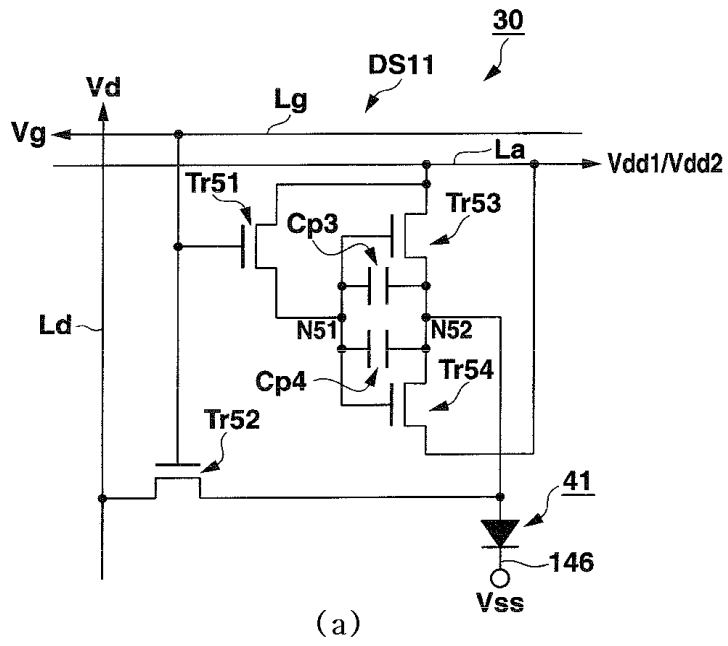
|                         | X축방향의 소스 · 드레인전극의 위치 어긋남량(단위: $\mu\text{m}$ ) |      |     |     |     |
|-------------------------|-----------------------------------------------|------|-----|-----|-----|
|                         | -1                                            | -0.5 | 0   | 0.5 | 1   |
| 참고예 $I_c(\mu\text{A})$  | 3.5                                           | 4.0  | 4.6 | 5.5 | 6.9 |
| 실시형태 $I_c(\mu\text{A})$ | 5.1                                           | 4.8  | 4.6 | 4.8 | 5.1 |

(a)

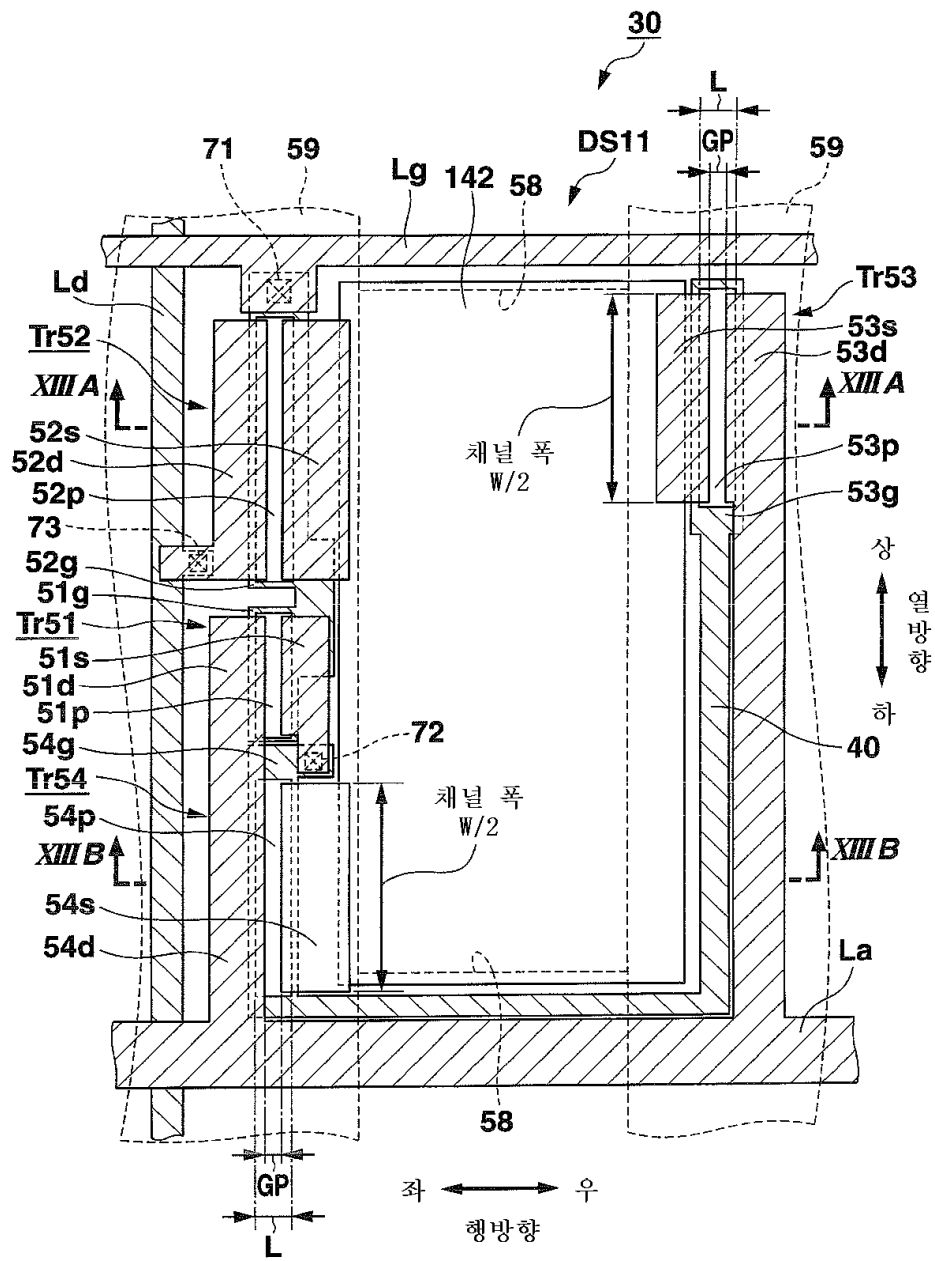
|                                            | X축방향의 소스 · 드레인전극의 위치 어긋남량(단위: $\mu\text{m}$ ) |      |      |      |      |
|--------------------------------------------|-----------------------------------------------|------|------|------|------|
|                                            | -1                                            | -0.5 | 0    | 0.5  | 1    |
| 참고예<br>규격화한 $I_c(\times 10^{-6}\text{A})$  | 0.76                                          | 0.87 | 1.00 | 1.20 | 1.50 |
| 실시형태<br>규격화한 $I_c(\times 10^{-6}\text{A})$ | 1.11                                          | 1.04 | 1.00 | 1.04 | 1.11 |

(b)

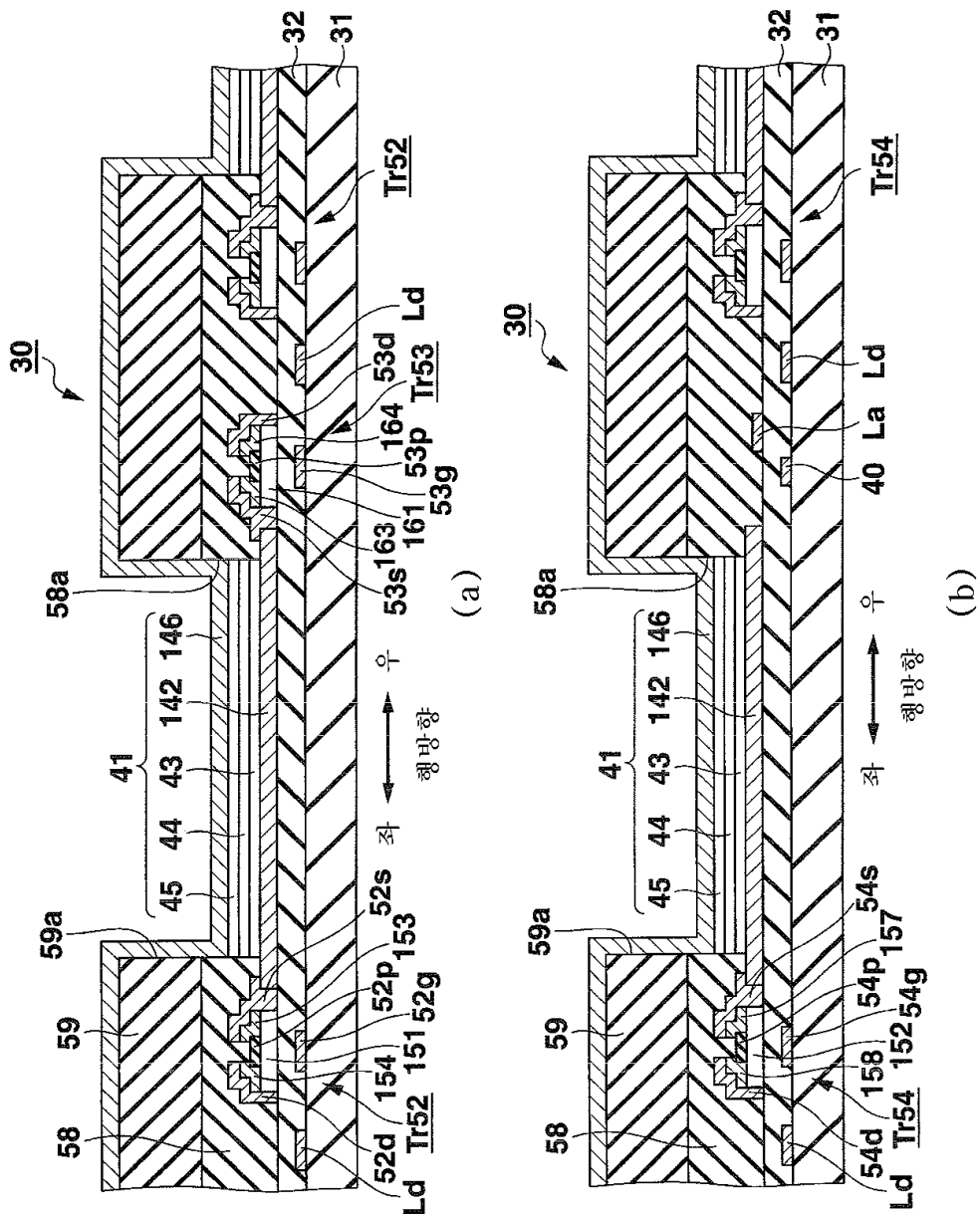
도면11



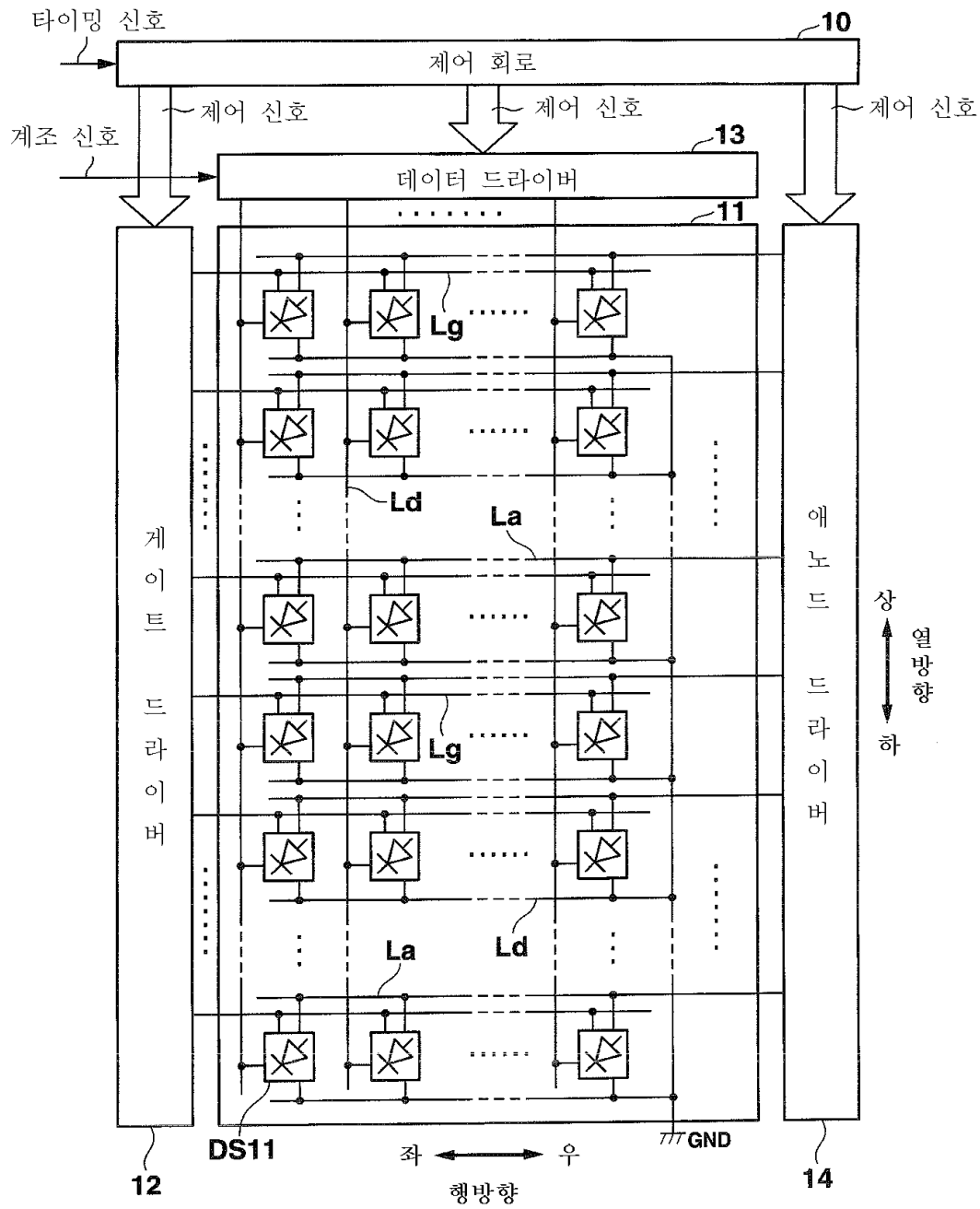
도면12



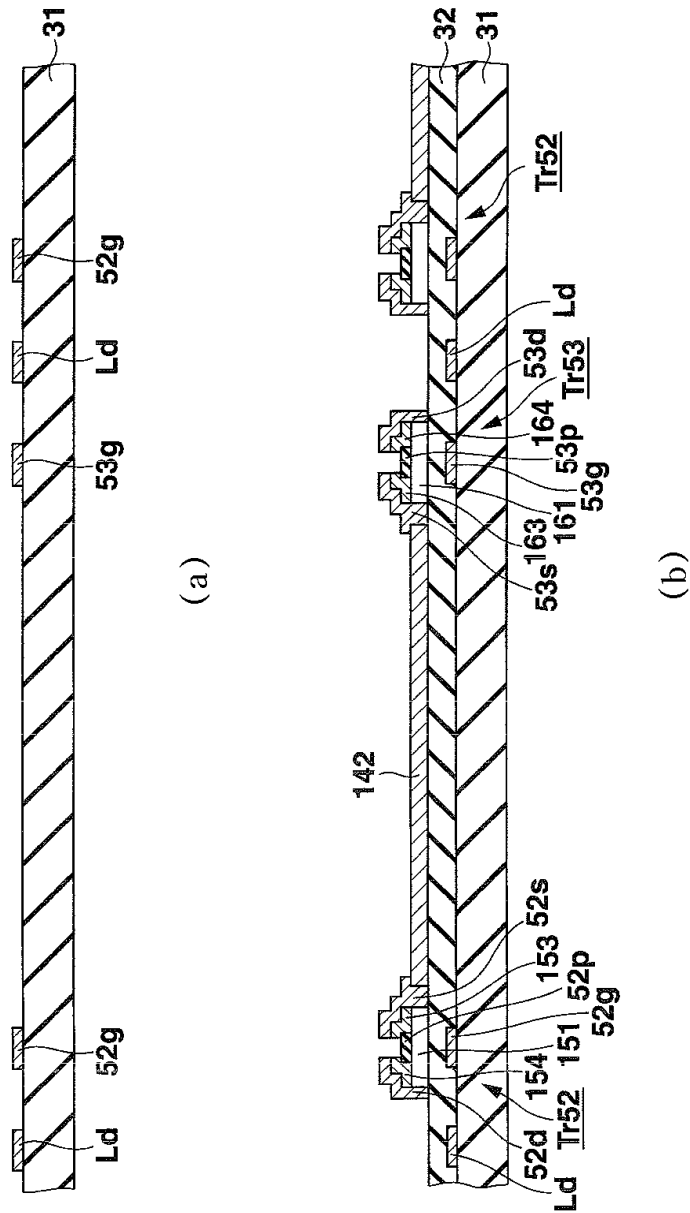
도면13



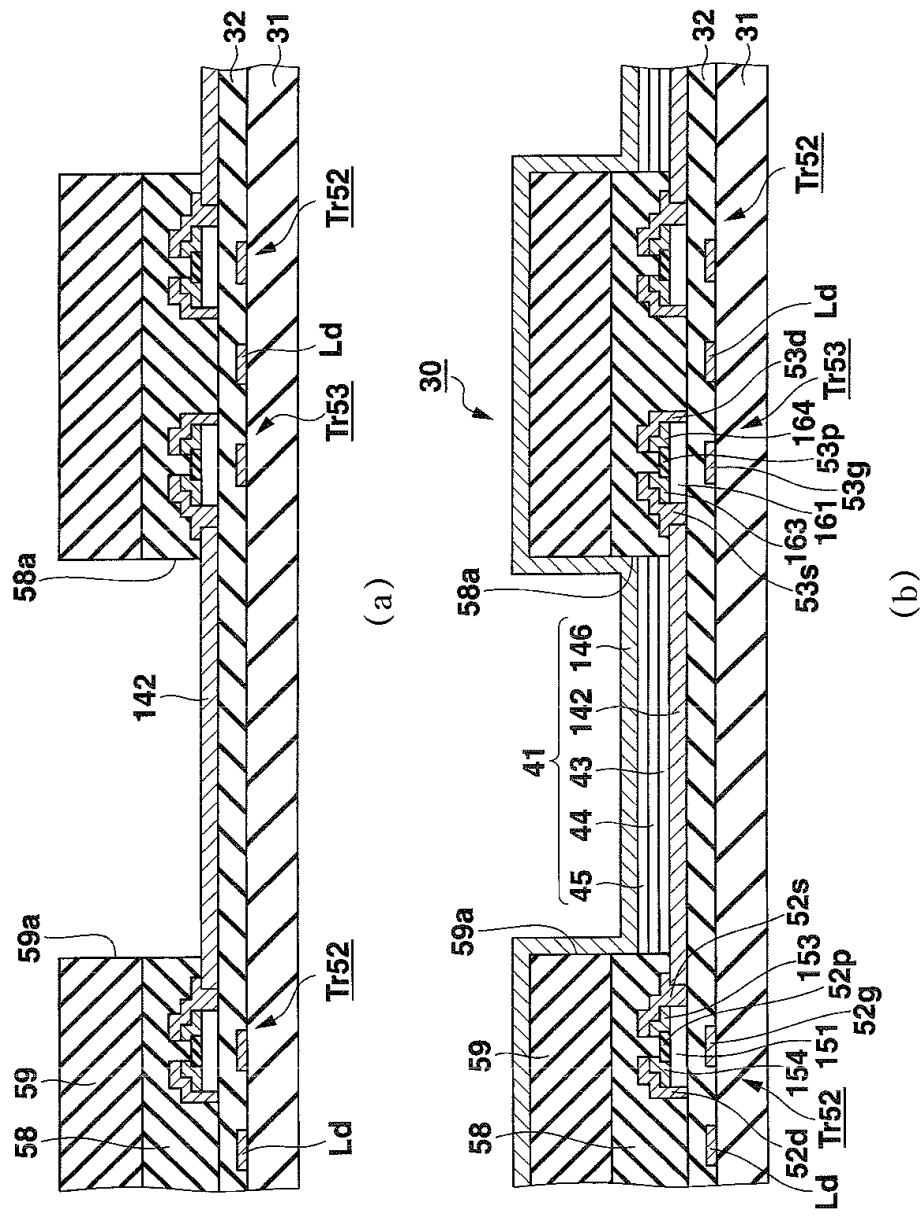
도면14



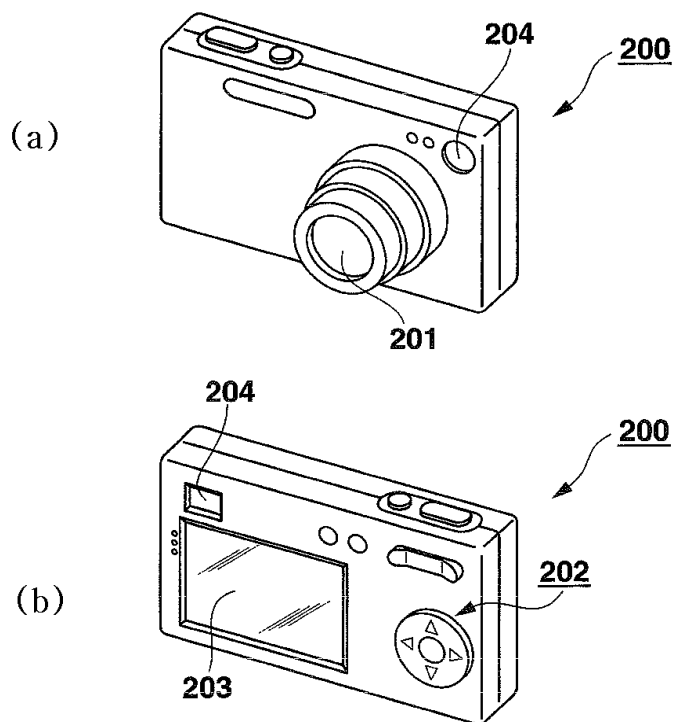
도면15



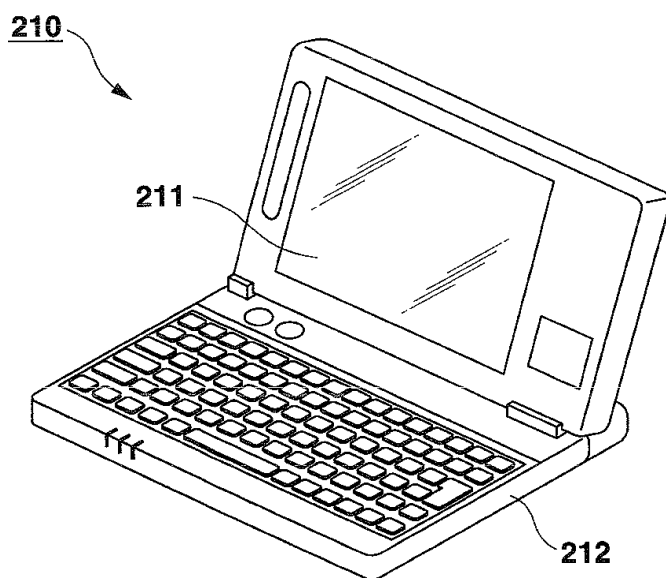
도면16



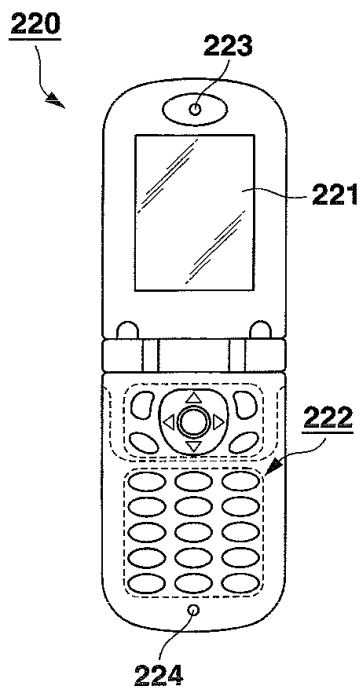
도면17



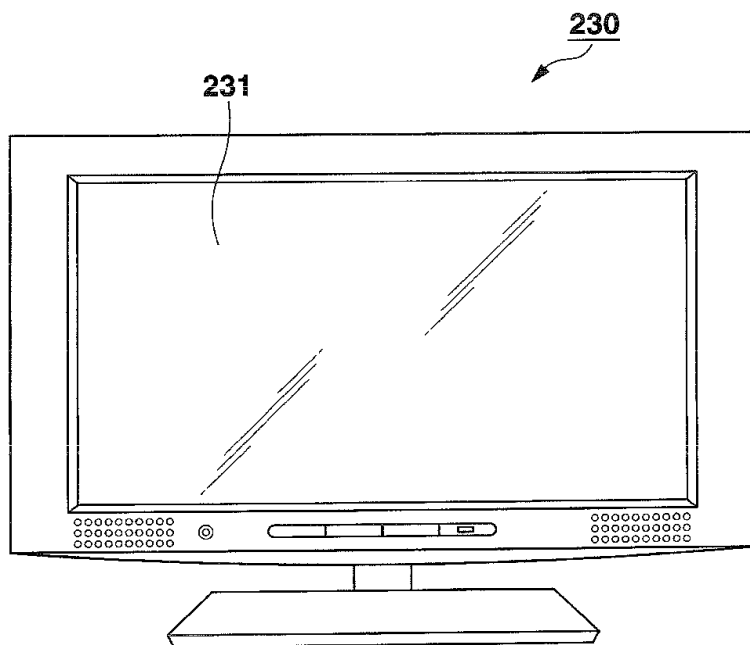
도면18



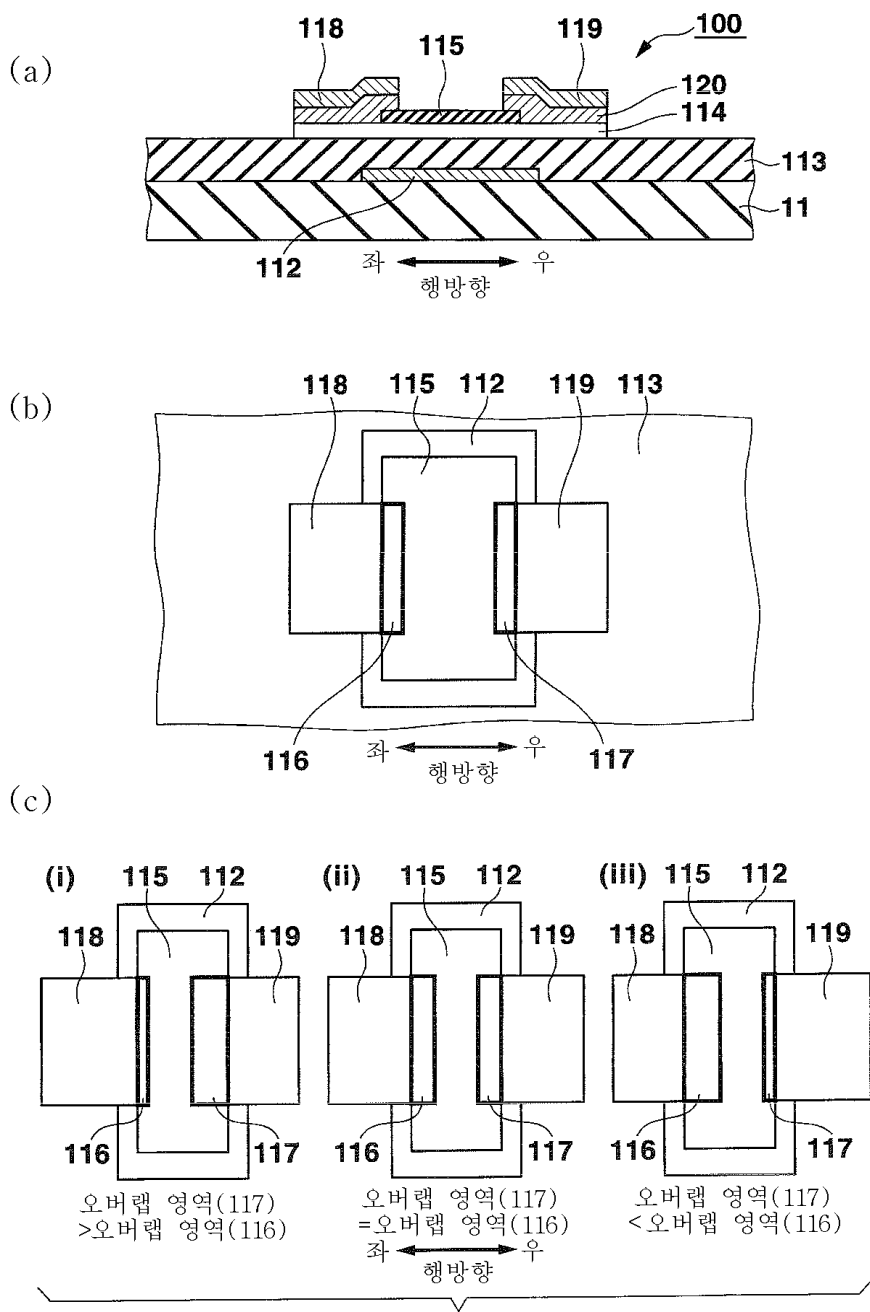
도면19



도면20



도면21



도면22

