

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H05B 33/12 (2006.01)

G09G 3/30 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410088071.8

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100417306C

[22] 申请日 2000.6.21

[21] 申请号 200410088071.8

分案原申请号 00124124.9

[30] 优先权

[32] 1999.6.21 [33] JP [31] 174734/99

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山内幸夫 福永健司

[56] 参考文献

JP63-77159A 1988.4.7

US5384517A 1995.1.24

US4904989A 1990.2.27

审查员 李 闻

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 陈景峻

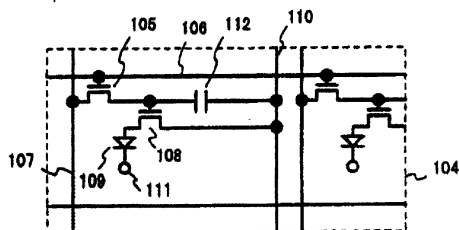
权利要求书 5 页 说明书 33 页 附图 15 页

[54] 发明名称

电致发光显示器件、驱动方法和带有该显示器件的电子设备

[57] 摘要

本发明提供了一种能够进行清晰的多级灰度彩色显示的 EL 显示器件和配置有 EL 显示器件的电子设备, 其中根据时分法执行灰度显示, 在该方法中, 设置在一个像素(104)中的发光或非发光的 EL 元件(109)受时间控制, 并且可以避免电路控制 TFT(108)的可变性的影响。当采用此法时, 数据信号侧驱动电路(102)和栅极信号侧驱动电路(103)与 TFT 形成在一起, 而 TFT 是利用一种具有特有的晶体结构的硅膜, 显示极高的工作速度。



1. 一种 EL 显示器件, 包括:
形成在基底之上的一个像素部分和一个驱动电路;
通过在所述基底之上形成的输入线与所述驱动电路相连的一个外部设备;
形成在所述输入线之上的一层钝化膜;
形成在所述钝化膜之上的一层绝缘膜; 以及
形成在所述绝缘膜之上的一条连接线,
其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与
所述输入线相连。
2. 根据权利要求 1 的 EL 显示器件, 还包括一个与所述驱动电路电连接的时分灰度数据信号发生电路。
3. 一种 EL 显示器件, 包括:
形成在基底之上的一个像素部分和一个驱动电路;
通过在所述基底之上形成的输入线与所述驱动电路相连的一个外部设备;
形成在所述输入线之上的第一钝化膜;
形成在所述第一钝化膜之上的一层绝缘膜; 以及
形成在所述绝缘膜之上的一条连接线;
形成在所述连接线之上的一个保护电极; 以及
形成在所述保护电极之上的第二钝化膜;
其中所述连接线通过形成在所述第一钝化膜和绝缘膜中的接触孔与
所述输入线相连。
4. 根据权利要求 3 的 EL 显示器件, 还包括一个与所述驱动电路电连接的时分灰度数据信号发生电路。
5. 一种 EL 显示器件, 包括:
形成在基底之上的一个像素部分和一个驱动电路;
通过在所述基底之上形成的输入线与所述驱动电路相连的一个外部设备;

形成在所述输入线之上的一层钝化膜;

形成在所述钝化膜之上的一层绝缘膜; 以及

形成在所述绝缘膜之上的一条连接线,

其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与
所述输入线相连,

其中每个所述像素部分和驱动电路包括一个薄膜晶体管,

其中输入线包括与所述薄膜晶体管的像素电极相同的材料。

6. 根据权利要求 5 的 EL 显示器件, 还包括一个与所述驱动电路
电连接的时分灰度数据信号发生电路。

7. 一种具有 EL 显示器件的电子装置, 其中所述 EL 显示器件包
括:

形成在基底之上的一个像素部分和一个驱动电路;

通过在所述基底之上形成的输入线与所述驱动电路相连的一个
外部设备;

形成在所述输入线之上的一层钝化膜;

形成在所述钝化膜之上的一层绝缘膜; 以及

形成在所述绝缘膜之上的一条连接线,

其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与
所述输入线相连。

8. 根据权利要求 7 所述的电子装置, 其特征在于所述电子装置
选自包括个人电脑、摄像机、头戴式显示器、图象再现器和便携式电
脑的一组装置。

9. 一种具有 EL 显示器件的电子装置, 其中所述 EL 显示器件包
括:

形成在基底之上的一个像素部分和一个驱动电路;

通过在所述基底之上形成的输入线与所述驱动电路相连的一个
外部设备;

形成在所述输入线之上的第一钝化膜;

形成在所述第一钝化膜之上的一层绝缘膜; 以及

形成在所述绝缘膜之上的一条连接线;

形成在所述连接线之上的一个保护电极；以及

形成在所述保护电极之上的第二钝化膜；

其中所述连接线通过形成在所述第一钝化膜和绝缘膜中的接触孔与所述输入线相连。

10. 根据权利要求 9 所述的电子装置，其特征在于所述电子装置选自包括个人电脑、摄像机、头戴式显示器、图象再现器和便携式电脑的一组装置。

11. 一种具有 EL 显示器件的电子装置，其中所述 EL 显示器件包括：

形成在基底之上的一个象素部分和一个驱动电路；

通过在所述基底之上形成的输入线与所述驱动电路相连的一个外部设备；

形成在所述输入线之上的一层钝化膜；

形成在所述钝化膜之上的一层绝缘膜；以及

形成在所述绝缘膜之上的一条连接线，

其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与所述输入线相连，

其中每个所述象素部分和驱动电路包括一个薄膜晶体管。

12. 根据权利要求 11 所述的电子装置，其特征在于所述电子装置选自包括个人电脑、摄像机、头戴式显示器、图象再现器和便携式电脑的一组装置。

13. 一种便携式计算机，包括：

一个主体；

多个操作开关；

包括一个 EL 显示器件的显示部分，

其中所述 EL 显示器件包括：

形成在基底之上的一个象素部分和一个驱动电路；

通过在所述基底之上形成的输入线与所述驱动电路相连的一个外部设备；

形成在所述输入线之上的一层钝化膜；

形成在所述钝化膜之上的一层绝缘膜；以及
形成在所述绝缘膜之上的一条连接线，
其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与
所述输入线相连。

14. 根据权利要求 13 的便携式计算机，还包括一个与所述驱动
电路电连接的时分灰度数据信号发生电路。

15. 一种便携式计算机，包括：

一个主体；

多个操作开关；

包括一个 EL 显示器件的显示部分，

其中所述 EL 显示器件包括：

形成在基底之上的一个像素部分和一个驱动电路；

通过在所述基底之上形成的输入线与所述驱动电路相连的一个
外部设备；

形成在所述输入线之上的第一钝化膜；

形成在所述第一钝化膜之上的一层绝缘膜；以及

形成在所述绝缘膜之上的一条连接线；

形成在所述连接线之上的一个保护电极；以及

形成在所述保护电极之上的第二钝化膜；

其中所述连接线通过形成在所述第一钝化膜和绝缘膜中的接触
孔与所述输入线相连。

16. 根据权利要求 15 的便携式计算机，还包括一个与所述驱动
电路电连接的时分灰度数据信号发生电路。

17. 一种便携式计算机，包括：

一个主体；

多个操作开关；

包括一个 EL 显示器件的显示部分，

其中所述 EL 显示器件包括：

形成在基底之上的一个像素部分和一个驱动电路；

通过在所述基底之上形成的输入线与所述驱动电路相连的一个

外部设备;

形成在所述输入线之上的一层钝化膜;

形成在所述钝化膜之上的一层绝缘膜; 以及

形成在所述绝缘膜之上的一条连接线,

其中所述连接线通过形成在所述钝化膜和绝缘膜中的接触孔与
所述输入线相连,

其中每个所述象素部分和驱动电路包括一个薄膜晶体管,

其中输入线包括与所述薄膜晶体管的象素电极相同的材料。

18. 根据权利要求 17 的便携式计算机, 还包括一个与所述驱动
电路电连接的时分灰度数据信号发生电路。

电致发光显示器件、驱动方法和带有该显示器件的电子设备

技术领域

本发明涉及一种通过在基底上构造半导体器件（即由半导体薄膜制成的器件）而形成的 EL（电致发光）显示器件，还涉及 EL 显示器件用作显示板（显示部分）的电子设备（电子器件）。

背景技术

近年来，在基底上形成 TFT 的技术有了很大发展，并在有源矩阵型显示器方面的应用也有进展。尤其是利用多晶硅膜的 TFT 电子场效应迁移率比利用非晶硅膜的传统的 TFT 高，并且可以高速工作。因此，可以通过与像素一起形成在同一基底上的驱动电路控制像素，虽然传统的做法是通过形成在基底以外的驱动电路控制像素。

有源矩阵型显示器引起广泛注意的原因是它具有各种优点，如通过在同一基底上构造各种电路或元件而使制作成本降低，显示器件的尺寸缩小，产量增加，运费减少。

传统的有源矩阵型 EL 显示器的像素具有如图 3 所示的结构。在图 3 中，标号 301 表示一个用作开关元件（以下称作开关 TFT）的 TFT，302 表示一个用作控制供应给 EL 元件 303 的电流的元件（电流控制元件）的 TFT（以下称作电流控制 TFT），304 表示一个电容器（储存容量）。开关 TFT 301 与栅极线 305 和源极线 306（数据线）相连。电流控制 TFT 302 的漏极与 EL 元件相连，源极与电流馈电线 307 相连。

当选择栅极线 305 时，栅极开关 TFT 301 打开，然后源极线 306 的数据信号被储存到电容器 304，并且电流控制 TFT 302 的栅极被打开。开关 TFT 301 的栅极关闭后，电流控制 TFT 302 的栅极由储存在电容器 304 中的电荷保持打开。在此间隔中 EL 元件 303 发光。EL 元件 303 的发光量根据电流量改变。

此时，供应给 EL 元件 303 的电量受电流控制 TFT 302 的栅极电压

控制。如图 4 所示。

图 4(A)是电流控制 TFT 的晶体管特性曲线。标号 401 被称作 I_d - V_g 特性（或 I_d - V_g 曲线）。此处， I_d 是漏电流， V_g 是栅压。从此曲线中可以得到对应于任意栅压的电流。

当 EL 元件被驱动时利用 I_d - V_g 特性曲线的虚线 402 所示的区域。虚线 402 的闭合区域的放大图示于图 4 (B)。

在图 4 (B) 中，斜线所示的区域被称作亚阈值区域。实际上，它表示一个栅压接近或小于阈值电压 (V_{th}) 的区域。漏极电流根据此区域中栅压的变化呈指数规律的变化。利用这种区域通过栅压控制电流。

通过打开开关 TFT 301 输入象素的数据信号首先被储存到电容器 304，数据信号直接作用电流控制 TFT 302 的栅极电压。此时，关于栅压的漏电流根据图 4 (A) 中的 I_d - V_g 特性曲线一对一地确定。即给定电流流经对应于数据信号的 EL 元件 303，EL 元件 303 发射发光量对应于电流量的光。

EL 元件的发光量受数据信号的控制，如上所述，并因而进行灰度显示。这就称为模拟灰度法，在该方法中，通过改变信号的幅度来进行灰度显示。

但是也有一个缺点，即模拟灰度显示法在 TFT 的特性可变性上表现得非常力不从心。例如，假设开关 TFT 的 I_d - V_g 特性不同于显示相同灰度的邻近象素的开关 TFT 的 I_d - V_g 特性（即向着正或负侧漂移）。

在此情形中，虽然依据于可变性的水平，但开关 TFT 的漏电流彼此不同，并因而可以把不同的栅压施加给每个象素的电流控制 TFT。换言之，不同的电流流经每个 EL 元件，并因而发射不同的光量，并且不能实现相同灰度水平的显示。

另外，即使把相同的栅压提供给每个象素的电流控制 TFT，如果电流控制 TFT 的 I_d - V_g 特性有可变性，则不能输出相同的漏电流。另外，从图 4 (A) 中清楚地看到，利用一个漏电流根据栅压的变化呈指数变化的区域，并且因此将发生一种情况：如果 I_d - V_g 特性最轻微地移动，输出的电流量将变得非常不同，即使施加相同的栅压。如果这样，相邻象素在 EL 元件的发光量上将有很大的不同。

实际上, 开关 TFT 和电流控制 TFT 的每个可变性协同工作, 并且将被施以严格的条件。正如上述所述, 模拟灰度法对 TFT 的特性可变性非常敏感, 并已导致对实现传统有源矩阵型 EL 显示器件的多色显示有障碍。

发明内容

考虑了上述问题之后产生了本发明, 因而本发明的目的在于提供一种能够进行清晰的多灰度彩色显示的有源矩阵型 EL 显示器件。本发明的另一个目的在于提供一种配置有这种有源矩阵型 EL 显示器件的高性能的电子设备。

本申请人认为, 要设计一种不影响 TFT 可变性的像素结构, 数字灰度法好于传统的模拟灰度法, 数字灰度法中电流控制 TFT 只用作供应电流的开关元件, 模拟灰度法中 EL 元件的发光量通过控制电流而控制。

由此, 本申请人认为在有源矩阵型 EL 显示器件中最理想的灰度显示是一种分级灰度显示法, 具体地说, 是一种基于时分法的灰度显示法(以下称为时分灰度或时分灰度显示)。

实际上, 时分灰度显示按如下执行。此处给出的描述是关于根据 8 位数字驱动法进行 256 级灰度的全色显示的情形。

首先, 一帧图形被分成八个子帧。此处, 数据输入一个显示区域的所有像素时的一个周期称为一帧。标准 EL 显示器件中的振荡频率是 60Hz, 换言之, 每秒钟形成 60 帧。当每秒的帧数小于此数时视觉开始感觉到图象闪烁。通过把一帧分割成多个帧而得到的分割的帧称作子帧。

一个子帧被分成一个寻址周期 (T_a) 和一个持续周期 (T_s)。寻址周期是在一个子帧内把数据输入所有像素所需的全部时间, 持续周期(或发光周期)是 EL 元件发光的周期(图 10)。

此处, 第一子帧称作 SF1, 从第二到第八子帧的其余子帧分别叫做 SF2-SF8。寻址周期(T_a)在 SF1-SF8 中是常数。另一方面, 对应于 SF1-SF8 的持续周期 (T_s) 分别称作 TS1-Ts8。

此时, 持续周期被分布成 $TS1:TS2:TS3:TS4:TS5:TS6:TS7:TS8 =$

1:1/2:1/4:1/8:1/16:1/32:1/64:1/128。但 SF1-SF8 出现的顺序并不重要。可通过合并持续周期而执行在 256 个灰度级中的理想灰度显示。

首先，在电压不施与（或不被选取）一个像素的 EL 元件的反电极的状态下（应注意：反电极是不与 TFT 连接的电极；通常是阳极），数据信号被输入到每个像素，EL 元件不发光。此周期被确定为寻址周期。当数据被输入到所有的像素并且寻址周期结束时，电压被施加到反电极，使得 EL 元件发光。此周期被确定为持续周期。发光期间（即像素发亮）的周期是 TS1-Ts8 中的任意一个。假设在 Ts8 周期内预定的像素发亮。

之后，再考虑寻址周期，数据信号被输入到所有像素并再进入持续周期。此时，持续周期是 Ts1-Ts7 中的任意一个。假设在 Ts7 周期内预定的像素发光。

之后，对剩余的六个子帧重复相同的操作，并通过以 Ts6, Ts5, … Ts1 的顺序设置连续的持续周期使预定像素在每个子帧内发亮。

当出现八个子帧时即结束一帧。此时，像素的灰度通过增加持续周期控制。例如，当选择 Ts1 和 Ts2 时，假定总的光量是 100%，则表现的亮度是 75%，并当选择 Ts3, Ts5 和 Ts8 时，表现的亮度是 16%。

以上描述了 256 级的灰度显示，但可以执行其他的灰度显示。

当执行 n (n 是大于或等于 2 的整数) 位的灰度显示 (2^n 灰度显示) 时，一帧首先被分成 n 个子帧 (SF1, SF2, SF3, … SF ($n-1$), 和 SF (n)), 同时与 n 位灰度对应。一帧的分割数随着灰度级的增大而增加，并且驱动电路必须在高频下工作。

n 个子帧每个被分成寻址周期 (T_a) 和持续周期 (T_s)。换言之，通过选择是否把电压施加到对于所有 EL 元件的反电极来选择地址和持续周期。

并且，对应于 n 个子帧的每一个的持续周期被处理成 $TS1:Ts2:Ts3\cdots Ts(n-1):Ts(n) = 2^0:2^{-1}:2^{-2}:\cdots 2^{-(n-2)}:2^{-(n-1)}$ (此处，对应于的持续周期分别是 TS1, Ts2, Ts3, … Ts ($n-1$), Ts (n))。

在这种状态下，在一个随机帧中连续地选择一个像素（严格地说是选择每个像素的开关 TFT），并且给电流控制 TFT 的栅电极施加一

个预定的栅压。此时，被输入激励电流控制 TFT 的数据信号的像素的 EL 元件只在寻址周期结束后的分配给子帧的持续周期内发光。即预定的像素发光。

在所有 n 个子帧内重复此操作，并通过增大持续周期控制每个像素的灰度。因此，当关注任意一个像素时，根据每个子帧内像素发亮的时间长短（即持续周期的持续长短）控制像素的灰度。

如上所述，本发明最引人注目的特点在于分时灰度显示用于有源矩阵型 EL 显示器件。为了执行这种时分灰度，必须把一帧分成多个子帧。换言之，这比以前更需要提高驱动电路在数据信号侧和在栅极信号侧的工作频率。

但是，要使 TFT 能在常规的多晶硅膜（多晶硅）上以这样高的速度工作是很困难的。工作频率可通过把数据信号侧的驱动电路分成多个电路而降低，但如果这样，就不能实现令人满意的结果。

因此，在本发明中利用一种具有特定的晶体结构的硅膜，晶界的连续性高，晶体单向取向。该膜用作 TFT 的一个有源层，因而使得 TFT 显示出极高的操作性和速度。即这也是本发明的一个特点，通过利用这种高工作速度的 TFT 进行有源矩阵型 EL 显示器件的时分灰度显示。下面对实验所做的用于本发明中的硅膜的观察结果进行描述。

用在本发明中的硅膜有一种晶体结构，该结构中微观的众多针状晶体或棒状晶体（以下称作棒晶）聚集在一起并形成线条。这从 TEM（透射电子显微镜）的观察中可以很容易地被确认。

另外，作为涉及到用于本发明中硅膜的光斑直径大约 $1.35\mu\text{m}$ 的电子束衍射图象的详细观察结果，对应于 $\{110\}$ 平面的衍射光斑尽管有轻微地波动，但仍规律地出现，并且虽然晶轴有轻微的偏移，但可以确认以 $\{110\}$ 面为主取向面。

图 19(A) 表示一个通过向用于本发明中的硅膜上透射光斑直径大约为 $1.35\mu\text{m}$ 的电子束而获得的电子束衍射图象。另一方面，图 19(B) 表示通过在相同的条件下把电子束投影到传统的多晶硅膜上而获得的电子束衍射图象。在每个图中，图片的中心是电子束投影的一个位置（电子束的投影点）。

对应于 $\{1\ 1\ 0\}$ 平面的衍射光斑在图 19 (A) 中表现得比较规则,而在图 19 (B) 中分布得十分不规则,并因而取向面明显地不均匀。从这幅电子束衍射图片中可以看出,用于本发明中的硅膜与传统的多晶硅膜可以即刻区分开来。

在图 19 (A) 的电子束衍射图象中,通过与 $\{1\ 1\ 0\}$ 取向的单晶硅片的电子束衍射图象相比,明显地显示出对应于 $\{1\ 1\ 0\}$ 平面的衍射斑。另外,虽然单晶硅片的衍射斑看做一个细点,但用于本发明中的硅膜的衍射斑有一个以电子束的投影点为中心的同心圆环的扩展。

这也是用于本发明中的硅膜的一个特点。因为 $\{1\ 1\ 0\}$ 平面对每个晶粒都有一个单独的取向面,所以只要涉及一个晶粒,就可以有望获得如同单晶硅的衍射斑。但实际上,存在着多个晶粒的集合,并因而每个晶粒都有一个围绕晶轴的轻微旋转,虽然每个晶粒确定一个以 $\{1\ 1\ 0\}$ 平面作为其取向面,对应于晶粒的多个衍射光点呈现在该同心圆环。光点彼此有叠合,以致表现出一种扩展。

但因为每个单独的晶粒形成一个连续性极好的晶界,如后续所述,所以绕晶轴的轻微旋转不构成毁坏结晶度的因素。因此,可以说用于本发明中的硅膜的电子束衍射图象与 $\{1\ 1\ 0\}$ 取向的单晶硅片的电子束衍射图象没有区别。

从前述内容可以肯定,在本发明中用作 TFT 有源层的硅膜是表现出对应于 $\{1\ 1\ 0\}$ 取向的电子束衍射图象的硅膜。

下面,将对用在本发明中的硅膜的晶界给予描述。虽然为了方便起见描述是针对“晶界”这一名称,但可以认为是一个晶粒与另一个从那儿衍生(或分支出的)晶粒之间的界面。无论如何,在本说明书中采用包括上述界面含义的“晶界”名称。

本申请人从对晶界的观察中确认,在晶界的晶格中具有连续性,其中晶界由在 HR-TEM (高分辨率透射电子显微镜) 下的单个棒状晶体的接触构成。这可以从观察到的在晶界中晶格条纹彼此连续地连接这一事实中很容易地得到肯定。

晶界中晶格的连续性产生于晶界是一个称作“平面边界”这一事实。在说明书中平面边界的定义是从“Planar Boundary”一词演变而来,

该词出现在“Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988”。

根据上述内容，平面边界包括一个孪晶界，一个特定的层错和一个特定的扭曲晶界。此平面边界具有电惰性的特点。即虽然它是一个因平面边界不用作陷阱去阻止载流子运动的晶界，但事实上可以认为它不存在。

尤其是，当晶轴（垂直于晶面的轴）是 $\langle 110 \rangle$ 轴时， $\{211\}$ 孪晶界和 $\{111\}$ 孪晶界通常被称作 $\Sigma 3$ 的相应晶界。 Σ 值是一个用作表示相应晶界连续性水平的指示器的参数，并且已知晶界连续性随着 Σ 值的下降而变优。

通过 TEM 观察本发明中所使用的硅膜的结果是几乎所有的晶界都被证明为是 $\Sigma 3$ 的相应晶界。这从 $\theta = 70.5^\circ$ 时两晶粒之间形成的晶界变为 $\Sigma 3$ 的相应晶界这一事实中得以判定，其中 θ 是当两晶粒的平面取向为 $\{110\}$ 时对应于 $\{111\}$ 平面的晶格条纹间形成的角度。

注意到，当 $\theta = 38.9^\circ$ 时晶界变成 $\Sigma 9$ 的相应晶界。并且还存在着其他的晶界，如这种晶界。

晶体结构（更精确地说，晶界的结构）表示两个晶界不同的晶粒彼此以非常好的连续性连接。换言之，建立了一种晶格在晶界内连续延伸的结构，并且要从晶体的缺陷中产生一个陷阱能级非常困难。因此，具有上述结构的半导体薄膜事实上认为没有晶界。

通过 TEM 观察确定，当形成用于本发明中的硅膜时存在于晶粒中的缺陷（堆积缺陷等）通过以连续的步骤在 $700-1150^\circ\text{C}$ 下的加热处理而几乎完全消失。这从加热前后缺陷的数量大大减少这一事实中显得很明显。

根据电子自旋共振分析（ESR 分析），缺陷数量的差别表现为自旋强度的差别。在当前状态下，用于本发明中的硅膜的自旋强度被证明至多为 5×10^{17} 转/ cm^3 （最好至少 3×10^{17} 转/ cm^3 ）。但是，因为此测量值接近测量器件的检测极限，所以希望实际的自旋强度更小。

本申请人 1998 年提出的 044659 号申请、1998 年提出的 152316 号

申请、1998年提出的152308号申请以及1998年提出的152305号申请分别给出了关于用于本发明中的硅膜更详细的描述。

其中用于本发明的硅膜实验上由一个有源层制成的 TFT 表现出等同于 MOSFET 的电学特性。从本发明人实验上制成的 TFT（其中的有源层厚度为 30nm，栅极绝缘膜的厚度为 100nm）上可获得如下数据。

（1）作为开关性能指标的亚阈值系数（on/off 操作开关的快慢），N 沟道型 TFT 和 P 沟道型 TFT 的是 60~100mV/decade（典型值 60~85mV/decade），该值很小。

（2）作为 TFT 操作速度指标的电子场效应迁移率（ μ_{FE} ），N 沟道型 TFT 的是 200~650cm²/Vs（典型值是 300~500 cm²/Vs），P 沟道型 TFT 的是 100~300 cm²/Vs（150~200cm²/Vs）。这些值很大。

（3）作为 TFT 驱动电压指标的阈值电压（ V_{th} ），N 沟道型 TFT 的是 -0.5~1.5，P 沟道型 TFT 的是 -1.5~0.5。这些值小。

上述器件已被证实能够实现优越的开关性能和高速的操作性能。另外，在利用 TFT 制造的环形振荡器中，最大可以得到大约 1GHz 的振荡频率。环形振荡器的构造如下。

级数：九级：

TFT 栅极绝缘膜的膜厚度：30nm 和 50nm；

TFT 的栅级宽度（沟道长度）：0.6 μ m

另外，作为实际制作移位寄存器并确定操作频率的结果，在移位寄存器中得到 100MHz 操作频率的输出脉冲，其中栅极绝缘膜的厚度是 30nm，栅级宽度是 0.6 μ m，电源电压是 5V，步骤数为 50。

上述环形振荡器和移位寄存器的好的数据表示，用在本发明中的硅膜由有源层制成的 TFT 等价于使用单晶硅的 MOSFET，或具有超过 MOSFET 的操作性能。

附图说明

图 1A 和 1B 表示 EL 显示器件的结构。

图 2 表示 EL 显示器件的截面结构。

图 3 表示传统 EL 显示器件的像素部分的结构。

图 4A 和 4B 是解释模拟灰度法中使用的 TFT 的特性示图。

图 5A-5E 表示 EL 显示器件的制作步骤。

图 6A-6D 表示 EL 显示器件的制作步骤。

图 7A-7D 表示 EL 显示器件的制作步骤。

图 8A-8C 表示 EL 显示器件的制作步骤。

图 9 是 EL 显示器件像素部分的放大示意图。

图 10 是解释时分灰度法的操作模式的示意图。

图 11 表示 EL 模块的外部形状。

图 12A 和 12B 表示 EL 模块的外部形状。

图 13A—13C 表示连接结构的制作步骤。

图 14 表示 EL 显示器件像素部分的结构。

图 15 表示 EL 显示器件的截面结构。

图 16 表示 EL 显示器件像素部分的上表面结构。

图 17 表示 EL 显示器件像素部分的上表面结构。

图 18A-18E 表示电子设备的一个具体实例。

图 19A 和图 19B 是代替插图的照片，表示多晶硅膜的电子束衍射图象。

图 20A 和 20B 是代替插图的照片，表示本发明 EL 显示器件的显示图象的实例。

具体实施方式

首先，本发明有源矩阵型 EL 显示器件的电路结构示于图 1 (A) 中。在图 1 (A) 所示的有源矩阵型 EL 显示器件中，像素部分 101，数据信号侧驱动电路 102，和设置在像素部分周围的栅极信号侧驱动电路 103 通过形成在基底上的 TFT 形成。或者，数据侧信号驱动电路和栅极侧信号驱动电路可以以一对电路的形式将像素部分夹在其间设置。

数据信号侧驱动电路 102 基本包括一个移位寄存器 102a，一个锁存器 (A) 102b，和一个锁存器 (B) 102c。时钟脉冲 (CK) 和起始脉冲 (SP) 输入到移位寄存器 102a，数字数据信号输入到锁存器 (A) 102b，锁存信号输入给锁存器 (B) 102c。

在本发明中，输入给像素部分 101 的数据信号是一个数字信号，并且虽然是在液晶显示器件中实施，但并不执行电压灰度显示。因此，

具有信息“0”或“1”的数字数据信号直接输入给像素部分 101。

多个像素 104 布置成类似矩阵的像素部分 101。像素 104 的放大图示于图 1 (B)。在图 1 (B) 中, 标号 105 表示一个开关 TFT。此开关与用于输入栅极信号的栅极线 106 相连, 并还与输入数据信号的数据线 107 (也称作源极线) 相连。

标号 108 表示电流控制 TFT。栅极与开关 TFT105 的漏极相连。电流控制 TFT 108 的漏极与 EL 元件 109 相连, 其源极与馈电线 110 相连。EL 元件 109 由一个与电流控制 TFT 108 相连的阳极 (像素电极) 和一个面对该阳极的阴极 (反电极) 组成, EL 层位于阳极和阴极之间。阴极与给出的电源线 111 相连。

当开关 TFT 105 处于非选定态 (断开状态) 时, 设置一个电容器 112 以维持电流控制 TFT 108 的栅压。电容器 112 与开关 105 的漏极以及馈电线 110 相连。

输入给上述像素部分的数字数据信号由时分灰度数据信号发生电路 113 产生。电路 113 把包括模拟信号或数字信号的视频信号 (包含图象信息) 转变成数字数据信号, 以进行时分灰度显示并产生为进行时分灰度显示所需的时间脉冲等。

典型地, 时分灰度数据信号发生电路 113 包括一个把一帧分成 n 个对应于 n 位灰度的子帧的器件 (n 是不小于 2 的整数), 一个用于在 n 个子帧中选择寻址周期和持续周期的器件, 和一个把持续周期设置成 $Ts1:Ts2:Ts3:\cdots Ts(n-1):Ts(n) = 2^0:2^{-1}:2^{-2}:\cdots 2^{-(n-2)}:2^{-(n-1)}$ 的器件。

时分灰度数据信号发生电路 113 可以设置在本发明 EL 显示器件的外部。如果这样, 产生在那个位置的数字数据信号被输入到本发明的 EL 显示器件。在这种情况下, 具有本发明的 EL 显示器件作为显示板的电子设备将包括 EL 显示器件和作为不同组份的本发明的时分灰度数据信号发生电路。

另外, 时分灰度数据信号发生电路 113 可以以 IC 片的形式设置在本发明 EL 显示器件上。如果这样, 产生于 IC 片的数字数据信号输入到本发明的 EL 显示器件。在这种情况下, 具有本发明的 EL 显示器件

作为显示板的电子设备将包括本发明的 EL 显示器件，在该显示器件上设置一个作为一个组成部分的包含时分灰度数据信号发生电路的 IC 片。

最后，时分灰度数据信号发生电路 113 可以由设置在与像素部分 104 相同的 TFT、数据信号侧驱动电路 102 和栅极信号侧驱动电路构成。如果这样，当包括图象信息的视频信号输入到 EL 显示器件中时所有的信号都可以处理。在这种情况下，最好通过 TFT 构建时分灰度数据信号发生电路，其中如上所述，用在本发明中的硅膜被制成一个有源层。另外，在这种情况下，具有本发明的 EL 显示器件作为显示板的电子设备这样构成：时分灰度数据信号发生电路构建在 EL 显示器件本身当中。因而，电子设备可以制得更密集。

接下来参见图 2 所示的本发明有源矩阵型 EL 显示器件的截面结构图。

在图 2 中，标号 11 是一个基底，12 是一个作为基础的绝缘膜（以下该膜称作基膜）。对于基底 11，可以用透光型基底，典型的有玻璃基底、石英基底，玻璃陶瓷基底或晶体玻璃基底。但他们必须在制造过程中耐最高的处理温度。

基膜 12 对用于具有可移动离子或有导电性的基底尤其有效，但不需要设置在石英基底上。包含硅的绝缘膜可用作基膜 12。应注意，在本说明书中“包含硅的绝缘膜”表示以预定的比例（ SiO_xNy :x 和 y 为任一整数）加入了氧或氮的绝缘膜，如氧化硅膜，氮化硅膜或氮化硅氧化膜。标号 201 是一个开关 TFT，202 是电路控制 TFT。这两个 TFT 都由 n 沟道型 TFT 构成。因为 n 沟道型 TFT 的场效应电子迁移率大于 p 沟道型 TFT 的场效应电子迁移率，n 沟道型 TFT 可以以较高的操作速度工作，并使得很大的电流很容易地通过。关于通过相同量的电流时所需的 TFT 的大小，n 沟道型 TFT 的较小。因此，希望用 n 沟道型 TFT 作为电流控制 TFT，因为图象显示板的有效发光面积加宽。

但在本发明中，不需要将开关 TFT 和电流控制 TFT 限制为 n 沟道型 TFT。对于上述两种 TFT 也可以用 p 沟道型 TFT。

开关 TFT 由一个有源层制成，包括一个源极区 13，一个漏极区 14，

LDD 区 15a-15d, 绝缘区 16, 沟道成形区 17a,17b, 栅极绝缘膜 18, 栅电极 19a,19b, 第一层间绝缘膜 20, 源极线 21 和漏极线 22。栅极绝缘膜 18 或第一层间绝缘膜 20 对于基底上的所有 TFT 共用, 或可以根据电路或元件而改变。

在图 2 所示的开关 TFT201 中, 栅电极 19a,19b 电连接, 换言之, 建立所谓的双栅极结构。当然, 不仅可以建立双栅结构, 还可以建立所谓的多栅结构, 如三栅极结构。多栅结构表示一种包括有源层的结构, 有两个沟道形成区或多个串联连接的沟道形成区。

多栅结构对减小 OFF 态电流非常有效, 并且如果开关 TFT 的 OFF 态电流减的足够小, 可以减小对图 1 (B) 所示电容器 112 电容的需求。也就是因为电容器 112 的占有面积可以减小, 所以多栅结构也可以有效地加宽 EL 元件 109 的有效发光面积。

在开关 TFT 201 中, LDD 区 15a-15d 设置成不与栅电极 19a 和 19b 叠合, 栅极绝缘膜 18 夹在其间。由此建立的结构对于减小 OFF 态电流非常有效。LDD 区的长度(宽度)为 $0.5\text{-}3.5\mu\text{m}$, 代表性的值为 $2.0\text{-}2.5\mu\text{m}$ 。

要减小 OFF 态电流, 在沟道成形区和 LDD 区之间形成一个偏移区(即由成份与沟道成形区相同的半导体层形成的区域, 该区不施加栅压)更为理想。在有两个或多个栅电极的多栅结构中, 形成在沟道成形区之间的绝缘区 16(即浓度相同并加入相同掺杂元素作为源区或漏极区)对减小 OFF 态电流有效。

电流控制 TFT 202 由一个有源层制成, 包括一个源区 26, 一个漏极区 27, 一个 LDD 区 28, 一个沟道形成区 29, 一个栅极绝缘膜 18, 一个栅电极 30, 第一层间绝缘膜 20, 一个源极线 31 和一个漏极线 32。栅电极 30 可以以单栅极结构代替多栅极结构。

开关 TFT 的漏极连接到电流控制 TFT 的栅极, 如图 1 (B) 所示。具体地说, 控制电流 TFT 202 的栅电极 30 与开关 TFT 201 的漏极区 14 经漏极线 22(也称作连接线)电连接。源极线 31 连接到图 1 (B) 的馈电线 110。

电流控制 TFT 202 是一个控制供应给 EL 元件的电流量的元件, 从那儿可以流过较大的电流。因此, 沟道宽度(W)最好设计成大于开

关 TFT 的沟道宽度。另外，沟道长度最好设计成过量的电流不能流过电流控制 TFT 202。对每个像素的理想电流值是 $0.5\text{-}2\mu\text{A}$ ($1\text{-}1.5\mu\text{A}$ 最好)。

据前面所述，W1 最好为 $0.1\text{-}5\mu\text{m}$ (代表值为 $1\text{-}3\mu\text{m}$)，W2 为 $0.5\text{-}30\mu\text{m}$ (代表值为 $2\text{-}10\mu\text{m}$)，L1 为 $0.2\text{-}18\mu\text{m}$ (代表值为 $2\text{-}15\mu\text{m}$)，L2 为 $0.1\text{-}50\mu\text{m}$ (代表值为 $1\text{-}20\mu\text{m}$)，这里 L1 是开关 TFT 的沟道长度 ($L1+L1a+L1b$)，W1 是该沟道的宽度，L2 是电流控制 TFT 的沟道长度，W2 是该沟道的宽度，如图 9 所述。

图 2 所示的 EL 显示器件还有一个特点，即在电流控制 TFT 202 中，LDD 形成在漏极区 27 和沟道成形区 29 之间，另外，LDD 区 28 有一个与栅电极 30 重叠的区域和一个不与栅电极 30 重叠的区域，栅极绝缘膜 18 位于 LDD 区 28 和栅电极 30 之间。

电流控制 TFT 202 能通过较大的电流量以致 EL 元件 203 发光，还希望设想出一个关于热载流子注入导致的劣化的对策。当显示黑色时电流控制 TFT 202 保持在截止状态。在这种情况下，如果截止态电流很高，则不能显示出诱人的黑色，并且产生对比度的下降。因此，还需要抑制截止态电流。

关于热载流子注入导致的劣化，已知 LDD 与栅电极叠合的结构非常有效。但因为如果 LDD 区全部栅电极重合则截止态电流增大，所以本申请人通过提供一种新的结构而同时解决了对热载流子和截止态电流的对策的问题，新结构中除了前述结构外，不与栅电极重合的 LDD 区串联设置。

此时，与栅电极叠合的 LDD 区的长度设计成 $0.1\text{-}3\mu\text{m}$ (最好是 $0.1\text{-}1.5\mu\text{m}$)。如果长度过长，则寄生电容 (不希望的电容) 增大，而如果过短，则阻止热载流子的效果减弱。不与栅电极叠合的 LDD 区的长度设计成 $1.0\text{-}3.5\mu\text{m}$ (最好是 $1.5\text{-}2.0\mu\text{m}$)。如果该长度过长，则不能流过充足的电流，而如果长度过短，则减小截止态电流的效果减弱。

因为在上述结构中寄生电容形成于栅电极和 LDD 区彼此叠合的区域中，所以希望在源极区 26 和沟道成形区 29 之间不出现寄生电容。所有需要的是只把 LDD 设置在漏极区一侧，因为控制电流 TFT 中的载流

子（此处为电子）流动方向总是相同。

从增加通过的电流量的角度看，增加电流控制 TFT 202 的有源层（尤其是沟道形成区）膜厚也有效（50-100nm 较好，60—80nm 更好）。另一方面，从减小开关 TFT 201 中截止态电流的角度看，减小有源层（尤其是沟道形成区）的膜厚也有效（20-50nm 较好，25-40nm 更好）。

以上描述了形成在像素中的 TFT 结构。在此结构中同时还形成一个驱动电路。身为一个形成驱动电路的基本单元的 CMOS 电路适于图 2。

在图 2 中，把具有减小热载流子注入但不把操作速度减到最小的结构的 TFT 用作 CMOS 电路的 n 沟道型 TFT 204。在此描述的驱动电路是数据信号侧驱动电路 102 和栅极信号侧驱动电路 103，二者均示于图 1。当然，也可以形成其他的逻辑电路（电平转换器，A/D 转换器，信号分配电路等）。

n 沟道型 TFT 204 的有源层包括一个源极区 35，一个漏极区 36，一个 LDD 区 37，和一个沟道成形区 38。LDD 区 37 与栅电极 39 叠合，栅极绝缘膜 18 夹插其间。

只在漏极区一侧上形成 LDD 区的理由不是为了降低操作速度。不需要担心 n 沟道型 TFT 204 中的截止态电流值。相反，应在该电流值之上确定操作速度。因此，LDD 区 37 最好完全位于栅电极上，由此尽可能地减小电阻成份。也即可以省去所谓的补偿。

在 CMOS 电路的 p 沟道型 TFT205 中，不需要特别地提供 LDD 区，因为热载流子注入导致的劣化可以忽略。因此，有源层包括一个源区 40，一个漏极区 41，一个沟道成形区 42。栅极绝缘膜 18 和栅电极 43 设置在其上。当然还可以设置 LDD 区和 n 沟道型 TFT 204，以对热载流子采取对策。

当 p 沟道型 TFT 用作电路控制 TFT 202 时，可以有与 p 沟道型 TFT 205 有相同的结构。

n 沟道型 TFT 204 和 p 沟道型 TFT 205 由第一层间绝缘膜 20 覆盖并形成源极线 44，45。两源极线由漏极线 46 电连接。

标号 47 表示第一钝化膜。膜的厚度为 10nm-1 μ m（最好是 200—

500nm)。包括硅的绝缘膜(尤其是碳化硅氧化膜或氮化硅更为理想)可用作其材料。钝化膜 47 用于保护由碱金属和水形成的 TFT。最终设置在 TFT 之上的 EL 层包括碱金属,如钠。换言之,第一钝化膜 47 还充当一个保护层,碱金属(可移动离子)由此不能够进入 TFT 一侧。

标号 48 代表第二层间绝缘膜,该膜用作平整 TFT 形成的水平差别的平整膜。最好把有机树脂膜如聚酰亚胺、聚酰胺、丙烯酸树脂或 BCB(苯并环丁烯)用作第二层间绝缘膜。这些膜的优点在于可以很容易地形成平滑度良好的平面,并且介电常数低。最好通过第二层间绝缘膜全部吸收 TFT 导致的高度差异,因为 EL 层对高低不平度非常敏感。另外,最好形成一个低介电常数的材料层厚度,以便减小栅极线或数据线和 EL 元件的阳极之间形成的寄生电容。因此,膜厚在 0.5-5 μm 较好(1.5-2.5 μm 更好)。

标号 49 表示由透明导电膜制成的像素电极(EL 元件的阳极)。在第二层间绝缘膜 48 和第一钝化膜 47 上制成接孔(开口)后,电极经开口连接到电路控制 TFT 202 的漏极线 32。当像素电极 49 和漏极区 27 布置成不直接接触时,如图 2 所示,EL 层的碱金属可以避免经像素电极进入有源层。

厚度为 0.3-1 μm 的第三层间绝缘膜 50 设置在电极 49 上。膜 50 由氧化硅膜、氮化硅氧化膜或有机树脂膜制成。第三层间绝缘膜 50 上通过蚀刻设置有一个位于像素电极 49 上的开口,开口的边缘被蚀刻成楔形。楔形的角度最好为 10-60°(30-50°更好)。

EL 层 51 形成在第三层间绝缘膜 50 上。EL 层 51 用作单层结构或复层结构。复层结构在照明效率方面更佳。通常,正空穴注入层/正空穴输运层/冷发光层/电子输运层以这种排列形成在像素电极上。另外,也可使用以正空穴输运层/冷发光层/电子输运层或以正空穴注入层/正空穴输运层/冷发光层/电子输运层/电子注入层顺序排列的结构。本发明中,可使用任一已知结构,以及可将冷发光着色材料等掺杂在 EL 层中。

例如,下列美国专利或出版物提出的材料可用作有机 EL 材料:美国专利号:4,356,429、4,539,507、4,720,432、4,769,292、4,885,211、4,950,950、5,059,861、5,047,687、5,073,446、5,059,862、5,061,617、

5,151,629、5,294,869、5,294,870, 和日本待公开专利号: 1998 年 189525、1996 年 241048、1996 年 78159、和“有机体结构分子体系中的光化学过程”, 437—450 页, “有机薄膜中的电致发光”, Tetsuo Tsutsui 等。

EL 显示器件主要有四种彩色显示方式: 形成对应于 R (红色)、G (绿色) 和 B (蓝色) 的三种 EL 元件的方法、结合白色冷发光和彩色滤光器 (着色层) 的方法、结合蓝色或蓝—绿冷发光的 EL 元件和荧光体 (荧光彩色转换层: CCM) 的方法、和对阴极 (负电极) 采用透明电极时相应于 RGB 堆积 EL 元件的方法。

图 2 的结构是一个采用了相应于 RGB 形成三种 EL 元件的方法的实例。图 2 中只表示了一个像素。实际上, 相应于红色、绿色和蓝色形成每个具有相同结构的像素, 并因此进行彩色显示。

本发明可不考虑冷发光的方法进行, 并可使用所有的四种方法。然而, 因为荧光体的响应速度低于 EL, 以及发生余辉的问题, 最好不使用荧光体的方法。另外, 可以说如有可能, 不宜使用造成冷发光亮度减弱的彩色过滤器。

EL 元件的阴极 52 放置在 EL 层 51 上。一种包括镁 (Mg)、锂 (Li) 或函数小的钙 (Ca) 的材料用作阴极 52。最好使用 MgAg (Mg 和 Ag 以 Mg: Ag=10: 1 比例混和的材料) 制成的电极。另外, 还可使用 MgAgAl 电极、LiAl 电极或 LiFAl 电极。

最好在 EL 层 51 形成后连续形成阴极 52 而不暴露于空气中。原因在于阴极 52 和 EL 层 51 之间的界面极大地影响 EL 元件的发光效率。在此特例中, 由像素电极 (阳极) 形成的冷光元件、EL 层和阴极被称为 EL 元件。

有必要形成每个像素包含 EL 层 51 和阴极 52 的层间体。然而, EL 层 51 对于水很脆弱, 且不能使用通常的光刻法技术。因此, 最好使用物理掩膜材料, 如金属掩膜, 并根据汽相方法选择形成, 例如真空沉积法、溅射法或等离子体 CVD 法。

也有可能使用喷墨法、丝网印刷法等等, 作为形成 EL 层的选择方法。然而, 这些方法在本技术的目前状态中不能连续形成阴极, 可以说除喷墨法等上述方法是最佳的。

标号 53 是保护电极。它保护阴极 52 以不接触外部水等，同时连接每个像素的阴极 52。为保护电极 53，最好使用包含铝 (Al)、铜 (Cu) 或银 (Ag) 的低阻抗材料。保护电极 53 可期望有冷却效应以降低对 EL 层的加热。它同样对保护电极的连续起作用而在 EL 层 51 和阴极 52 形成后没有暴露在空气中。

标号 54 是第二钝化膜，膜厚度最好为 10nm—1 μ m (最好为 200—500nm)。沉积第二钝化膜 54 的主要目的是为了不使 EL 层 51 接触水。它同样具有冷却效应。然而，如上所述，EL 层抗热较微弱，膜形成应在较低温度中进行 (最好从室温到 120℃ 的范围)。因此，可以说理想的膜形成方法是等离子体 CVD 法、溅射法、真空沉积法、离子电镀法或涂敷溶液法 (旋转涂敷法)。

不用说，图 2 中所示的所有 TFT 具有硅膜，其在本发明中用作有源层。

本发明的一个目的是形成 TFT，通过使用硅膜以显示高操作速度，其中硅膜具有独特的晶体结构：其中作为 TFT 有源层的晶粒边界的连续性较高且晶体朝向均匀，并因此有源矩阵型 EL 显示器件与驱动电路成一体进行操作时间分隔灰度显示。因此，本发明不限于图 2 的 EL 显示器件的结构，其中该结构正是一个最佳实施例。

使用本发明中采用的硅膜的 TFT 可表示高操作速度，并因此由如热载流子注入而易于导致品质降低。因此，如图 2 所示，根据像素中的功能可非常有效地形成具有不同结构的 TFT (在 OFF 状态用足够低的电流切换 TFT 并在热载流子注入中电流控制 TFT 较强)，以制造高可靠性的 EL 显示器件并进行极好的图象显示 (即，可显示高操作特性)。

实施例 1

将参考图 5 至 8 描述本发明的一个实施例。此处描述同时制造像素部分 TFT 和沿像素部分的驱动电路的方法。关于驱动电路，为简要描述，图中表示作为基本单元的 CMOS 电路。

首先，在图 5(A)中表示基膜 (未示出) 放置在表面的基片 501 在其中被制备。在本实施例中，一个厚度为 200nm 的氮化硅膜和另一个厚度为 100nm 的氮化硅膜被层压并在晶化玻璃中用作基膜。此时，与晶

化玻璃基片接触的膜的氮浓度最好保持在 10—25wt%。当然，有可能在石英基片上直接形成元件而不需要任何基膜。

此后，通过熟知的膜形成方法，厚度为 45nm 的非晶质的硅膜 502 形成在基片 501 上。对于非晶质的硅膜不需要限制。另外，在本实施例中可使用具有非晶质结构的半导体膜（包括微晶半导体膜）。此处还可使用具有非晶质结构的合成半导体膜，如非晶质硅锗膜。

关于由此及图 5 (C)的步骤，可以完全采用本申请人提交的日本待公开专利出版物 1998 年之 247735 号。该出版物公开了关于晶化一个半导体膜的方法，其中采用了一种元素，如 Ni 作为催化剂。

首先，形成具有开口 503a 和 503b 的保护膜 504。本实施例中采用 150nm 厚的氧化硅膜。包含镍 (Ni) 的层片 505 通过旋转法形成在保护膜 504 上。关于含 Ni 保护层的形成，可参考上述出版物。

此后，如图 5(B)所示，在惰性气体中进行 570℃加热 14 小时的过程，且非晶体硅膜 502 被晶化。此时，晶化处理实际上与基片相似，从与 Ni 接触的区域 506a 和 506b（以后特指 Ni 添加区域）开始。结果是，形成具有晶体结构的多晶硅膜 507，其中聚集条形晶体并形成线形。在此阶段已知对应于如图 19(A)所示的{1 1 0}方向的衍射点用电子束衍射照相可观察到。

此后，如图 5(C)所示，属于 15 族的元素（最好为磷）添加在 Ni 添加区 506a 和 506b 中，同时用保护膜 504 作为掩膜。因此形成磷以高浓度添加的区域 508a 和 508b（此后特指磷添加区域）。

此后，如图 5(C)所示，在惰性气体中进行 600℃加热 12 小时的过程。多晶硅膜 507 中的 Ni 通过此加热法被去除，并且几乎所有都最终被磷添加区域 508a 和 508b 如箭头所示俘获。这认为是通过磷使得金属元素（本实施例中为 Ni）的吸杂作用引起的现象。

通过此过程，根据 SIMS（二次离子质谱分析）测量值，残余在多晶硅膜 509 中的 Ni 浓度减少到至少 $2 \times 10^{17} \text{atoms/cm}^3$ 。虽然 Ni 在半导体用于降低寿命，但当降低到此范围时，对于 TFT 特性没有负面影响。另外，因为在本技术的现状中此浓度为 SIMS 分析的测量极限，将可看到在实际中甚至有更低的浓度（小于 $2 \times 10^{17} \text{atoms/cm}^3$ ）。

可因此通过催化剂晶化得到多晶硅膜 509 并降至催化剂不阻塞 TFT 的操作的水平。此后, 使用多晶硅膜 509 的有源层 510—513 只通过构图过程形成。此时, 采用上述多晶硅膜形成在下述构图中使掩膜对准的标记。(图 5(D))

此后, 如图 5(E)所示, 通过等离子体 CVD 法形成 50nm 厚的氧化硅膜, 然后在氧化气体中进行 950℃加热 1 小时的过程, 并进行热氧化过程。氧化气体可为氧气气体或其他掺杂卤素的氧气气体。

在此热氧化过程中, 在有源层和氮氧化硅膜之间的界面中进行氧化处理, 厚度为大约 15nm 的多晶硅膜被氧化, 以形成厚度大约为 30nm 的氧化硅膜。即, 形成厚度为 80nm 的栅极绝缘膜 514, 其中 30nm 厚的氧化硅膜和 50nm 厚的氮氧化硅膜层迭在一起。有源层 510—513 的膜厚度通过热氧化过程制成 30nm 厚。

此后, 如图 6(A)所示, 形成抗蚀剂掩膜 515, 掺杂通过栅极绝缘膜 514 的媒介得到 p 型的杂质元素(以后特指 p 型杂质元素)。作为 p 型杂质元素, 可采用代表性为属于 13 族的元素, 典型的为硼或镓。此法(称为沟道掺杂过程)为控制 TFT 阈值电压的过程。

在此实施例中, 通过离子掺杂法加入硼, 其中离子掺杂法为不进行乙硼烷(B_2H_6)质量分离的等离子体激发。当然, 可采用进行质量分离的离子植入法。根据此过程, 形成包括浓度为 $1 \times 10^{15} - 1 \times 10^{18} \text{ atoms/cm}^3$ (代表性的值为 $5 \times 10^{16} - 5 \times 10^{17} \text{ atoms/cm}^3$) 的硼杂质区域 516—518。

此后, 如图 6(B)所示形成抗蚀剂掩膜 519a 和 519b, 掺杂通过栅极绝缘膜 514 的媒介得到 n 型的杂质元素(以后特指 n 型杂质元素)。作为 n 型杂质元素, 可采用代表性为属于 15 族的元素, 典型的为磷或砷。在本实施例中, 采用不进行磷化氢(PH_3)质量分离的等离子体激发的等离子体掺杂法。磷以 $1 \times 10^{18} \text{ atoms/cm}^3$ 浓度加入。当然, 可采用进行质量分离的离子植入法。

调整剂量使得 n 型杂质元素包含在由此过程以 $2 \times 10^{16} - 5 \times 10^{19} \text{ atoms/cm}^3$ 浓度(代表性的值为 $5 \times 10^{17} - 5 \times 10^{18} \text{ atoms/cm}^3$)形成的 n 型杂质区域 520、521。

此后, 如图 6(C)所示, 对掺杂的 n 型杂质元素和掺杂的 p 型杂质元

素进行激活处理。不需要限制激活方法，但是，因为放置栅极绝缘膜 514，最好采用电热煅烧的煅烧退火处理。另外，最好在尽可能高的温度下进行热处理，因为有可能对图 6(A)过程中沟道形成区域部分的有源层和栅极绝缘膜之间的界面造成破坏。

因为具有高热阻的晶化玻璃用于本实施例，通过 800℃1 小时煅烧退火处理进行激活处理。在氧化气体中保持处理气体可进行热氧化，或在惰性气体中进行加热处理。然而，激活过程不是不可少的。

此过程明确了 n 型杂质区域 520、521 的边缘，即 n 型杂质区域 520、521 和沿 n 型杂质区域 520、521 的区域（由图 6(A)过程形成的 p 型杂质区域）之间的边界（接头），此处没有加入 n 型杂质元素。当 TFT 随后完成时，这意味着 LDD 区域和沟道形成区域可形成一个极好的接头。

此后，形成 200—400nm 厚的导电膜，并进行构图，以便形成栅电极 522—525。栅电极可由单层的导电膜制成，然而，必要时最好使用如两层或三层膜的层迭膜。已知的导电膜可用作栅电极材料。

具体地，可选择具有导电性的钽（Ta）、钛（Ti）、钼（Mo）、钨（W）、铬（Cr）和硅（Si）组成的族的元素制成膜；前述的元素的氮化物膜（有代表性的膜为氮化钽膜、氮化钨膜、氮化钛膜）；前述元素结合的合金膜（有代表性的膜为 Mo-W 合金或 Mo-Ta 合金）；或前述的元素的硅化物膜（有代表性的膜为硅化钨膜或硅化钛膜）。当然，它们可为单层结构或层迭结构。

在本实施例中，采用由 50nm 厚的氮化钨（WN）膜和 350nm 厚的钨（W）膜制成的层迭膜。这可通过溅射法形成。通过加入惰性气体，如 Xe 或 Ne，作为溅射气体，可阻止膜由于应力作用而脱落。

此时，形成栅电极 523、525 以分别迭置在 n 型杂质区域 520、521 上，并将栅极绝缘膜 514 夹在中间。迭置部分随后制成与栅电极重迭的 LDD 区域。根据图中的截面，可看到栅电极 524a 和 524b 分离，它们相互电连接。

此后，采用栅电极 522—525 作为掩膜，自动调节加入 n 型杂质元素（本实施例中为磷），如图 7(A)所示。此时，进行调节以便磷以 n

型杂质区域 520、521 浓度的 $1/2-1/10$ 浓度值(代表值为 $1/3-1/4$)加入到由此形成的杂质区域 526—532。浓度值最好为 $1 \times 10^{16} - 5 \times 10^{18} \text{atoms/cm}^3$ (典型值为 $3 \times 10^{17} - 3 \times 10^{18} \text{atoms/cm}^3$)。

此后,如图 7(B)所示,形成抗蚀剂掩膜 533a—533d 以覆盖栅电极,然后加入 n 型杂质元素(本实施例中为磷),并形成包括磷高浓度区的杂质区域 534—540。此处还应用采用磷化氢(PH_3)的离子掺杂法,并进行调节以便在这些区域磷浓度为 $1 \times 10^{20} - 1 \times 10^{21} \text{atoms/cm}^3$ (代表值为 $2 \times 10^{20} - 5 \times 10^{20} \text{atoms/cm}^3$)。

通过此过程形成 n 沟道型 TFT 的源极区域或漏极区域,并且开关 TFT 移开图 7(A)过程形成的 n 型杂质区域 529—531 的一部分。余下的区域对应于图 2 开关 TFT 的 LDD 区域 15a—15d。

此后,如图 7(C)所示,抗蚀剂掩膜 533a—533d 被去除,并形成新的抗蚀剂掩膜 541。然后加入 P 型杂质元素(本实施例中为硼),并形成包含高浓度硼的杂质区域 542、543。此处,根据采用乙硼烷(B_2H_6)的离子掺杂法,加入硼以得到 $3 \times 10^{20} - 3 \times 10^{21} \text{atoms/cm}^3$ (代表值为 $5 \times 10^{20} - 1 \times 10^{21} \text{atoms/cm}^3$)。

磷已以 $1 \times 10^{20} - 1 \times 10^{21} \text{atoms/cm}^3$ 浓度加入到杂质区 542、543 中。此处以至少三倍于磷的浓度加入硼。因此,预先形成的 n 型杂质区域完全转变为 p 型杂质区域。

此后,如图 7(D)所示,抗蚀剂掩膜 541 被去除,并形成第一层间绝缘膜 544。作为第一层间绝缘膜 544,采用包含硅的绝缘膜的以单层结构或堆栈结构形式作为结合。膜厚度最好为 $400\text{nm} - 1.5 \mu\text{m}$ 。在本实施例中,构造了 800nm 厚的氧化硅膜层积在 200nm 厚的氮化硅膜上的结构。

此后,以各浓度加入的 n 型或 p 型杂质元素被激活。煅烧退火法是理想的激活法。在本实施例中,在氮气体中电热煅烧以 550°C 进行 4 小时热处理。

在包含氢气 3—100%的气体中进一步以 $300 - 450^\circ\text{C}$ 进行 1—12 小时热处理以氢化处理。此过程是通过热激发氢以氢端接半导体膜的未配对键。作为氢化处理另一种方法,可进行等离子体氢化(采用通过等离

子体激活氢)。

在第一层间绝缘膜 544 的形成期间,可进行氢化处理。详细地说,形成 200nm 厚的氮氧化硅膜,并如上所述进行氢化处理,然后形成其余的 800nm 厚氧化硅膜。

此后,如图 8(A)所示,在第一层间绝缘膜 544 制造接触孔,并形成源极导线 545—548 和漏极导线 549—551。在本实施例中,形成带有三层结构的层间膜电极,其中在三层结构中根据溅射法连续形成 100nm 厚的 Ti 膜、300nm 厚的包含 Ti 的铝膜和 150nm 厚的 Ti 膜。当然,可采用其他导电膜。

此后,形成厚度为 50—500nm(代表值为 200—300nm)的第一钝化膜 552。在本实施例中,300nm 厚的氮氧化硅膜用作第一钝化膜 552。它可由氮化硅膜取代。

此时,在氮氧化硅膜形成之前,通过采用包括氢的气体如 H_2 或 NH_3 可有效进行等离子体处理。由此过程激发的氢加入到第一层间绝缘膜 544 上,并通过热处理,改进了第一钝化膜 552 的膜质量。此时,因为加入到第一层间绝缘膜 544 的氢扩散到较低浓度侧,有源层可被有效氢化。

此后,如图 8(B)所示,形成由有机树脂制成的第二层间绝缘膜 553。聚酰亚胺、聚丙烯纤维或 BCB(苯并环丁烯)可用于有机树脂。特别地,因为第二层间绝缘膜 553 要求拉平由 TFT 形成的高度差,聚丙烯膜在光滑度方面是极理想的。在本实施例中,形成 2.5 μm 厚的聚丙烯膜。

此后,形成由第二层间绝缘膜 553、第一钝化膜 552 和像素电极 554(阳极)制成的到达漏极导线 551 的接触孔。在本实施例中,形成 110nm 厚的氧化铟/锡(ITO)膜,并通过构图制成像素电极。可采用透明导电膜,其中 2-20%的氧化锌(ZnO)与氧化铟混和。该像素电极起 EL 元件阳极的作用。

此后,形成 500nm 厚包含硅的绝缘膜(本实施例中为氧化硅),然后在对应于像素电极 554 的位置形成开口,并形成第三层间绝缘膜 555。当开口形成时,有可能通过采用湿蚀刻法容易形成锥形侧壁。如

果开口的侧壁没有足够平滑的坡度，由高度差造成的 EL 层劣化将导致严重的问题。

此后，通过真空沉积法连续形成 EL 层 556 和阴极（MgAg 电极）557 而不暴露在空气中。EL 层 556 的膜厚度最好为 80—200nm（典型值为 100—200nm），阴极的膜厚度为 180—300 nm（典型值为 200—250nm）。

在此过程中，EL 层和阴极顺序形成一个对应于红色的像素、一个对应于绿色的像素和一个对应于蓝色的像素。然而，因为 EL 层对溶液的耐性较差，它们必须对每种色彩独立地形成而不采用光刻技术。因此，通过采用金属掩膜，除了理想的像素外最好隐蔽像素，并且对于理想的像素选择形成 EL 层。

详细地说，首先选择掩膜以隐蔽除了对应于红色的所有像素，并且由掩膜选择形成红色冷光的 EL 层和阴极。此后，选择掩膜以隐蔽除了对应于绿色的所有像素，并且由掩膜选择形成绿色冷光的 EL 层和阴极。此后，如上所述，选择掩膜以隐蔽除了对应于蓝色的所有像素，并且由掩膜选择形成蓝色冷光的 EL 层和阴极。在此情况中，不同的掩膜用于不同的色彩。另外，相同的掩膜可用于它们。最好进行处理而不破坏真空直到对所有的像素形成 EL 层和阴极。

一种已知的材料可用于 EL 层 556。考虑到驱动电压，最好为有机材料。例如，可形成包括正空穴注入层、正空穴输运层、冷光层和电子注入层的四层结构的 EL 层。在本实施例中 MgAg 电极用作 EL 元素阴极。已知的其他材料可替换它。

作为保护电极 558，使用大部分由铝组成的导电膜。根据真空沉积法，通过使用不同于当形成 EL 层和阴极时的掩膜的膜，可形成保护电极 558。在形成 EL 层和阴极之后，最好连续形成保护电极 558 而不使其暴露在空气中。

在最后阶段，把由氮化硅膜制成的第二钝化膜 559 做成 300nm 厚。实际上，保护电极 558 例如用于避免 EL 层进水。另外，EL 元件的可靠性还可以通过形成第二钝化膜 559 进一步提高。

结构如图 8 (C) 所示的有源矩阵型 EL 显示器件制作完成。实际上，

要想在如图(C)所示的制作完成时不暴露在空气中,该器件最好用高度不透气的保护膜(叠层膜、紫外线固化树脂膜)包装(密封)。在该情况下,EL层的可靠性(寿命)通过使惰性气体在外壳材料的内侧或通过把吸湿材料(如氧化钡)放入其中来提高。

通过包装提高空气密闭性之后,连接一个用于连接从元件的终端延伸或形成在基底上的电路与外部信号终端的连结器(柔性印刷电路:FPC),并结束制作。在本说明书中,EL显示器件被称作EL模块,由此可以完全市场化。

现在参见图11对本实施例中有源矩阵型EL显示器件的结构进行描述。本实施例的有源矩阵型EL显示器件由均形成在玻璃基底601上的像素部分602、栅极信号侧驱动电路603和数据信号侧驱动电路604组成。像素部分的开关TFT605是n沟道型TFT,并被设置在连接到栅极信号侧驱动电路603的栅极线606与连接到数据信号侧驱动电路604的源极线607的交叉处。开关TFT605的漏极连接到电路控制TFT608的栅极。

电路控制TFT608的源极连接到馈电线609,电路控制TFT608的漏极连接到EL元件610。把预定的电压施加到EL元件610的阴极。

作为外部伸出-输出端的FPC611配置有输入线612、613,用于把信号传递给驱动电路,还配置有一条连接到馈电线609的输入线614。

下面将参加图12(A)和12(B)对包括外壳材料的EL模块进行描述。需要时还采用在图11中所使用的标号。

在基底1200上形成一个像素部分1201,一个数据信号侧驱动电路1202和一个数据信号侧驱动电路1203。从每个驱动电路引出的各条输电线经输入线612—614和FPC611连接到外部设备。

此时,设置外壳材料1204以至少封闭像素部分,最好是像素部分和驱动电路。外壳材料1204做成具有一个凹面的形状,凹面的内尺寸大于EL元件的外尺寸,或做成一张纸的形状。外壳材料1204通过粘附层1205固定到基底1200,以便形成与基底1200一致的封闭空间。此时,EL元件处于完全封闭在闭合空间的状态并与外界空气完全隔绝。可以设置多种外壳材料1204。

外壳材料 1204 的质地最好是绝缘材料，如玻璃或聚酯。例如，有非晶玻璃（硅酸硼玻璃、石英等）、晶体玻璃、陶瓷玻璃、有机玻璃（丙烯酸酯，苯乙烯树脂，聚碳酸酯，环氧树脂等）或硅树脂。另外，也可以用石英陶瓷。如果粘附层 1205 是绝缘层，则还可以采用金属材料，如不锈钢合金。

至于粘附层 1205 的质地，可以使用环氧树脂、丙烯酸树脂等。另外，热凝树脂或光固树脂可以用作粘附层。但需要它们是最大限度地不透氧或水的材料。

外壳材料和基底 1200 之间的空隙 1206 中最好填充不活泼气体（氩、氖、氦或氮）。但并不局限于这些其它。惰性液体（例如以全氟烃烷为主的液体碳氟化合物）。如 1996 年的日本待审专利申请 78519 中描述的液体可以用作惰性液体。

在空隙 1206 中设置干燥剂也是有效的。1997 年的日本待审专利申请 148066 中描述的干燥剂可以用作干燥剂。典型的是氧化钡作为干燥剂。

如图 12 (B) 所示，象素部分具有多个象素，每个象素有单独隔离的 EL 元件。它们所有都有一个作为公共电极的保护电极 1207。在本实施例中，给出如下描述：最好连续地形成 EL 层、阴极（MgAg 电极）和不暴露于空气的保护电极。或者，如果 EL 层和阴极利用相同的掩膜形成，并且只通过另一掩膜形成保护电极，则可以实现图 12 (B) 所示的结构。

此时，EL 层和阴极可以只设置在象素部分，不需要设置在驱动电路上。当然，即使设置在驱动电路上也不会出现问题。但考虑到包含在 EL 层中的碱金属，它们不应设置在驱动电路上。

保护电极 1207 经连接线 1209 连接到标号 1208 所示区域中的输入线 1210，其中连接线 1209 由与象素电极相同的材料制成。输入线 1210 是一条把预定电压（地电势，在本实施例中是 0V）提供给保护电极 1207 的馈电线，并经导电糊状材料 1211 介质连接到 FPC 611。

下面参见图 13 对实现区域 1208 中的接触结构的制作步骤进行描述。

首先, 根据本实施例的过程得到图 8 (A) 的状态。此时, 除去基底 (图 12 (B) 中标号 1208 所示的区域) 边缘的第一层绝缘膜 544 和栅极绝缘膜 514, 并在其上形成输入线 1210。当然, 同时形成源极线和图 8 (A) 中的漏极线 (图 13 (A))。

之后, 当在图 (B) 中蚀刻第二层绝缘膜 553 和第一钝化膜 552 时, 除去标号 1301 所示的区域并形成一个开口 1302。然后形成输电线 1209 以覆盖开口 1302。当然连接线 1209 与图 8 (B) 中的像素电极 554 同时形成 (图 13 (B))。

在此状态下, 在像素部分中执行 EL 元件 (第三层绝缘膜、EL 层和阴极) 的形成过程。此时, 把第三层绝缘膜和 EL 元件设计成通过利用一个掩膜等不形成在图 13 所示的区域中。然后形成阴极 557, 并通过利用另一个掩膜形成保护电极 558。结果是保护电极 558 和输入线 1210 经连接线 1209 而电连结。然后设置第二钝化膜 559 并得到图 13 (C) 所示的状态。

通过上述步骤实现图 12 (B) 的标号 1208 所示区域的接触结构。输入线 1210 经外壳材料 1204 和基底 1200 之间的空隙 (注意: 此空隙被填充黏合剂。即需要黏合剂 1205 的厚度能充分地平整输入线的高度差) 连接到 FPC 611。在此描述输入线 1210。其它的输入线 612-614 也可以以同样的方式在外壳材料 1204 以下连接到 FPC 611。

实施例 2

此实施例在图 14 中示出了与图 1 (B) 结构不同的像素结构。

在此实施例中, 示于图 1 (B) 中的两个像素布置成关于馈电线 110 对称以供以地电势。即馈电线 110 制成对两个相邻的像素共用, 如图 14 所示, 并由此减少所需的电线数。不需要改变设置在像素中的 TFT 结构。

这种配置使得制造更均匀细小的像素部分并提高图象的质量成为可能。

另外, 馈电线 110 的公共结构使得扩展馈电线 110 的宽度但不降低图象的亮度成为可能, 因为馈电线 110 的线宽裕度增大。因此, 可以减小馈电线 110 电压降的影响, 并且从馈电线 110 提高的电压可以避免因

像素位置引起的变化。

根据实施例的制作布置很容易实现本实施例的结构。

实施例 3

在本实施例中，参见图 15 对具有不同于图 1 结构的像素部分的形成给予描述。可以遵循如实施例 1 中的相同步骤执行，直到用于形成第二层间绝缘膜 48。由第二层间绝缘膜 48 覆盖的开关 TFT 201 和电路控制 TFT 202 均有与图 1 相同的结构，因此在此省去描述。

在此实施例中，在第二层间绝缘膜 48 和第一钝化膜 47 中制作接孔并再形成像素电极 61。在本实施例中设置 200nm 厚的铝合金膜（包含 1%重量的钛的铝膜）作为像素电极 61。在是金属的条件下可以用任何金属作为像素电极。最好该金属有高反射性。

由硅氧化膜制成的第三层间绝缘膜 62 在其上形成 300nm 厚。然后形成 230nm 的 MgAg 电极作为阴极 63。并且如同 EL 层 64，以从下往上的顺序形成 20nm 厚的电子输运层、40nm 厚的发光层和 30nm 厚的正空穴输运层。需要形成 EL 层 64，以使得其图案稍大于阴极 63。这使得避免阴极 63 与稍后形成的阳极 65 短路成为可能。

此时，通过利用真空淀积机械的多腔法（也称作簇工具法）不暴露于空气地连续形成阴极 63 和 EL 层 64。更具体地说，首先在所有的像素上通过第一掩膜形成阴极 63，然后通过第二掩膜形成发红光的 EL 层。在精确控制并移动第二掩膜的同时相继形成发绿光的 EL 层和发蓝光的 EL 层。

当把响应于 RGB 的像素布置成一条带状时第二掩膜以与上述相同的方式简单地移动。但为了实现所谓的三角布局的像素结构，可以单独地用第三掩膜做发绿光的 EL 层以及用第四掩膜做发蓝光的 EL 层。

以这种方式形成 EL 层 64 之后，在其上形成 110nm 厚的阳极。阳极 65 由透明导电膜（在本实施例中，是一种在 ITO 中包含 10wt%的氧化锌的薄膜）制成。由此形成 EL 元件 206，并用实施例 1 中示出的材料形成第二钝化膜 66。最终完成一个如图 15 所示的像素的构造。

在本实施例的结构中，产生于每个像素中的蓝光照射在其上形成有 TFT 的基底的反面。因此，几乎像素中所有的区域，即形成 TFT 的区

域可以用作一个有效的发光区。其结果是像素的有效发光面积大大增加，并且图象的亮度或对比度（亮和暗之比）提高。

本实施例的结构可以自由地与实施例 1 和 2 中的任何一个结构结合。

实施例 4

在本实施例中，对实施例 1 中制造的有源矩阵型 EL 显示器件的像素结构的实例给予描述。图 16 用于描述。在图 16 中，图 1 或 2 中的标号适用于与图 1 或 2 对应的部分。

在图 16 中，标号 201 表示开关 TFT。它包括一个源极区 13，一个漏极区 14 和一个栅极线（也称作栅电极）106。标号 202 表示电流控制 TFT。它包括一个源极区 26，一个漏极区 27 和一个栅电极 30。控制电流 TFT 202 和像素电极 49 经过漏极线 32 电连接。点线 51 和 52 表示形成 EL 层 51 和阴极 52 的位置。EL 元件 203 由像素电极 49、EL 层 51 和阴极 52 构成。

此时，开关 TFT 201 的漏极线 22 通过电接触器 1601 与电流控制 TFT 202 的栅电极 30 电连接。栅电极 30 在与电流控制 TFT 202 的源极线 31 重叠的部分中形成一个电容存储器 112。源极线 31 与馈电线 110 连接。

本实施例中图 16 的结构绝非限制本发明，它只是一个优选实例。本发明的执行者可以恰当地判断在哪儿形成开关 TFT、电流控制 TFT 和电容存储器。本实施例可以通过自由地组合本实施例和实施例 1 至 3 的结构而实施。

实施例 5

在本实施例中，对有源矩阵型 EL 显示器件的像素结构不同于实施例的情况给予描述。具体地说，在图 17 中示出了栅极线材料由不同于图 16 中所示像素结构制成的实例。图 17 与图 16 的不同之处仅在于栅极线的结构。因此在此省去详细的描述。

在图 17 中，标号 71a 和 71b 分别是由氮化钨膜制成的栅电极和钨膜的层间膜，如同在实施例中的栅电极。如图 17 所示，它们可以设计成单独分开的图案或电连接的图案。形成时它们处于电势浮动状态。

至于栅电极 71a 和 71b 可以由另一种导电膜制成，如氮化钛膜和钛

膜形成的层间膜，或钼和钨的合金膜。但理想的情况是该导电膜是一种可加工性优良的膜，以便于形成一个宽度小于 $3\mu\text{m}$ 的细线。另外，还希望该膜不包含能扩散栅极绝缘膜并进入有源层的元素。

另一方面，对于栅极线 72，用一种电阻小于栅电极 71a 和 71b 的导电膜制成。有代表性的膜是一种大部分由铝组成的合金膜或一种大部分由铜组成的合金膜。栅极线 72 不需要有特别好的可加工性。另外，栅极线 72 不与有源层重叠，并因而不会导致任何麻烦，即使它包含很容易扩散绝缘膜的铝或铜也是如此。

当制作本实施例的结构时，实施例 1 的图 7 (D) 过程中，在第一层间绝缘膜 544 的形成之前执行激活步骤。这种情况下，在处于栅电极 71a 和 71b 被曝光的状态中进行热处理。但如果热处理在完全的惰性环境中进行，栅电极 71a 和 71b 将不被氧化，最好在含氧浓度等于或小于 1ppm 的惰性环境中进行。因此，不用担心电阻会因氧化而增大，或因用绝缘膜（氧化镁）覆盖而变得难于除去。

激活步骤之后，形成主要由铝或铜组成的导电膜。此时在栅电极 71a 和 71b 与栅极线 72 接触的地方确保良好的欧姆接触，因而可以把预定的栅极电压施加到栅电极 71a 和 71b。

当图象显示区域变大时本实施例的结构尤其有效。原因描述如下。

因为本实施例的 EL 显示器件通过把一帧分成多个子帧来进行驱动，所以施加到驱动电路上用于驱动象素部分的负载较大。为了减小此负载，希望尽可能地减小象素部分的负载（输电线电阻、寄生电容或 TFT 的写入电容）。

关于 TFT 写入电容，不会发生严重的问题，因为可以通过用于本发明中的硅膜实现具有极高操作性能的 TFT。关于加入到数据线或栅极线的寄生电容，大部分形成在输电线和形成于输电线上的 EL 元件的阴极（或保护电极）之间。但寄生电容几乎可以完全忽略，因为形成了与第二层间绝缘膜一样厚的 $1.5\text{-}2.5\mu\text{m}$ 的低介电常数的有机树脂膜。

由此看来，把本发明用到象素部分有较大面积的 EL 显示器件时的最大障碍是数据线和栅极线的线电阻。当然，可以通过把数据信号侧的驱动电路分成多个部分进行平行处理，或设置数据信号侧驱动电路和栅

极信号侧驱动电路，像素部分夹插其间，并从两侧发送信号，由此实际降低驱动电路的工作频率。但如果这样，仍会发生驱动电路占用面积增大的另一个问题。

因此，当执行本发明时，通过本实施例的结构尽可能地减小栅极线电阻非常有效。本实施例中的像素结构绝非限制本发明，它只是一个优选实例。本实施例可以通过自由地组合本实施例和实施例 1 至 3 的结构而实施。

实施例 6

在实施例 1 的图 2 所示结构中，使用设置在有源层和基底 11 之间的高冷却材料作为基膜 12 很有效。尤其是电路控制 TFT 有一个易于发热并由于较长时间地通过较大的电流而使自身发热产生劣化的问题。根据本实施例，基膜有一个冷效应，避免了 TFT 在这种情况下经受热劣化。

作为一种有冷却效应的透光材料，存在一种至少包含一种选自 B（硼）、C（碳）和 N（氮）的元素和至少一种选自包括 AL（铝）、Si（硅）和 P（磷）的元素。

例如，可以使用以氮化铝（ Al_xNy ）为代表的铝的氮化物，以碳化硅（ Si_xCy ）为代表的硅的碳化物，以氮化硅（ Si_xNy ）为代表的硅的氮化物，以氮化硼（ B_xNy ）为代表的硼的氮化物，以磷化硼（ B_xPy ）为代表的硼的磷化物。以氧化铝（ Al_xOy ）为代表的铝的氧化物透光型优越，并有 $20Wm^{-1}K^{-1}$ 的热导率。因此是一种理想的材料。在上述的透光材料中，x 和 y 是任意整数。

其他元素可以结合到上述化合物中。例如，还可以把氮加入到氧化铝中并利用由 AlN_xO_y 表示的氮氧化铝。这种材料不仅具有冷却效果，而且还有防止水或碱金属入侵的效果。在氮氧化铝中，x 和 y 是任意整数。

另外，可以用 1987 年的日本待审专利申请 90260 中描述的材料。具体地说，可以使用包含 Si, Al, N, O 和 M 的绝缘膜，其中 M 至少是一种稀有的难于还原的金属氧化物，最好是至少一种选自包括 Ce（铈）、Yb（镱）、Sm（钐）、Er（铒）、Y（钇）、La（镧）、Gd（钆）、Dy（镝）和 Nd（钕）的元素。这些材料不仅具有冷却效果，而且还有

防止水或碱金属入侵的效果。

另外，可以使用一种至少包括金刚石薄膜或非晶碳膜（尤其是接近金刚石特性的膜，称作类金刚石薄膜）。这些膜具有极高的导热性，并且作为热辐射层非常有效。但这些膜有灰色的颜色，并随着膜厚的增加透射率减小，因此应做得尽可能地薄。（最好 5—100nm）。

可以把具有冷却效果的材料薄膜用作单层膜，或者可使用这些薄膜和包含硅的绝缘膜叠加的层间膜。

本实施例的结构可以与实施例 1 至 5 的任意一种结构自由组合。

实施例 7

在实施例 1 中，最好把有机 EL 材料用作 EL 层。但本发明也可以通过利用无机 EL 材料进行。在这种情况下，因为当前的无机 EL 材料有极高的驱动电压，所以使用的 TFT 必须有能够抵抗这种驱动电压的耐压特性。

如果将来发展了能有很低驱动电压的无机 EL 材料，则这种材料也可以用到本发明中。

本实施例的结构可以与实施例 1 至 6 的任意一种结构自由组合。

实施例 8

通过执行本发明形成的有源矩阵型 EL 显示器件（EL 模块）因其自发光特性而在明亮地方的可视性优于液晶显示器。因此，本发明可以用作直接观察型 EL 显示器（表示一种配备有 EL 模块的显示器）的显示部分。作为 EL 显示器，有个人电脑监视器，TV 接收监视器，广告显示监视器等等。

本发明可以用作所有包括显示器这一组成部分的电子设备、包括 EL 显示器的显示部分。

作为电子设备，有 EL 显示器、摄像机、数字摄像机、头戴式显示器、汽车导航器、个人电脑、个人数字助理（移动式计算机、便携式电话、电子书籍等）和配置有记录媒介的图象再现器（尤其是能够再现记录媒质并显示图象的器件，如密集盘（CD），激光唱盘（LD）、或数字视盘（DVD））。电子设备的例子示于图 18。

图 18 (A) 表示一台个人电脑，它包括一个主机 2101，显示板 2102，

机壳 2002, 显示部分 2003 和键盘 2004。本发明可用作显示部分 2003。

图 18(B)表示一种摄像机,它包括一个主体 2101,一个显示板 2102,声音输入部分 2103,操作开关 2104,电池 2105 和图象接收部分 2106。本发明可以用作显示板 2102。

图 18(C)表示头戴式 EL 显示器的一部分(右侧),它包括一个主体 2301,信号电缆 2302,头固定带 2303,显示监视器 2304,光学系统 2305 和显示器件 2306。本发明可用作显示器件 2306。

图 18(D)表示一种配置有记录媒体的图象再现器(尤其是 DVD 播放器),包括一个主体 2401,记录媒介 2402(CD,LD,DVD)等,操作开关 2403,显示板(a) 2404 和显示板(b) 2405。显示板(a)主要显示图象信息,显示板(b)主要显示字符信息。本发明可用作显示板(a)和(b)。本发明可用于 CD 播放器或游戏机,作为一个配备有记录介质的图象再现器。

图 18(E)表示一个便携式(移动式)计算机,它包括一个主体 2501,摄像机 2502,图象接收部分 2503,操作开关 2504 和显示部分 2505。本发明可用作显示部分 2505。

如果将来增强了 EL 材料的照明亮度,本发明也可用于前投或背投式投影仪。

本发明有很宽的应用范围,如上所述,可用于所有领域的电子设备。本实施例的电子设备可通过实施例 1 至 7 自由组合所得的结构实现。

实施例 9

图 20(A)和 20(B)的照片涉及本发明的 EL 显示器件,具体地说,它们表示通过本发明的时分灰度法所显示的图象。图 20(A)的采用 Alq_3 (三-8-喹啉醇-铝混合物)作为发光层,它是一种低分子有机材料图 20(B)的使用 PPV(聚对苯-撑亚乙烯)作为发光层,它是一种发光层。图 20(A)和图 20(B)的 EL 显示器件的指标列于下表。

表 1

显示尺寸	对角 7 英寸
像素数目	640×480
像素距离	22.5 μ m
灰度	64(6 比特)
孔径比率	38%
源驱动电路操作时钟频率	12.5MHz
栅驱动电路操作时钟频率	232kHz
驱动电路电压	9V
显示区电压	7V
占空比	62.5%
色彩	单色

根据本发明，可以获得能够执行清晰的多灰度显示但不影响 TFT 的可变特性的有源矩阵型 EL 显示器件。另外，通过形成一种带有用于本发明的硅膜的有源层而制得具有极高的操作性能的 TFT，并且可以由有源矩阵型 EL 显示器件更有效地执行时分灰度显示。另外，通过实现这种灰度显示除去电流控制 TFT 的可变特性导致的灰度不足，并可得到颜色再现性优良的高清晰度图象。

另外，形成在基底上的 TFT 自身也通过根据电路或元件所需的性能布置最佳结构的 TFT 来实现具有高度可靠性的有源矩阵型 EL 显示器件。

因此，可以通过把这种有源矩阵型 EL 显示器件装配成一个显示部分（显示板）来制造具有高度可靠性和高图象质量的性能优良的电子设备。

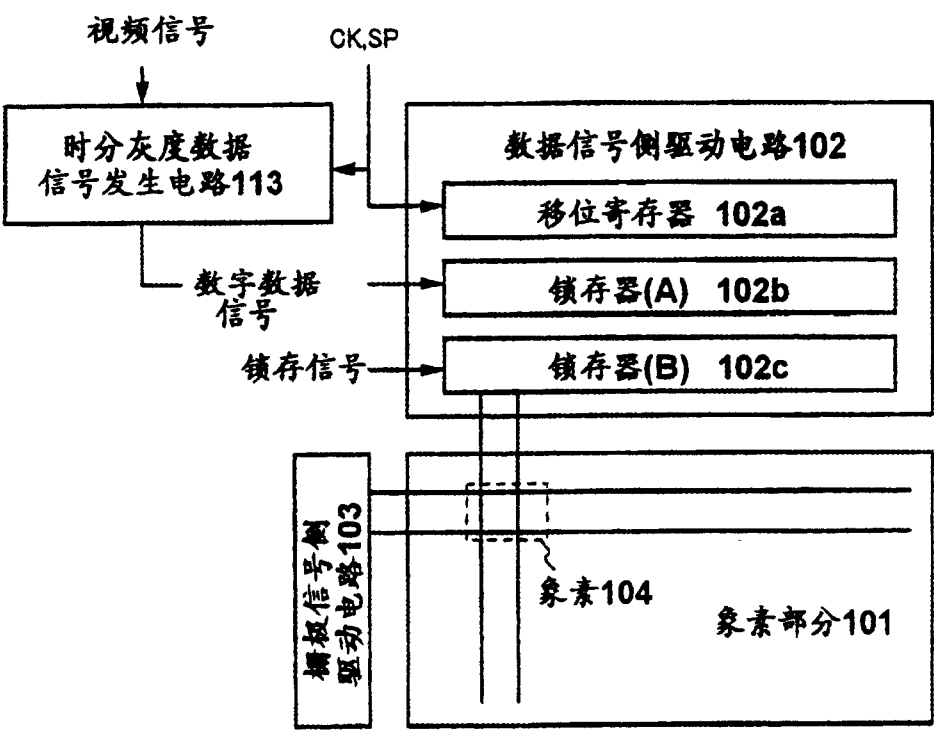


图 1A

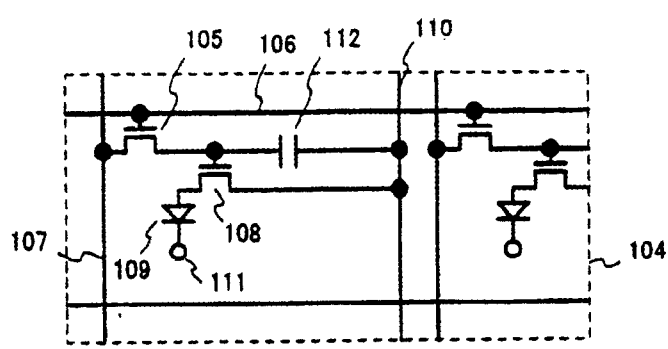


图 1B

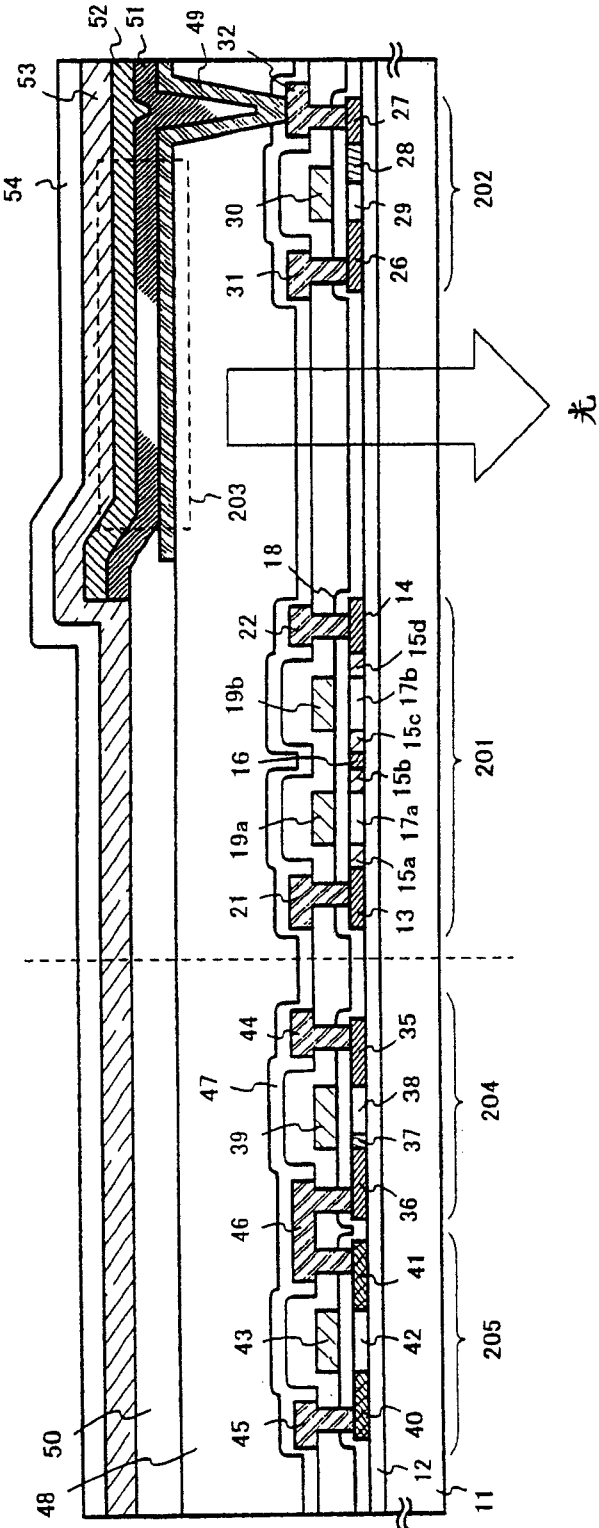


图 2

图 3
(现有技术)

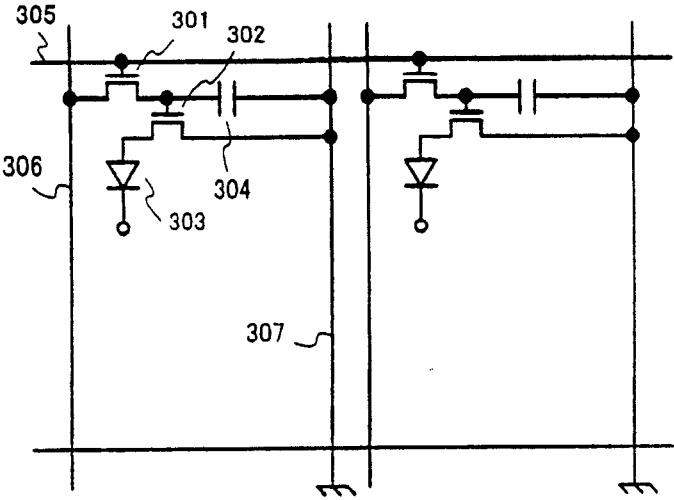


图 4A

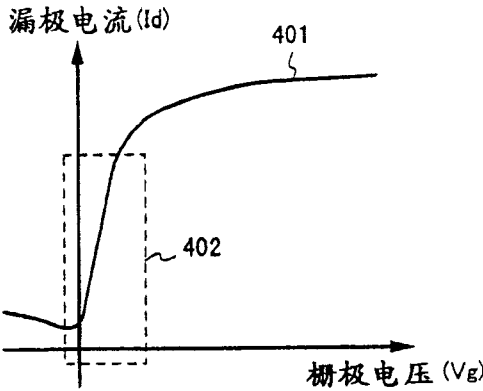
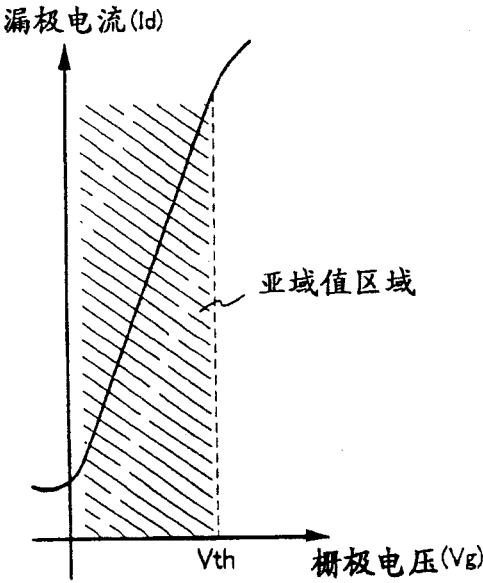
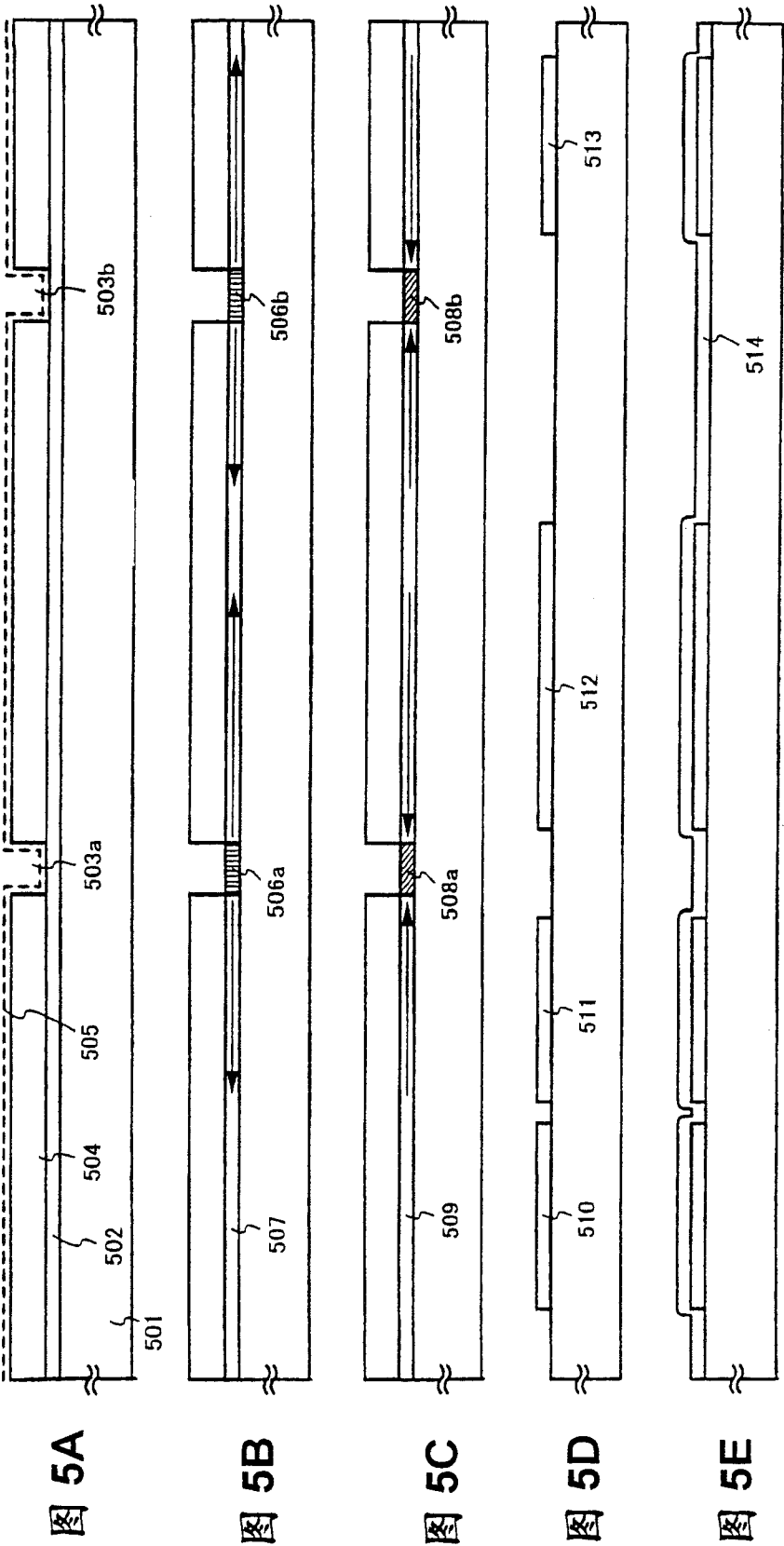


图 4B





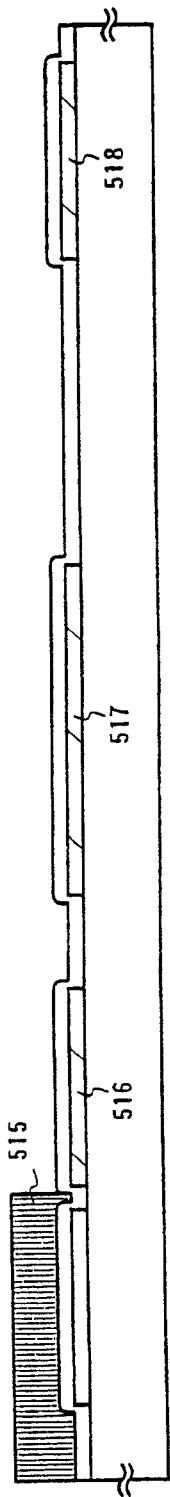


图 6A

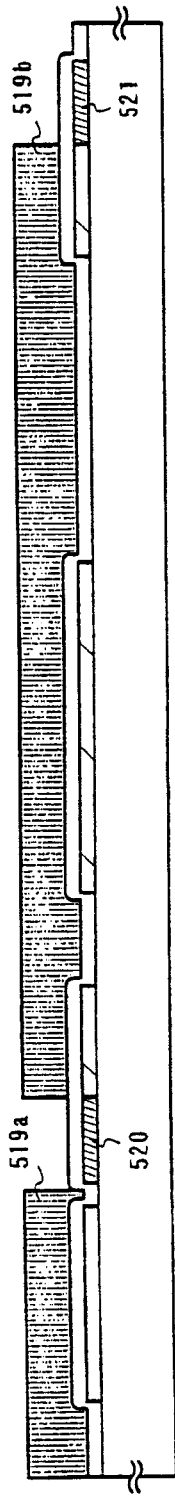


图 6B

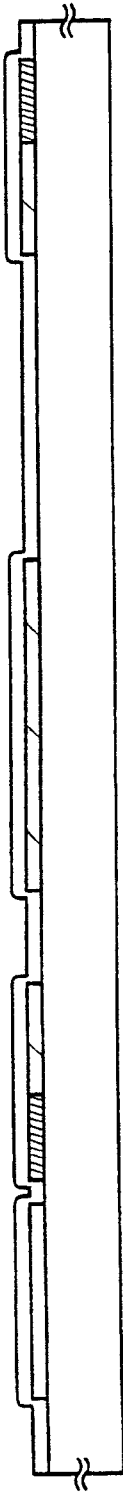


图 6C

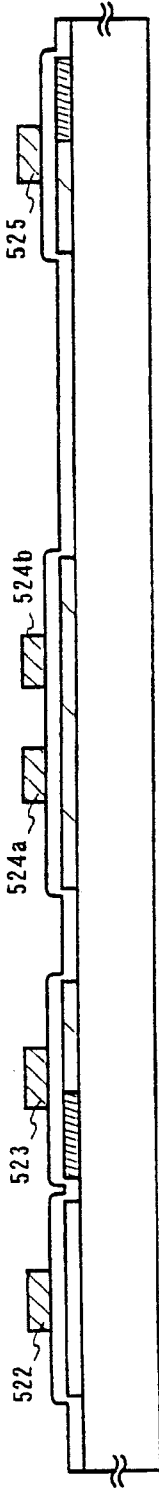


图 6D

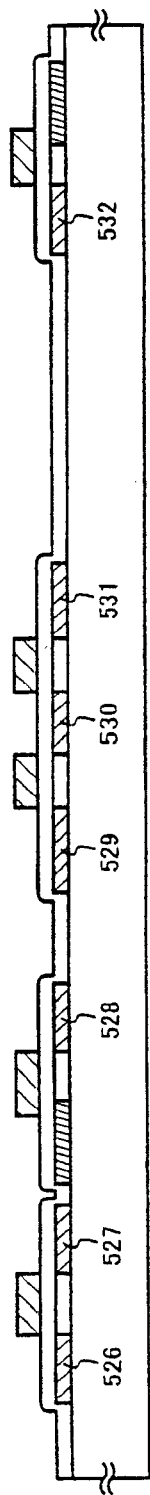


图 7A

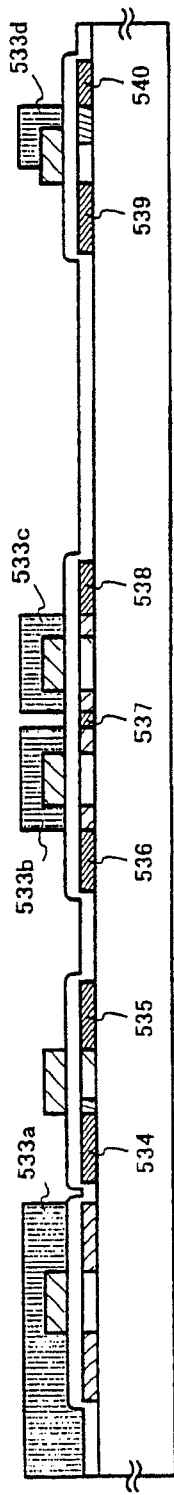


图 7B

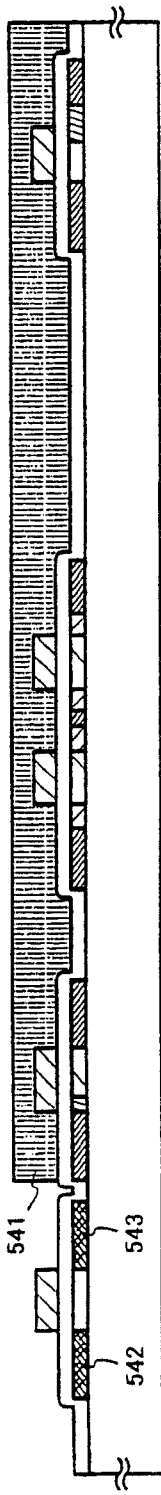


图 7C

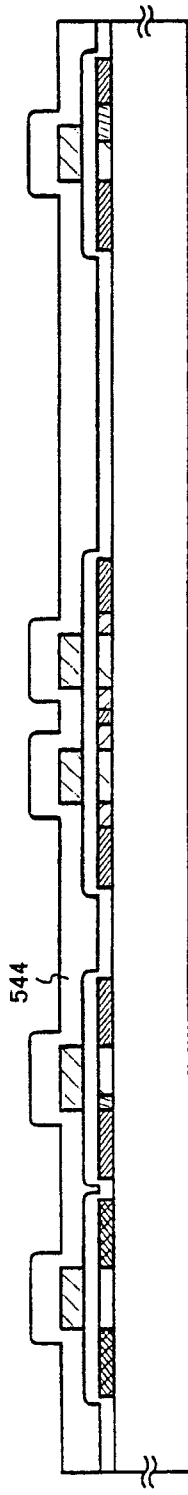


图 7D

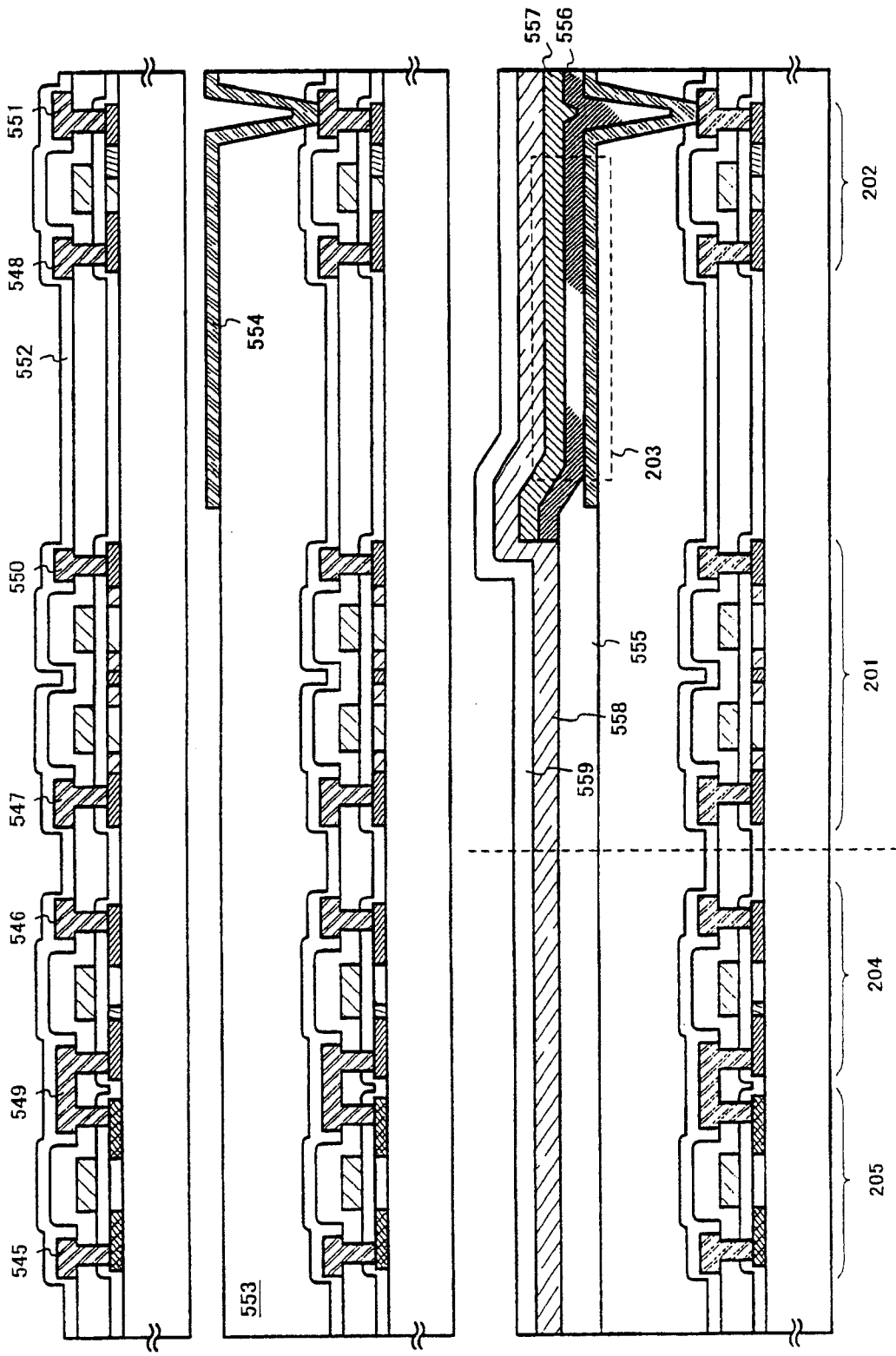


图 8A

图 8B

图 8C

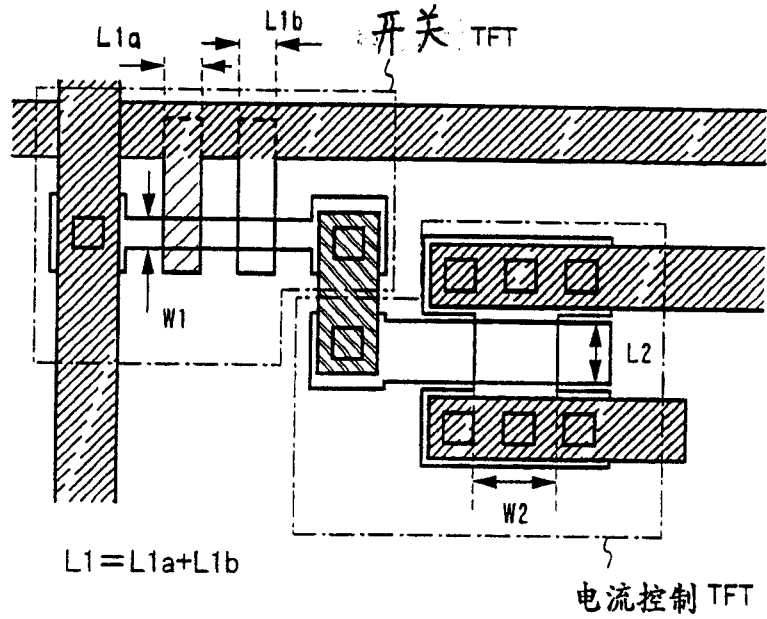


图 9

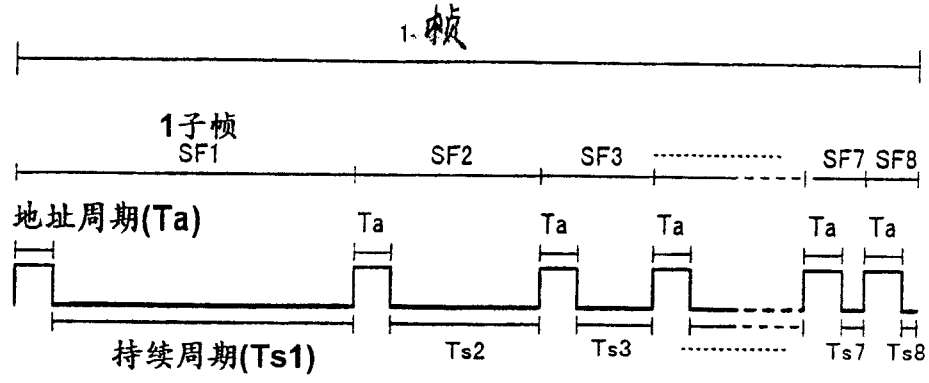


图 10

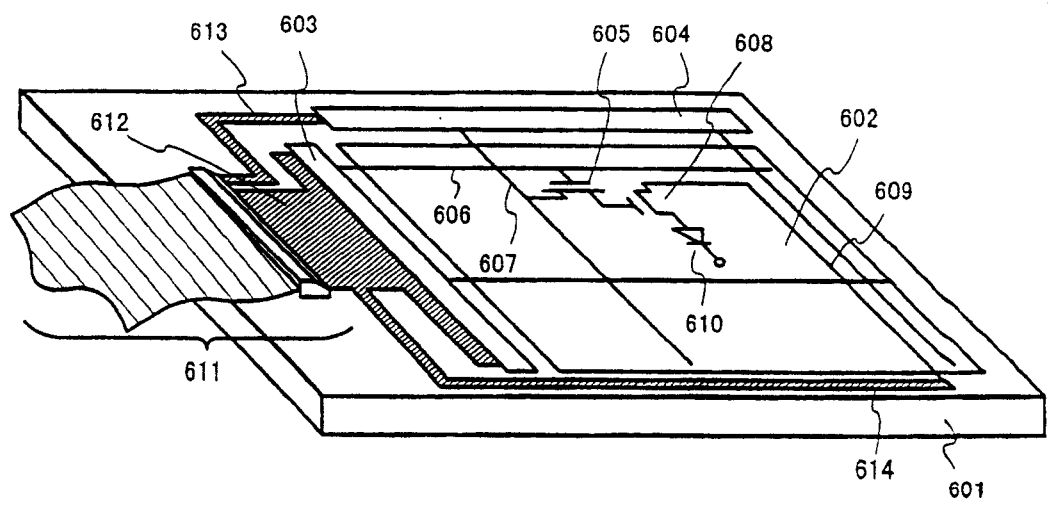


图 11

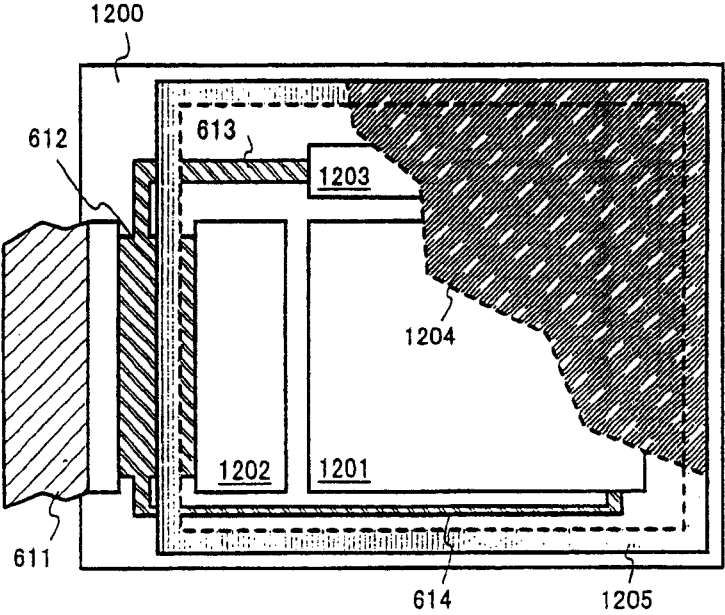


图 12A

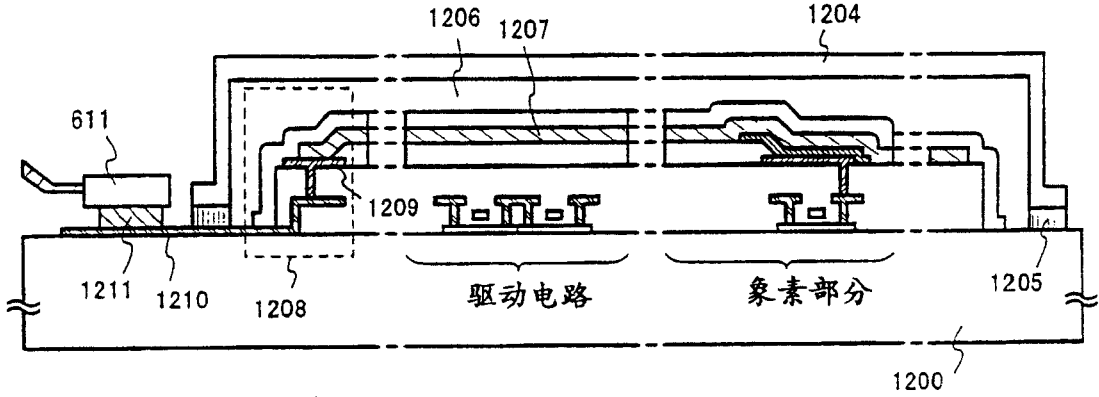


图 12B

图 13A

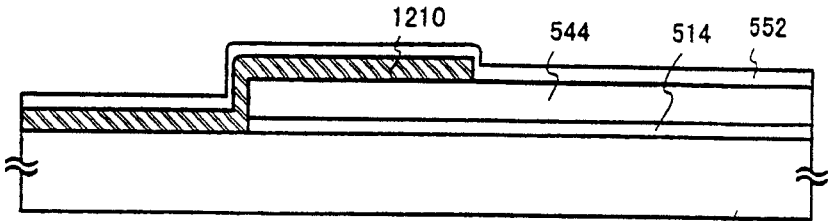


图 13B

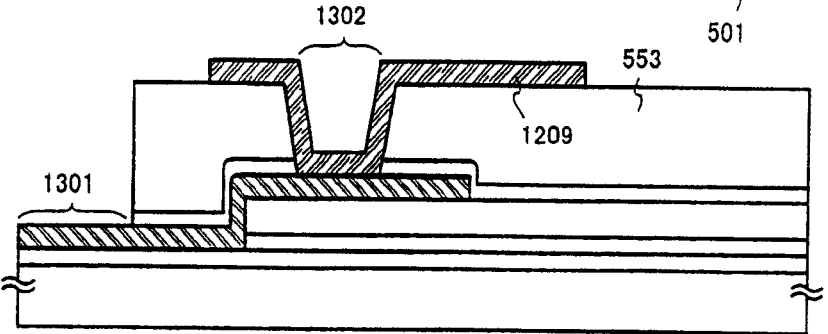


图 13C

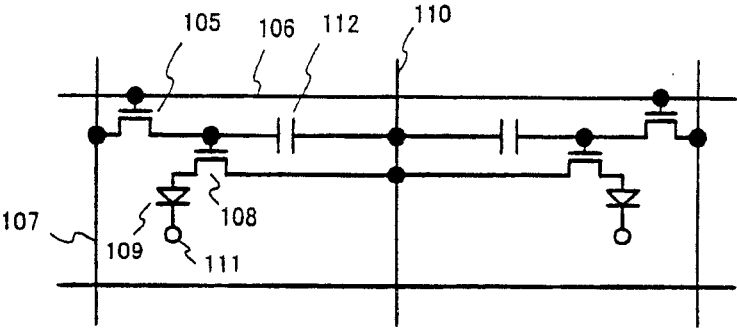
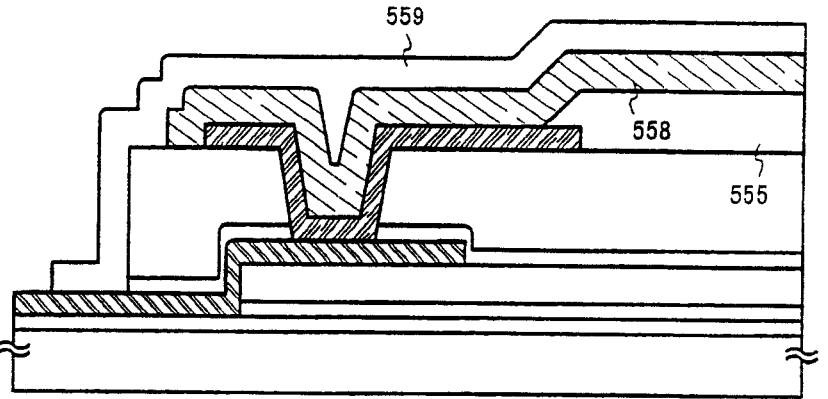


图 14

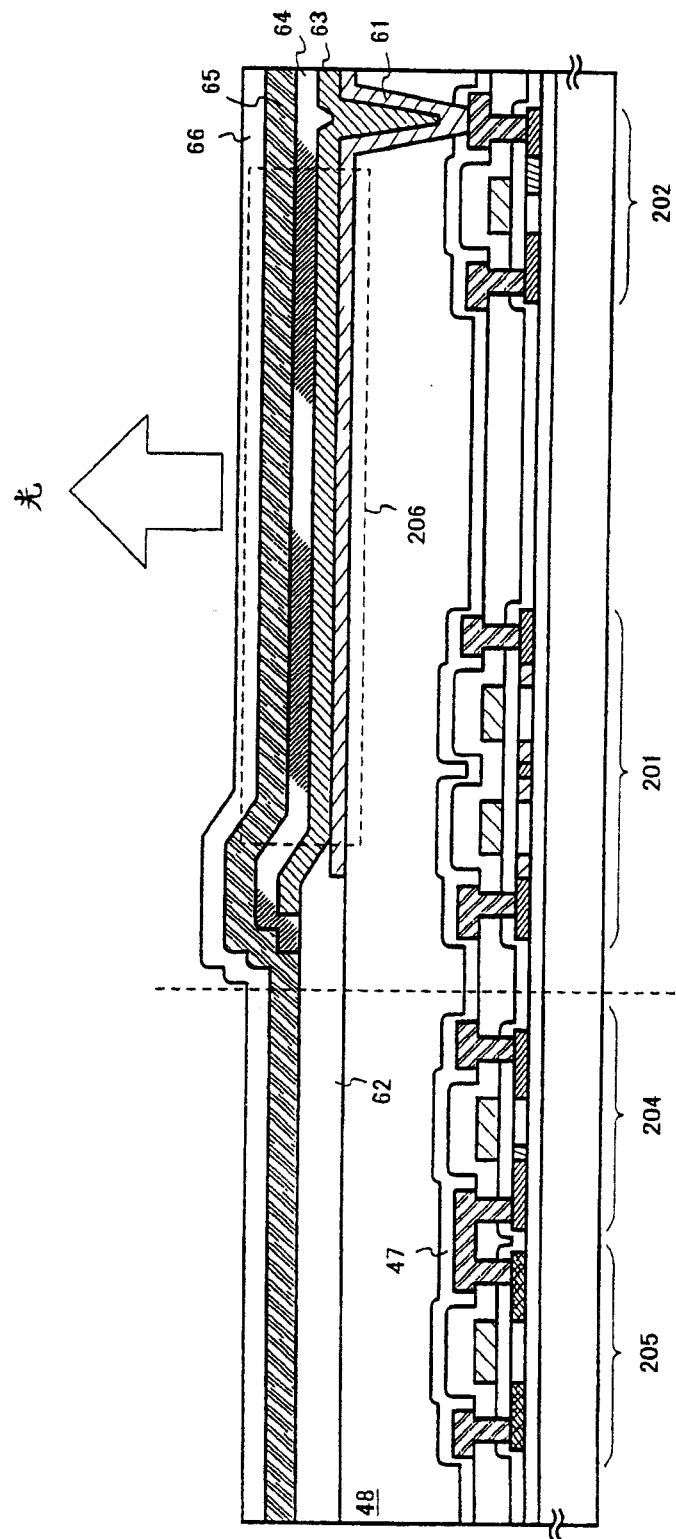


图 15

图 16

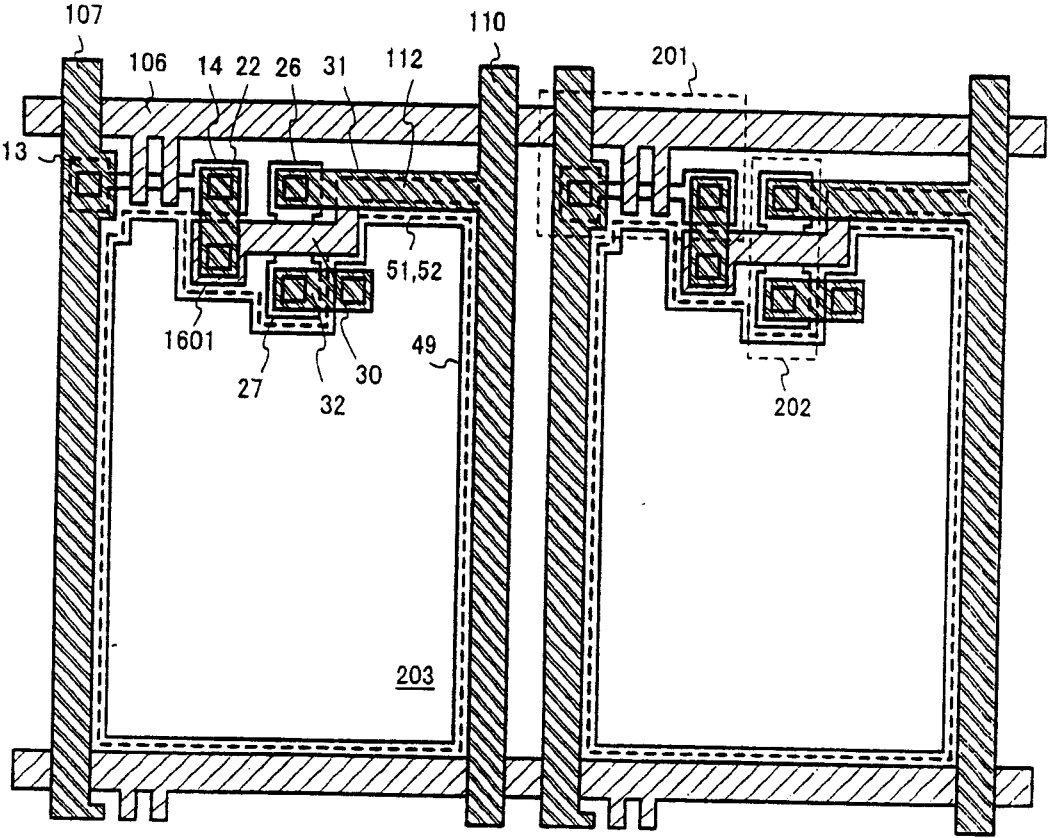
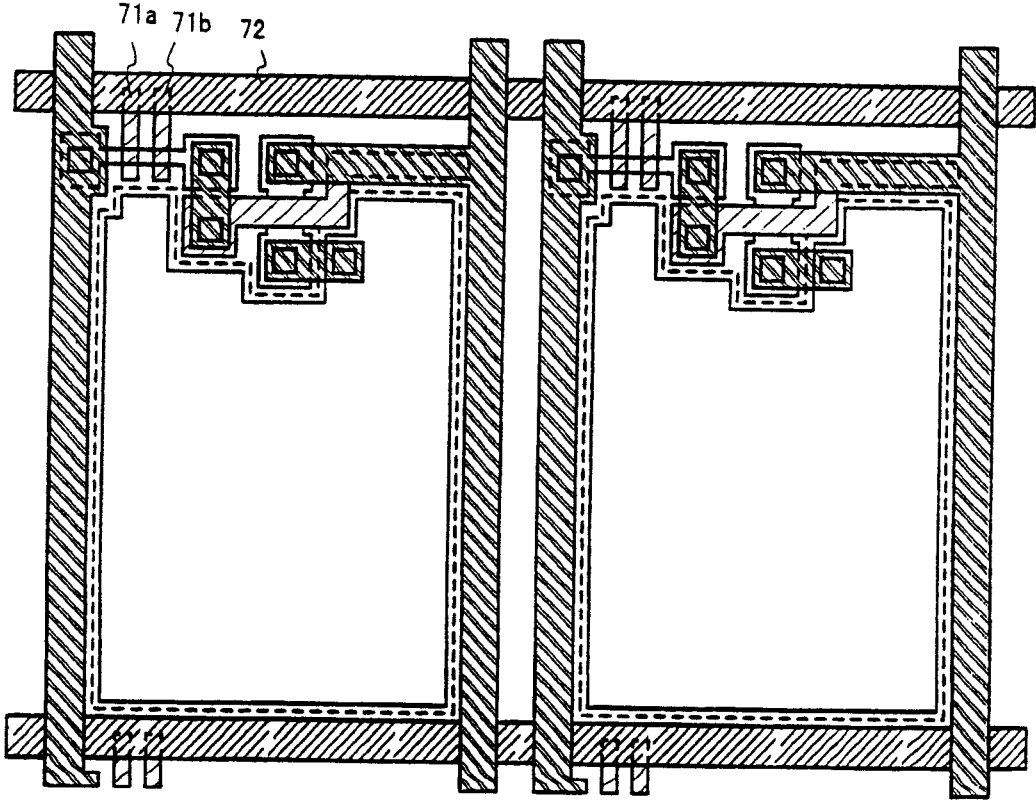


图 17



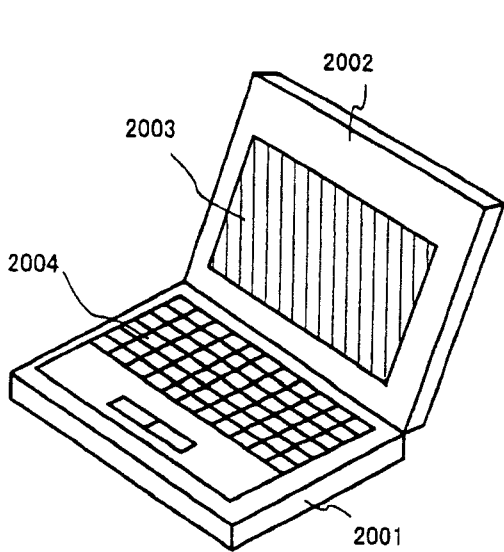


图 18A

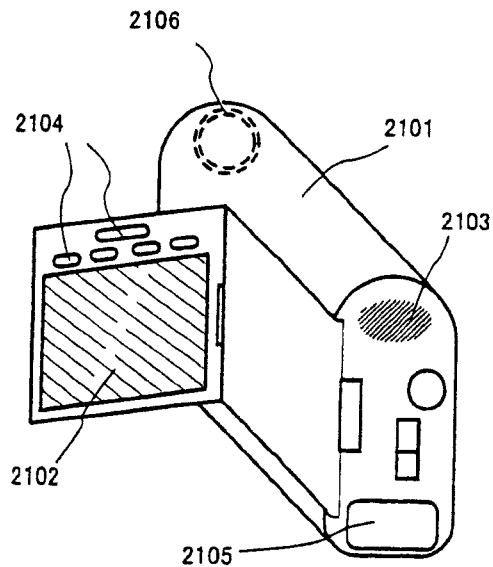


图 18B

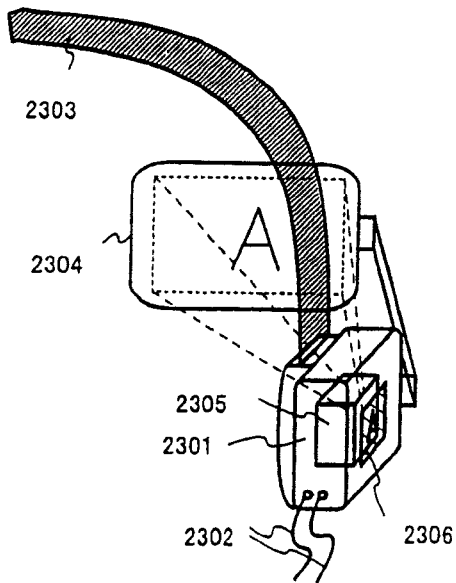


图 18C

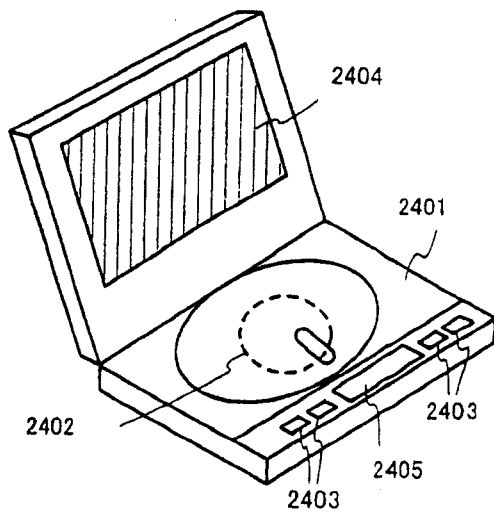


图 18D

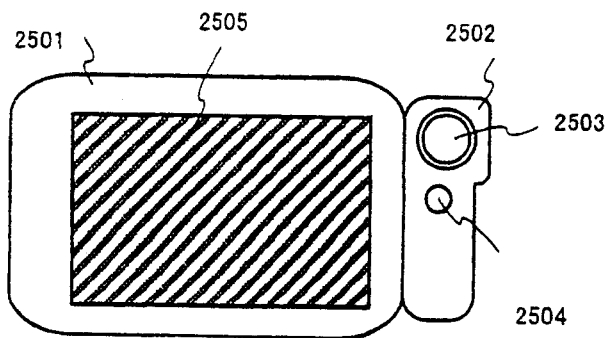


图 18E

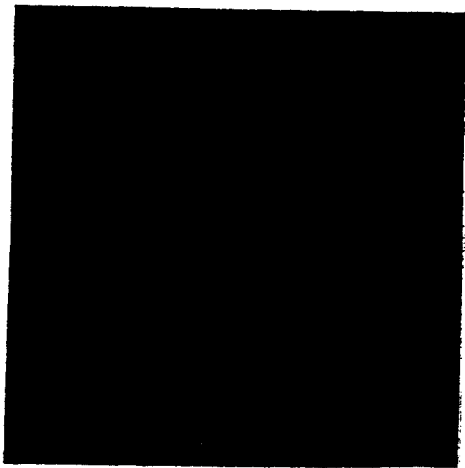


图 19A

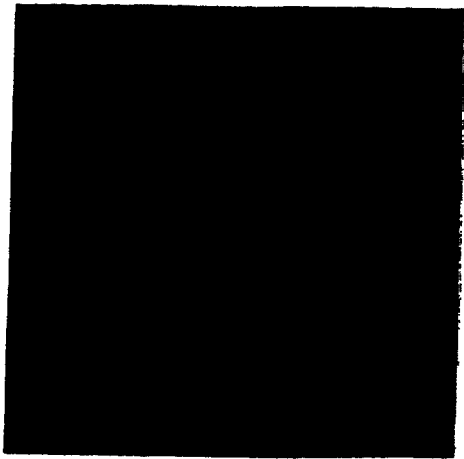


图 19B

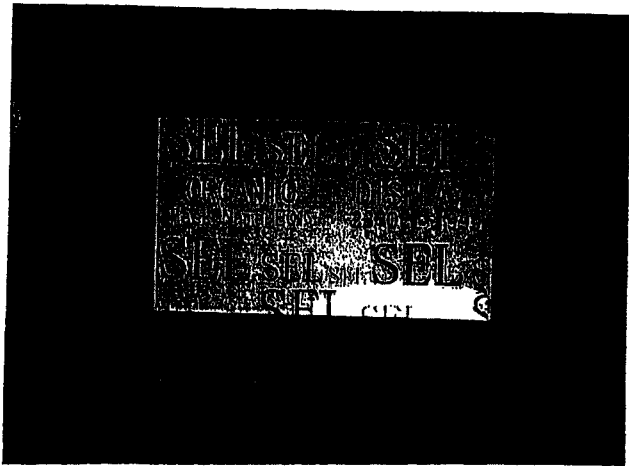


图 20A

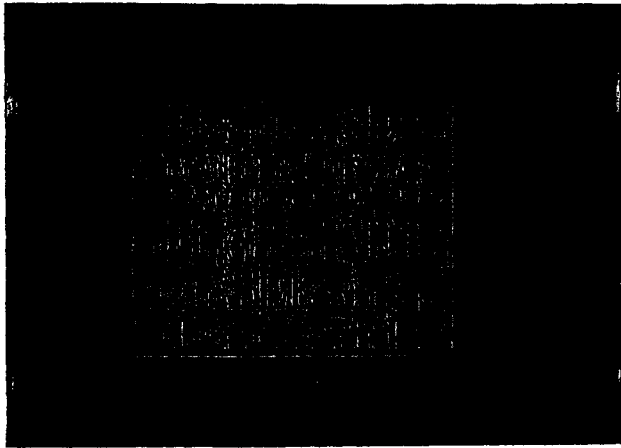


图 20B