



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

233 821

(11) (B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 29 03 83  
(21) (PV 2165-83)

(51) Int. Cl.<sup>3</sup> H 03 K 19/20

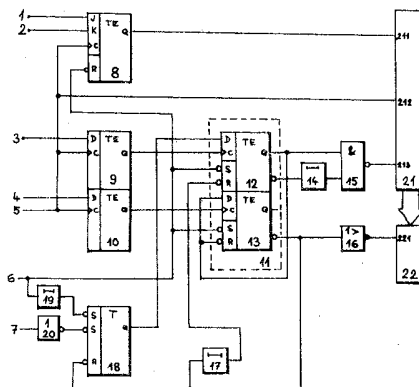
(40) Zveřejněno 13 08 84  
(45) Vydáno 01 07 86

(75)

Autor vynálezu ZOUNEK JAN ing., BRNO

(54) Zapojení řídicí logiky příznakového analyzátoru

Zapojení umožňuje přesnější a jednodušší řízení a použití jednodušších integrovaných obvodů v navazujících částech. Celá řídicí logika sestává z přijímacích klopných obvodů dat, startu a stopu, stavového registru složeného ze dvou klopných obvodů typu D a klopného obvodu typu RS pro funkci jednorázového měření, tří pomocných zpožďovacích RC členů, hradla pro výstup signálu RESET, výkonového invertoru pro výstup signálu STROBE a invertoru pro vstup signálu HOLD.



Vynález se týká zapojení řídicí logiky příznakového analyzátoru, umožňující přesnější a jednodušší řízení a použití jednodušších integrovaných obvodů v navazujících částech.

Dosavadní řešení příznakového analyzátoru využívají hradlování hodinového signálu pro generátor cyklické kontroly. Nevýhodou dosud používaného způsobu řešení jsou obtíže s dodržením přesného časování přenosu dat ze vstupu až do generátoru cyklické kontroly. Paměť zobrazovače dosavadního řešení musí být sestavena ze složitějších klopných obvodů, spouštěných hranou řídicího signálu.

Tyto dosavadní nevýhody odstraňuje zapojení řídicí logiky příznakového analyzátoru podle vynálezu.

Podstatou vynálezu je, že vstup DATA H je spojen se synchronním nastavovacím vstupem JK klopného obvodu dat, jehož výstup je spojen se vstupem DATA generátoru cyklické kontroly, vstup DATA L je spojen se synchronním nulovacím vstupem JK klopného obvodu dat, vstup START je spojen s datovým vstupem D klopného obvodu startu, jehož výstup je spojen s hodinovým vstupem prvního D klopného obvodu stavového registru, vstup STOP je spojen s datovým vstupem D klopného obvodu stopu, jehož výstup je spojen s hodinovým vstupem druhého D klopného obvodu stavového registru, vstup CLOCK je spojen jednak s hodinovým vstupem JK klopného obvodu dat, D klopného obvodu startu a D klopného obvodu stopu a jednak se vstupem CLOCK generátoru cyklické kontroly, vstup  $\overline{\text{NUL}}$  je spojen s nastavovacím vstupem prvního a druhého D klopného obvodu stavového registru a nulovacím vstupem JK klopného obvodu dat a současně přes třetí zpožďovací RC člen s prvním nastavovacím vstupem RS klopného obvodu, jehož výstup je spojen s datovým vstupem prvního D klopného obvodu, vstup  $\overline{\text{HOLD}}$  je spojen přes invertor s druhým nastavovacím vstupem RS klopného obvodu, přitom výstup prvního D klopného obvodu je

spojen jednak s nulovacím a datovým vstupem druhého klopného obvodu a jednak přes hradlo NAND se vstupem RESET generátoru cyklické kontroly, zatímco inverzní výstup prvního D klopného obvodu je spojen přes první zpožďovací obvod s hradlem NAND, přičemž inverzní výstup druhého D klopného obvodu je spojen jednak přes výkonový invertor se vstupem STROBE paměti zobrazovače, jednak s nulovacím vstupem RS klopného obvodu a jednak přes druhý zpožďovací RC obvod s nulovacím vstupem prvního D klopného obvodu.

Hlavní předností vynálezu je možnost, při současném obvodovém zjednodušení, přivést společný hodinový signál na všechny klopné obvody řídicí logiky i na generátor cyklické kontroly bez hradlování, čímž se zpřesní časování a zvýší mezní kmitočet příznakového analyzátoru. V paměti zobrazovače lze použít jednodušší klopné obvody, spouštěné úrovní H řídicího signálu.

Vynález blíže objasní přiložené výkresy, kde na obr. 1 je uvedeno blokové schéma zapojení řídicí logiky příznakového analyzátoru a na obr. 2 je časový diagram signálů.

Vstup 1 DATA H je propojen se synchronním vstupem J JK klopného obvodu 8 dat, jehož výstup Q je spojen se vstupem 211 DATA generátoru 21 cyklické kontroly. Vstup 2 DATA L je připojen k synchronnímu nulovacímu vstupu K JK klopného obvodu 8 dat. Vstup 3 START je spojen s datovým vstupem D D klopného obvodu 9 startu, jehož výstup Q je spojen s hodinovým vstupem C prvního D klopného obvodu 12 stavového registru 11. Vstup 4 STOP je spojen s datovým vstupem D D klopného obvodu 10 stopu, jehož výstup Q je spojen s hodinovým vstupem C druhého D klopného obvodu 13. Vstup 5 CLOCK je spojen se společným bodem hodinových vstupů C JK klopného obvodu 8 dat, D klopného obvodu 9 startu, D klopného obvodu 10 stopu a vstupu 212 CLOCK generátoru 21 cyklické kontroly. Vstup 6 NUL je spojen s nastavovacím vstupem S prvního a druhého D klopného obvodu 12 a 13 a nulovacím vstupem R JK klopného obvodu 8 dat a současně přes třetí zpožďovací RC člen 19 s prvním nastavovacím vstupem S RS klopného obvodu 18, jehož výstup Q je spojen s datovým vstupem D prvního D klopného obvodu 12. Vstup 7 HOLD je připojen přes invertor 20 ke druhému nastavovacímu vstupu S RS klopného obvodu 18. Výstup Q prvního D klopného obvodu 12 je spojen s nulovacím a datovým vstupem R, D druhého D klopného obvodu 13 a současně přes hradlo 15 NAND se vstupem 213 RESET generátoru 21 cyklické kontroly.

Mezi inverzní výstup  $\bar{Q}$  prvního D klopného obvodu 12 a hradlo 15 NAND je vřazen první zpožďovací RC obvod 14. Inverzní výstup  $\bar{Q}$  druhého D klopného obvodu 13 je spojen jednak přes výkonový invertor 16 se vstupem 221 STROBE paměti 22 zobrazovače, jednak s nulovacím vstupem  $\bar{R}$  RS klopného obvodu 18 a jednak přes druhý zpožďovací obvod 17 s nulovacím vstupem  $\bar{R}$  prvního klopného obvodu 12.

Časové průběhy signálů 03, 04, 05, 06, 07, 0213, 0221 na vstupech 3, 4, 5, 6, 7, 213, 221 jsou znázorněny na obr. 2. Funkce řídicí logiky příznakového analyzátoru podle vynálezu je následující. Vždy na náběžné hraně signálu 05 CLOCK se snímá stav signálů 01 a 02 DAT, 03 START a 04 STOP. JK klopný obvod 8 dat zpozdí data o jeden hodinový cyklus, čímž se vytvoří časový prostor pro zpracování signálů 03 START a 04 STOP. Tento prostor umožní v datovém kanálu zpracovat již bit současný s náběžnou hranou signálu 03 START. Výstupy  $Q$  D klopného obvodu 9 startu a 10 stopu řídí stavový registr 11 tvořený prvním a druhým D klopným obvodem 12 a 13 tak, že v počátečním stavu  $\langle 0101 \rangle$  (pořadí  $Q_{12}$ ,  $\bar{Q}_{12}$ ,  $Q_{13}$ ,  $\bar{Q}_{13}$ ) čeká stavový registr 11 na náběžnou hranu signálu 09 na výstupu  $Q$  D klopného obvodu 9 startu. Jakékoliv změny signálu 04 STOP neovlivní stavový registr 11, neboť na datovém vstupu  $\bar{D}$  druhého D klopného obvodu 13 je úroveň L.

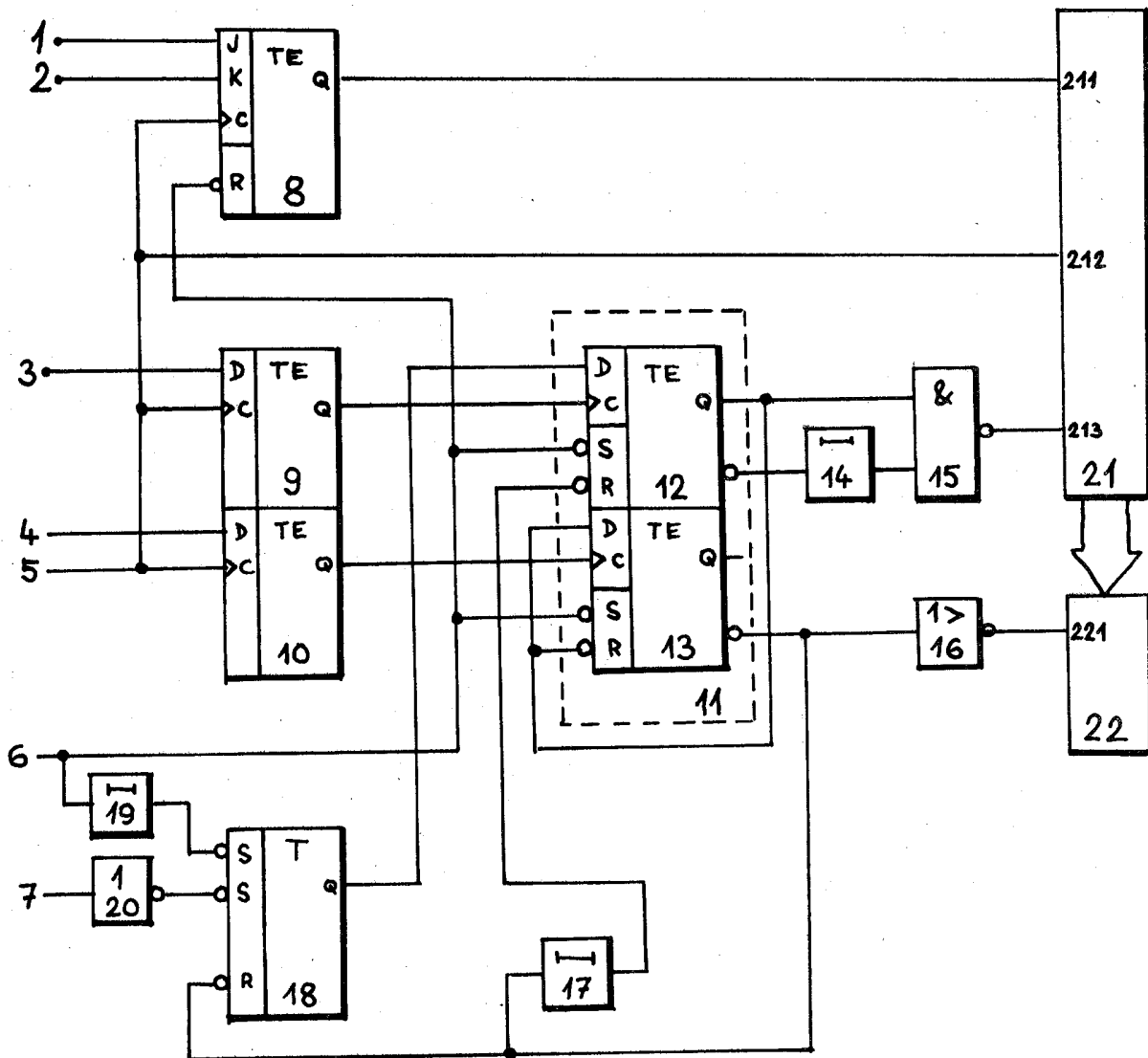
V okamžiku příjmu náběžné hrany signálu 03 START přejde stavový registr 11 do stavu  $\langle 1001 \rangle$ . Současně vytvoří první zpožďovací RC obvod 14 a hradlo 15 NAND krátký impuls 0213 RESET, který vynuluje generátor 21 cyklické kontroly (dále jen GCK) a tím jej připraví na zápis prvního bitu datového řetězce, připraveného v JK klopném obvodu 8 dat. Datový řetězec ze vstupu 1 DATA H a vstupu 2 DATA L pak synchronně vstupuje, se zpožděním o jeden hodinový cyklus způsobený „prodloužením“ GCK 21 o JK klopný obvod 8 dat, řízen signálem 05 CLOCK do GCK 21. Stavový registr 11 mezitím stále čeká na příjem náběžné hrany signálu 04 STOP. V okamžiku jejího příjmu přijde do stavu  $\langle 1010 \rangle$ . Do GCK 21 se současně s tím ještě запиše poslední bit datového řetězce, který však byl vlastně sejmут ze vstupu 1 DATA H a vstupu 2 DATA L již o jeden hodinový cyklus dříve, vlivem JK klopného obvodu 8 dat. To je v souladu s protokolem příznakové analýzy, podle něhož se do výsledného příznaku bit s hranou signálu 04 STOP již nezapočítává. Ve stavu  $\langle 1010 \rangle$  vysílá stavový registr 11 přes výkonový invertor 16 signál 0221 STROBE, který přepíše obsah GCK 21 do paměti zobrazovače 22.

Délka impulsu signálu 0221 STROBE je určena druhým zpožďovacím RC obvodem 17 tak, aby byla delší než minimum vyžadované paměti zobrazovače 22 ale kratší než nejmenší možný hodinový cyklus signálu 05 CLOCK. Po této době přejde stavový registr 11 asynchronně do stavu  $\langle 0101 \rangle$ .

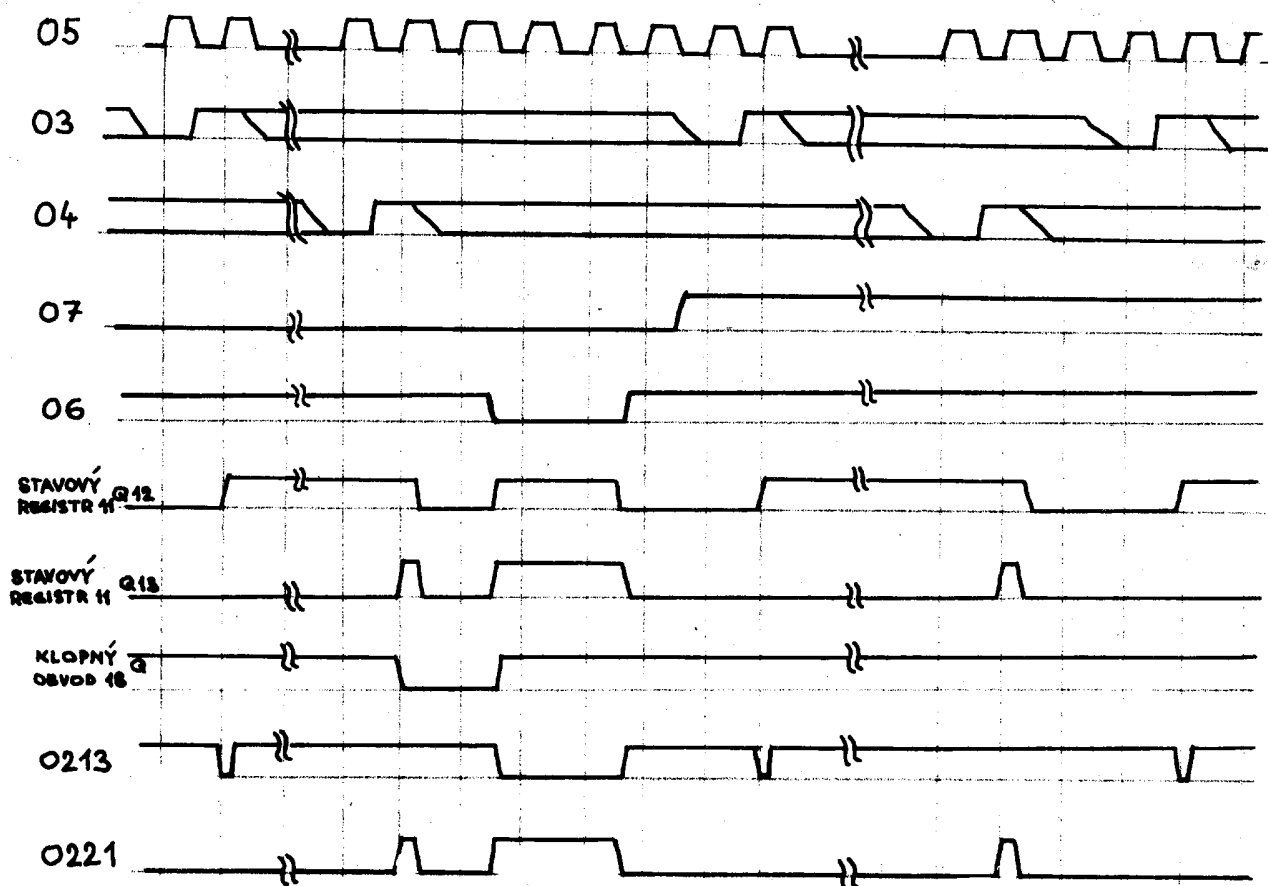
Není-li vstupem 7  $\overline{\text{HOLD}}$  vyžádána funkce jednorázového měření, zůstává RS klopný obvod 18 ve stavu  $\langle 1 \rangle$ , na vstupu D prvního D klopného obvodu 12 je úroveň H a může ihned (tj. po jednom hodinovém cyklu) dojít k dalšímu startu. Je-li však na vstupu 7  $\overline{\text{HOLD}}$  úroveň L, překlopí se současně s přechodem stavového registru 11 do stavu  $\langle 1010 \rangle$  RS klopný obvod 18 do stavu  $\langle 0 \rangle$  a úroveň L na vstupu D prvního D klopného obvodu 12 znemožní další start. Tento stav setrvá až do příchodu signálu 06  $\overline{\text{NUL}}$ . Signál 06  $\overline{\text{NUL}}$  jednak asynchronně vynuluje JK klopný obvod 8 dat, čímž připraví počáteční podmínky příjmu příznaku podle protokolu příznakové analýzy i pro případy třístavových uzlů, jednak asynchronně nastaví stavový registr 11 do atypického stavu  $\langle 1110 \rangle$ , čímž přes hradlo 15 NAND trvale nuluje GCK 21, přes výkonový invertor 16 tyto nuly zapisuje do paměti zobrazovače 22 a jednak nastaví RS klopný obvod 18 do stavu  $\langle 1 \rangle$ . Po dobu aktivity signálu 06  $\overline{\text{NUL}}$  není možné snímání příznaků. V okamžiku ukončení signálu 06  $\overline{\text{NUL}}$  přejde stavový registr 11 asynchronně do počátečního stavu  $\langle 0101 \rangle$  a vlivem třetího zpožďovacího členu RC 19 zůstane RS klopný obvod 18 ve stavu  $\langle 1 \rangle$ . Tím jsou opět obnoveny podmínky pro sejmutí jednoho příznaku.

Zapojení podle vynálezu je určeno pro příznakové analyzátory.

Zapojení řídicí logiky příznakového analyzátoru, vyznačené tím, že vstup (1) DATA H je spojen se synchronním nastavovacím vstupem (J) JK klopného obvodu (8) dat, jehož výstup (Q) je spojen se vstupem (211) DATA generátoru (21) cyklické kontroly, vstup (2) DATA L je spojen se synchronním nulovacím vstupem (K) JK klopného obvodu (8) dat, vstup (3) START je spojen s datovým vstupem (D) D klopného obvodu (9) startu, jehož výstup (Q) je spojen s hodinovým vstupem (C) prvního D klopného obvodu (12) stavového registru (11), vstup (4) STOP je spojen s datovým vstupem (D) D klopného obvodu (10) stopu, jehož výstup (Q) je spojen s hodinovým vstupem (C) druhého D klopného obvodu (13) stavového registru (11), vstup (5) CLOCK je spojen jednak s hodinovým vstupem (C) JK klopného obvodu (8) dat, D klopného obvodu (9) startu a D klopného obvodu (10) stopu a jednak se vstupem (212) CLOCK generátoru (21) cyklické kontroly, vstup (6)  $\overline{\text{NUL}}$  je spojen s nastavovacím vstupem (S) prvního a druhého D klopného obvodu (12,13) stavového registru (11) a nulovacím vstupem (R) JK klopného obvodu (8) dat a současně přes třetí zpožďovací RC člen (19) s prvním nastavovacím vstupem (S) RS klopného obvodu (18), jehož výstup (Q) je spojen s datovým vstupem (D) prvního D klopného obvodu (12), vstup (7)  $\overline{\text{HOLD}}$  je spojen přes invertor (20) s druhým nastavovacím vstupem (S) RS klopného obvodu (18), přitom výstup (Q) prvního D klopného obvodu (12) je spojen jednak s nulovacím a datovým vstupem (R,D) druhého D klopného obvodu (13) a jednak přes hradlo (15) NAND se vstupem (213)  $\overline{\text{RESET}}$  generátoru (21) cyklické kontroly, zatímco inverzní výstup ( $\overline{Q}$ ) prvního D klopného obvodu (12) je spojen přes první zpožďovací RC obvod (14) s hradlem (15) NAND, přičemž inverzní výstup ( $\overline{Q}$ ) druhého D klopného obvodu (13) je spojen jednak přes výkonový invertor (16) se vstupem (221) STROBE paměti (22) zobrazovače, jednak s nulovacím vstupem (R) RS klopného obvodu (18) a jednak přes druhý zpožďovací RC obvod (17) s nulovacím vstupem (R) prvního D klopného obvodu (12).



Obr. 1



Obr. 2