

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年6月19日(2008.6.19)

【公表番号】特表2007-535171(P2007-535171A)

【公表日】平成19年11月29日(2007.11.29)

【年通号数】公開・登録公報2007-046

【出願番号】特願2007-510795(P2007-510795)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 D

H 0 1 L 21/28 3 0 1 S

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成20年4月21日(2008.4.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

N M O S デバイス領域と P M O S デバイス領域とにゲート電極を形成するために、ゲート誘電体層上にシリコン領域を形成するステップ、

第 1 金属あるいは金属合金を前記 N M O S デバイス領域の前記シリコン領域に堆積し、
第 2 金属あるいは金属合金を前記 P M O S デバイス領域の前記シリコン領域に堆積するステップ、

前記第 1 金属あるいは金属合金を前記 N M O S デバイス領域の前記シリコン領域と反応させ、第 1 シリサイド領域と第 1 金属あるいは金属合金領域とを前記第 1 シリサイド領域に形成し、前記第 2 金属あるいは金属合金を前記 P M O S デバイス領域の前記シリコン領域と反応させ、第 2 シリサイド領域と第 2 金属あるいは金属合金領域とを第 2 シリサイド領域に形成するようにアニールするステップ、を含み、

前記第 1 シリサイド領域の仕事関数は、シリコンの伝導帯の + / - 0 . 2 V 内であり、前記第 2 シリコン領域の仕事関数は、シリコンの価電子帯の + / - 0 . 2 V 内である、デュアルメタルCMOS配列を形成する方法。

【請求項 2】

前記シリコン領域を形成する前記ステップは、

ゲート誘電体層上にシリコンを堆積するステップ、

シリコンスタックを形成するために前記シリコンをエッチングするステップ、および、

前記シリコンスタックの上部だけを除去し、それにより前記シリコン領域を形成するために前記シリコンスタックを部分的にエッチングするステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記部分的にエッチングするステップは、エッチングステップ内のシリコンスタックの

時間制御されたエッチングである、請求項 2 に記載の方法。

【請求項 4】

前記シリコンを堆積するステップは、前記ゲート誘電体層上に第 1 シリコン層を堆積するステップ、前記第 1 シリコン層上にエッチストップ層を形成するステップ、および、前記エッチストップ層上に第 2 シリコン層を形成するステップを含む、請求項 2 に記載の方法。

【請求項 5】

前記部分的にエッチングするステップは、前記第 2 シリコン層をエッチングし、前記エッチストップ層上でエッチングを停止させるステップ、および、前記エッチストップ層を除去するステップを含む、請求項 4 に記載の方法。

【請求項 6】

前記第 1 および第 2 シリサイド領域の相を制御することによって、前記第 1 および第 2 シリサイド領域の仕事関数を制御するステップをさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記第 1 および第 2 シリサイド領域の相を制御するステップは、前記シリコン領域の厚みを制御するステップを含む、請求項 6 に記載の方法。

【請求項 8】

前記第 1 金属あるいは金属合金はタンタルである、請求項 1 に記載の方法。

【請求項 9】

前記第 2 金属あるいは金属合金は、ルテニウム、レニウム、あるいはコバルトのうちのいずれかである請求項 1 に記載の方法。

【請求項 10】

前記第 1 金属あるいは金属合金はタンタルであり、前記第 2 金属あるいは金属合金は、ルテニウム、レニウム、あるいはコバルトのうちの 1 つである、請求項 1 に記載の方法。