

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5649331号  
(P5649331)

(45) 発行日 平成27年1月7日 (2015.1.7)

(24) 登録日 平成26年11月21日 (2014.11.21)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)

HO 1 L 29/786 (2006.01)

HO 1 L 29/78 6 1 9 A

HO 1 L 29/78 6 1 8 B

HO 1 L 29/78 6 2 7 F

HO 1 L 29/78 6 1 8 C

請求項の数 5 (全 47 頁)

(21) 出願番号	特願2010-120079 (P2010-120079)	(73) 特許権者	000153878
(22) 出願日	平成22年5月26日 (2010.5.26)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-9728 (P2011-9728A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年1月13日 (2011.1.13)	(72) 発明者	佐々木 俊成
審査請求日	平成25年5月7日 (2013.5.7)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-131187 (P2009-131187)		半導体エネルギー研究所内
(32) 優先日	平成21年5月29日 (2009.5.29)	(72) 発明者	大原 宏樹
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	坂田 淳一郎
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	鈴木 聡一郎
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極層を形成し、  
前記ゲート電極層上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に酸化物半導体層を形成し、  
前記酸化物半導体層を窒素雰囲気下で加熱し、  
前記加熱した後、前記酸化物半導体層上にソース電極層及びドレイン電極層を形成し、  
前記ゲート絶縁層、前記酸化物半導体層、前記ソース電極層、及び前記ドレイン電極層上に前記酸化物半導体層の一部と接する酸化珪素膜を形成して、前記酸化物半導体層の前記酸化珪素膜と接する領域を前記酸化物半導体層の前記酸化珪素膜と接しない領域より高抵抗化することを特徴とする半導体装置の作製方法。

【請求項 2】

ゲート電極層を形成し、  
前記ゲート電極層上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に酸化物半導体層を形成し、  
前記酸化物半導体層を窒素雰囲気下で加熱し、  
前記加熱した後、前記酸化物半導体層上にソース電極層及びドレイン電極層を形成し、  
前記酸化物半導体層、前記ソース電極層、及び前記ドレイン電極層上に前記酸化物半導体層の一部と接する酸化珪素膜を形成して、前記酸化物半導体層の前記酸化珪素膜と接する領域を前記酸化物半導体層の前記酸化珪素膜と接しない領域より高抵抗化し、

前記ソース電極層及び前記ドレイン電極層を形成するときに、前記酸化物半導体層の一部はエッチングされ、

前記酸化物半導体層は、凹部を有することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

前記酸化物半導体層は、 $\text{In}$ 、 $\text{Zn}$  及び  $\text{M}$  ( $\text{M}$  は、 $\text{Ga}$ 、 $\text{Fe}$ 、 $\text{Ni}$ 、 $\text{Mn}$  及び  $\text{Co}$  から選ばれた一又は複数の元素) を含むことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記酸化物半導体層を窒素雰囲気下で加熱する温度は、200 度以上（ただし、250 度以下を除く）であることを特徴とする半導体装置の作製方法。

10

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記酸化珪素膜を形成した後、大気雰囲気下又は窒素雰囲気下で加熱することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【背景技術】

20

【0002】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 乃至 4、非特許文献 1 参照。）。

【0004】

30

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$ : 自然数) は、 $\text{In}$ 、 $\text{Ga}$  及び  $\text{Zn}$  を有する多元系酸化物半導体として知られている（非特許文献 2 乃至 4 参照。）。

【0005】

そして、上記のような  $\text{In-Ga-Zn}$  系酸化物で構成される酸化物半導体を薄膜トランジスタのチャネル層として適用可能であることが確認されている（特許文献 5、非特許文献 5 及び 6 参照。）。

【先行技術文献】

【特許文献】

【0006】

40

【特許文献 1】特開昭 60 - 198861 号公報

【特許文献 2】特開平 8 - 264794 号公報

【特許文献 3】特表平 11 - 505377 号公報

【特許文献 4】特開 2000 - 150900 号公報

【特許文献 5】特開 2004 - 103957 号公報

【非特許文献】

【0007】

【非特許文献 1】 $\text{M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 'A$

50

ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650 - 3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the  $\text{In}_2\text{O}_3$  -  $\text{Ga}_2\text{ZnO}_4$  -  $\text{ZnO}$  System at 1350 °C」、J. Solid State Chem.、1991、Vol. 93, p. 298 - 315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9$ , and  $16$ ) in the  $\text{In}_2\text{O}_3$  -  $\text{ZnGa}_2\text{O}_4$  -  $\text{ZnO}$  System」、J. Solid State Chem.、1995、Vol. 116, p. 170 - 178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

【発明の概要】

【発明が解決しようとする課題】

【0008】

安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を作製し、提供することを課題の一とする。

【課題を解決するための手段】

【0009】

チャネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層を形成後、窒素雰囲気下において加熱処理を行い、かつ加熱処理された酸化物半導体層においてゲート電極層と重なる領域に接してスパッタ法による酸化珪素膜を形成する。

【0010】

酸化物半導体層は窒素雰囲気下における加熱処理によって、低抵抗化（電気伝導率が高まる、好ましくは電気伝導率  $1 \times 10^{-1} \text{ S/cm}$  以上  $1 \times 10^2 \text{ S/cm}$  以下）し、低抵抗化した酸化物半導体層とすることができる。一方、低抵抗化した酸化物半導体層に接してスパッタ法により酸化珪素膜を形成すると、低抵抗化した酸化物半導体層において少なくとも酸化珪素膜と接する領域を高抵抗化（電気伝導率が低まる）し、高抵抗化酸化物半導体領域とすることができる。

【0011】

本明細書において、成膜した時の酸化物半導体層を第1の酸化物半導体層ともいい、第1の酸化物半導体層を窒素雰囲気下で加熱し低抵抗化した酸化物半導体層を第2の酸化物半導体層ともいい、第2の酸化物半導体層に接してスパッタ法で酸化珪素膜を形成し、第2

10

20

30

40

50

の酸化物半導体層において酸化珪素膜と接する領域を第2の酸化物半導体層より高抵抗化した領域として有する酸化物半導体層を第3の酸化物半導体層ともいう。本明細書において、第2の酸化物半導体層は第1の酸化物半導体層より抵抗が低く、第3の酸化物半導体層の高抵抗化した領域は第2の酸化物半導体層より抵抗が高い。よって第1の酸化物半導体層と第3の酸化物半導体層の高抵抗化した領域の抵抗はどちらが高くても低くてもよい（どちらの場合もありうる）。

【0012】

高抵抗化酸化物半導体領域をチャネル形成領域として用いることによって、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。

【0013】

窒素雰囲気下における酸化物半導体層の加熱処理は温度200度以上で行うことが好ましい。窒素雰囲気下における酸化物半導体層の加熱処理は、ソース電極層及びドレイン電極層の形成後に行ってもよい。

【0014】

また、酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。

【0015】

酸化珪素膜は、薄膜トランジスタの保護絶縁層としても機能する。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。

【0016】

保護絶縁層となる酸化珪素膜を形成後、窒素雰囲気下、又は大気雰囲気下（大気中）において薄膜トランジスタに加熱処理（好ましくは温度300度以下）を行ってもよい。該加熱処理を行うと薄膜トランジスタの電気的特性のばらつきを軽減することができる。

【0017】

従って、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0018】

酸化物半導体層としては、半導体特性を有する酸化物材料を用いればよい。例えば、 $InMO_3(ZnO)_m$  ( $m > 0$ ) で表記される構造の酸化物半導体を用いることができ、特に、 $In-Ga-Zn-O$ 系酸化物半導体を用いるのが好ましい。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3(ZnO)_m$  ( $m > 0$ ) で表記される構造の酸化物半導体のうち、Mとして少なくともGaを含む構造の酸化物半導体を $In-Ga-Zn-O$ 系酸化物半導体と呼び、該薄膜を $In-Ga-Zn-O$ 系非単結晶膜とも呼ぶ。

【0019】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、 $In-Sn-Zn-O$ 系、 $In-Al-Zn-O$ 系、 $Sn-Ga-Zn-O$ 系、 $Al-Ga-Zn-O$ 系、 $Sn-Al-Zn-O$ 系、 $In-Zn-O$ 系、 $Sn-Zn-O$ 系、 $Al-Zn-O$ 系、 $In-O$ 系、 $Sn-O$ 系、 $Zn-O$ 系の酸化物半導体を適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。

【0020】

本明細書で開示する発明の構成の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を窒素雰囲気下で加熱し、加熱した酸化物半導体層上にソース電極層

10

20

30

40

50

及びドレイン電極層を形成し、ゲート絶縁層、加熱した酸化物半導体層、ソース電極層、及びドレイン電極層上に加熱した酸化物半導体層の一部と接する酸化珪素膜をスパッタ法により形成する。

【0021】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上にソース電極層及びドレイン電極層を形成し、酸化物半導体層及びソース電極層及びドレイン電極層を室素雰囲気下で加熱し、ゲート絶縁層、加熱した酸化物半導体層、ソース電極層、及びドレイン電極層上に加熱した酸化物半導体層の一部と接する酸化珪素膜をスパッタ法により形成する。

10

【0022】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上にソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層上に酸化物半導体層を形成し、酸化物半導体層を室素雰囲気下で加熱し、ゲート絶縁層、ソース電極層、ドレイン電極層、及び加熱した酸化物半導体層上に加熱した酸化物半導体層と接する酸化珪素膜をスパッタ法により形成する。

【0023】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に第1の酸化物半導体層を形成し、第1の酸化物半導体層を室素雰囲気下で加熱して低抵抗化し、低抵抗化した第2の酸化物半導体層上に導電膜を形成し、導電膜を選択的にエッチングして、ゲート電極層と重なる第2の酸化物半導体層の一部を露出し、かつソース電極層及びドレイン電極層を形成し、第2の酸化物半導体層、ソース電極層、及びドレイン電極層上に酸化珪素膜をスパッタ法により形成して、第2の酸化物半導体層の酸化珪素膜と接する領域を第2の酸化物半導体層より高抵抗化する。

20

【0024】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に第1の酸化物半導体層を形成し、第1の酸化物半導体層上に導電膜を形成し、導電膜を選択的にエッチングして、ゲート電極層と重なる第1の酸化物半導体層の一部を露出し、かつソース電極層及びドレイン電極層を形成し、第1の酸化物半導体層、ソース電極層及びドレイン電極層を室素雰囲気下で加熱して第1の酸化物半導体層を低抵抗化し、低抵抗化した第2の酸化物半導体層、ソース電極層、及びドレイン電極層上に酸化珪素膜をスパッタ法により形成して、第2の酸化物半導体層の酸化珪素膜と接する領域を第2の酸化物半導体層より高抵抗化する。

30

【0025】

本明細書で開示する発明の構成の他の一形態は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に導電膜を形成し、導電膜を選択的にエッチングしてソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層上に第1の酸化物半導体層を形成し、第1の酸化物半導体層を室素雰囲気下で加熱して低抵抗化し、低抵抗化した第2の酸化物半導体層上に酸化珪素膜をスパッタ法により形成して、第2の酸化物半導体層の酸化珪素膜と接する領域を第2の酸化物半導体層より高抵抗化する。

40

【0026】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0027】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を

50

示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 0 0 2 8 】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【 0 0 2 9 】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

10

【 0 0 3 0 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【 0 0 3 1 】

安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

20

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】半導体装置の作製方法を説明する図。

【図 2】半導体装置を説明する図。

【図 3】半導体装置の作製方法を説明する図。

【図 4】半導体装置を説明する図。

【図 5】半導体装置の作製方法を説明する図。

【図 6】半導体装置の作製方法を説明する図。

【図 7】半導体装置を説明する図。

【図 8】半導体装置を説明する図。

30

【図 9】半導体装置を説明する図。

【図 10】半導体装置を説明する図。

【図 11】半導体装置を説明する図。

【図 12】半導体装置の画素等価回路を説明する図。

【図 13】半導体装置を説明する図。

【図 14】半導体装置のブロック図を説明する図。

【図 15】信号線駆動回路の構成を説明する図。

【図 16】信号線駆動回路の動作を説明するタイミングチャート。

【図 17】信号線駆動回路の動作を説明するタイミングチャート。

【図 18】シフトレジスタの構成を説明する図。

40

【図 19】図 18 に示すフリップフロップの接続構成を説明する図。

【図 20】半導体装置を説明する図。

【図 21】電子ペーパーの使用形態の例を説明する図。

【図 22】電子書籍の一例を示す外観図。

【図 23】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図 24】遊技機の例を示す外観図。

【図 25】コンピュータ及び携帯電話機の一例を示す外観図。

【図 26】薄膜トランジスタの電気特性評価の結果を示す図。

【図 27】薄膜トランジスタの電気特性評価の結果を示す図。

【図 28】半導体装置の作製方法を説明する図。

50

## 【発明を実施するための形態】

## 【0033】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

## 【0034】

## (実施の形態1)

半導体装置及び半導体装置の作製方法を図1、図2及び図28を用いて説明する。

10

## 【0035】

図2(A)は半導体装置の有する薄膜トランジスタ470の平面図であり、図2(B)は図2(A)の線C1-C2における断面図である。薄膜トランジスタ470は逆スタガ型の薄膜トランジスタであり、絶縁表面を有する基板である基板400上に、ゲート電極層401、ゲート絶縁層402、半導体層403、ソース電極層又はドレイン電極層405a、405bを含む。また、薄膜トランジスタ470を覆い、半導体層403に接する絶縁膜407が設けられている。

## 【0036】

半導体層403は、少なくとも絶縁膜407と接する領域が高抵抗化酸化物半導体領域であり、該高抵抗化酸化物半導体領域をチャネル形成領域として用いることができる。

20

## 【0037】

高抵抗化酸化物半導体領域をチャネル形成領域として用いることによって、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。

## 【0038】

なお、酸化物半導体層である半導体層403と接するソース電極層又はドレイン電極層405a、405bとして、酸素親和性の高い金属を含有する材料を用いていることが好ましい。上記酸素親和性の高い金属は、チタン、アルミニウム、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのうちいずれか一または複数から選択された材料であることが好ましい。半導体層403と、酸素親和性の高い金属層とを接触させて熱処理を行うと、半導体層403から金属層へと酸素原子が移動し、界面付近においてキャリア密度が増加し低抵抗な領域が形成される。よって、薄膜トランジスタ470において、コンタクト抵抗が低く、オン電流は高くすることができる。該低抵抗な領域は界面を有する膜状であってもよい。

30

## 【0039】

従って、電気特性が良好で信頼性のよい薄膜トランジスタ470を有する半導体装置を作製し、提供することが可能となる。

## 【0040】

チャネル形成領域を含む半導体層403としては、半導体特性を有する酸化物材料を用いればよい。例えば、 $\text{InMO}_3(\text{ZnO})_m(m>0)$ で表記される構造の酸化物半導体を用いることができ、特に、 $\text{In-Ga-Zn-O}$ 系酸化物半導体を用いるのが好ましい。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m(m>0)$ で表記される構造の酸化物半導体のうち、Mとして少なくともGaを含む構造の酸化物半導体を $\text{In-Ga-Zn-O}$ 系酸化物半導体と呼び、該薄膜を $\text{In-Ga-Zn-O}$ 系非単結晶膜とも呼ぶ。

40

## 【0041】

50

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、 $\text{In-Sn-Zn-O}$ 系、 $\text{In-Al-Zn-O}$ 系、 $\text{Sn-Ga-Zn-O}$ 系、 $\text{Al-Ga-Zn-O}$ 系、 $\text{Sn-Al-Zn-O}$ 系、 $\text{In-Zn-O}$ 系、 $\text{Sn-Zn-O}$ 系、 $\text{Al-Zn-O}$ 系、 $\text{In-O}$ 系、 $\text{Sn-O}$ 系、 $\text{Zn-O}$ 系の酸化物半導体を適用することができる。また上記酸化物半導体に酸化珪素を含ませてもよい。

【0042】

図2(A)乃至(D)に薄膜トランジスタ470の作製工程の断面図を示す。

【0043】

図2(A)において、絶縁表面を有する基板である基板400上にゲート電極層401を設ける。下地膜となる絶縁膜を基板400とゲート電極層401の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。ゲート電極層401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

10

【0044】

例えば、ゲート電極層401の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

20

【0045】

ゲート電極層401上にゲート絶縁層402を形成する。

【0046】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 $\text{SiH}_4$ 、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層402として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン(化学式 $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン(化学式 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ )等のシリコン含有化合物を用いることができる。

30

【0047】

ゲート絶縁層402上に、酸化物半導体膜を形成する。

40

【0048】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、 $\text{N}_2\text{O}$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $\text{Cl}_2$ 、 $\text{CF}_4$ などを加えた雰囲気で行ってもよい。

【0049】

酸化物半導体膜として $\text{In-Ga-Zn-O}$ 系非単結晶膜を用いる。酸化物半導体膜は、

50



In - Ga - Zn - O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。

【0050】

ゲート絶縁層402、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0051】

酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層である酸化物半導体層430（第1の酸化物半導体層）に加工する（図1（A）参照。）。 10

【0052】

酸化物半導体層430に窒素雰囲気下において加熱処理を行う。酸化物半導体層430は窒素雰囲気下における加熱処理によって、低抵抗化（電気伝導率が高まる、好ましくは電気伝導率 $1 \times 10^{-1} \text{ S/cm}$ 以上 $1 \times 10^2 \text{ S/cm}$ 以下）し、低抵抗化した酸化物半導体層431（第2の酸化物半導体層）とすることができる（図1（B）参照。）。 20

【0053】

窒素雰囲気下における酸化物半導体層430の加熱処理は温度200度以上で行うことが好ましい。窒素雰囲気下における酸化物半導体層の加熱処理は、島状の酸化物半導体層430に加工する前の酸化物半導体膜に行ってもよい。 20

【0054】

ゲート絶縁層402、及び酸化物半導体層431上に導電膜を形成する。

【0055】

導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。

【0056】

また、導電膜の材料としては、酸素親和性の高い金属であるチタン膜を用いると好ましい。また、チタン膜上に上記Al、Cr、Ta、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜などを積層してもよい。 30

【0057】

また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

【0058】

酸化物半導体層431、導電膜をエッチング工程によりエッチングし、酸化物半導体層432、及びソース電極層又はドレイン電極層405a、405bを形成する（図1（C）参照。）。なお、酸化物半導体層431は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層432となる。 40

【0059】

窒素雰囲気下における酸化物半導体層の加熱処理は、図28（A）乃至（D）のようにソース電極層又はドレイン電極層405a、405bの形成後に行ってもよい。絶縁表面を有する基板400上にゲート電極層401、ゲート絶縁層402、酸化物半導体層430を形成する（図28（A）参照。）。酸化物半導体層430上にソース電極層又はドレイン電極層405a、405bを形成し、酸化物半導体層430の一部エッチングして酸化物半導体層441を形成する（図28（B）参照。）。次に酸化物半導体層441、及び 50

ソース電極層又はドレイン電極層 405a、405b に窒素雰囲気下における加熱処理を行う。その加熱処理によって酸化物半導体層 441 は低抵抗化され、低抵抗化した酸化物半導体層 432 とすることができる（図 28（C）参照。）。

【0060】

酸化物半導体層 432 に接してスパッタ法による酸化珪素膜を絶縁膜 407 として形成する。低抵抗化した酸化物半導体層 432 に接してスパッタ法により酸化珪素膜である絶縁膜 407 を形成すると、低抵抗化した酸化物半導体層 432 において少なくとも酸化珪素膜である絶縁膜 407 と接する領域を高抵抗化（電気伝導率が低まる）し、高抵抗化酸化物半導体領域とすることができる。よって酸化物半導体層 432 は、高抵抗化酸化物半導体領域を有する半導体層 403（第 3 の酸化物半導体層）となり、薄膜トランジスタ 470 を作製することができる（図 1（D）及び図 28（D）参照。）。

10

【0061】

絶縁膜 407 となる酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットを用いても珪素ターゲットを用いてもよい。例えば珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素膜を形成することができる。

【0062】

また、絶縁膜 407 となる酸化珪素膜を形成後、窒素雰囲気下、又は大気雰囲気下（大気中）において薄膜トランジスタ 470 に加熱処理（好ましくは温度 300 度以下）を行ってもよい。例えば、窒素雰囲気下で 350、1 時間の熱処理を行う。該加熱処理を行うと薄膜トランジスタ 470 の電気的特性のばらつきを軽減することができる。

20

【0063】

チャネル形成領域の半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

【0064】

（実施の形態 2）

半導体装置及び半導体装置の作製方法を図 3 及び図 4 を用いて説明する。実施の形態 1 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

30

【0065】

図 4（A）は半導体装置の有する薄膜トランジスタ 460 の平面図であり、図 4（B）は図 4（A）の線 D1 - D2 における断面図である。薄膜トランジスタ 460 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 450 上に、ゲート電極層 451、ゲート絶縁層 452、ソース電極層又はドレイン電極層 455a、455b、及び半導体層 453 を含む。また、薄膜トランジスタ 460 を覆い、半導体層 453 に接する絶縁膜 457 が設けられている。半導体層 453 は、In - Ga - Zn - O 系非単結晶膜を用いる。

【0066】

薄膜トランジスタ 460 は、薄膜トランジスタ 460 を含む領域全てにおいてゲート絶縁層 452 が存在し、ゲート絶縁層 452 と絶縁表面を有する基板である基板 450 の間にゲート電極層 451 が設けられている。ゲート絶縁層 452 上にはソース電極層又はドレイン電極層 455a、455b が設けられている。そして、ゲート絶縁層 452、及びソース電極層又はドレイン電極層 455a、455b 上に半導体層 453 が設けられている。また、図示しないが、ゲート絶縁層 452 上にはソース電極層又はドレイン電極層 455a、455b に加えて配線層を有し、該配線層は半導体層 453 の外周部より外側に延在している。

40

【0067】

半導体層 453 は、少なくとも絶縁膜 457 と接する領域が高抵抗化酸化物半導体領域で

50

あり、該高抵抗化酸化物半導体領域をチャネル形成領域として用いることができる。

【0068】

高抵抗化酸化物半導体領域をチャネル形成領域として用いることによって、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。

【0069】

なお、酸化物半導体層である半導体層453と接するソース電極層又はドレイン電極層455a、455bとして、酸素親和性の高い金属を含有する材料を用いていることが好ましい。上記酸素親和性の高い金属は、チタン、アルミニウム、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムいずれか一または複数から選択された材料であることが好ましい。半導体層453と、酸素親和性の高い金属層とを接触させて熱処理を行うと、半導体層453から金属層へと酸素原子が移動し、界面付近においてキャリア密度が増加し低抵抗な領域が形成される。よって、薄膜トランジスタ460において、コンタクト抵抗が低く、オン電流は高くすることができる。該低抵抗な領域は界面を有する膜状であってもよい。

10

【0070】

従って、電気特性が良好で信頼性のよい薄膜トランジスタ460を有する半導体装置を作製し、提供することが可能となる。

【0071】

図3(A)乃至(D)に薄膜トランジスタ460の作製工程の断面図を示す。

【0072】

20

絶縁表面を有する基板である基板450上にゲート電極層451を設ける。下地膜となる絶縁膜を基板450とゲート電極層451の間に設けてもよい。下地膜は、基板450からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。ゲート電極層451の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0073】

ゲート電極層451上にゲート絶縁層452を形成する。

【0074】

30

ゲート絶縁層452は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。また、また、ゲート絶縁層452として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。

【0075】

ゲート絶縁層452上に、導電膜を形成し、フォトリソグラフィ工程により島状のソース電極層又はドレイン電極層455a、455bに加工する(図3(A)参照。 )。

【0076】

ソース電極層又はドレイン電極層455a、455bの材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。

40

【0077】

また、ソース電極層又はドレイン電極層455a、455bの材料としては、酸素親和性の高い金属であるチタン膜を用いると好ましい。また、チタン膜上にAl、Cr、Ta、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜などを積層してもよい。

【0078】

また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。Alと組み合わせる耐熱性導電性材

50

料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

【0079】

次に、ゲート絶縁層 452、及びソース電極層又はドレイン電極層 455a、455b 上に酸化物半導体膜を形成し、フォトリソグラフィ工程により島状の酸化物半導体層 483 (第1の酸化物半導体層) に加工する (図3 (B) 参照。 )。

【0080】

酸化物半導体層 483 は、チャネル形成領域となるため、実施の形態1の酸化物半導体膜と同様に形成する。

10

【0081】

なお、酸化物半導体層 483 をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 452 の表面に付着しているゴミを除去することが好ましい。

【0082】

酸化物半導体層 483 に窒素雰囲気下において加熱処理を行う。酸化物半導体層 483 は窒素雰囲気下における加熱処理によって、低抵抗化 (電気伝導率が高まる、好ましくは電気伝導率  $1 \times 10^{-1} \text{ S/cm}$  以上  $1 \times 10^2 \text{ S/cm}$  以下) し、低抵抗化した酸化物半導体層 484 (第2の酸化物半導体層) とすることができる (図3 (C) 参照。 )。

20

【0083】

窒素雰囲気下における酸化物半導体層 483 の加熱処理は温度 200 度以上で行うことが好ましい。

【0084】

酸化物半導体層 484 に接してスパッタ法による酸化珪素膜を絶縁膜 457 として形成する。低抵抗化した酸化物半導体層 484 に接してスパッタ法により酸化珪素膜である絶縁膜 457 を形成すると、低抵抗化した酸化物半導体層 484 において少なくとも酸化珪素膜である絶縁膜 457 と接する領域を高抵抗化 (電気伝導率が低まる) し、高抵抗化酸化物半導体領域とすることができる。よって酸化物半導体層 484 は、高抵抗化酸化物半導体領域を有する半導体層 453 (第3の酸化物半導体層) となり、薄膜トランジスタ 460 を作製することができる (図3 (D) 参照。 )。

30

【0085】

絶縁膜 457 となる酸化珪素膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、又は希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットを用いても珪素ターゲットを用いてもよい。例えば珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素膜を形成することができる。

【0086】

また、絶縁膜 457 となる酸化珪素膜を形成後、窒素雰囲気下、又は大気雰囲気下 (大気中) において薄膜トランジスタ 460 に加熱処理 (好ましくは温度 300 度以下) を行ってもよい。例えば、窒素雰囲気下で 350、1 時間の熱処理を行う。該加熱処理を行うと薄膜トランジスタ 460 の電気的特性のばらつきを軽減することができる。

40

【0087】

チャネル形成領域の半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

【0088】

(実施の形態3)

薄膜トランジスタを含む半導体装置の作製工程について、図5乃至図8を用いて説明する。

50

## 【0089】

図5(A)において、透光性を有する基板100にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

## 【0090】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層101を含むゲート配線、容量配線108、及び第1の端子121）を形成する。このとき少なくともゲート電極層101の端部にテーパ形状が形成されるようにエッチングする。

## 【0091】

ゲート電極層101を含むゲート配線と容量配線108、端子部の第1の端子121は、耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成することが望ましい。また、アルミニウム(Al)や銅(Cu)などの低抵抗導電性材料で形成する場合は、Al単体又はCu単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので上記耐熱性導電性材料と組み合わせて形成する。

## 【0092】

次いで、ゲート電極層101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はスパッタ法、CVD法などを用い、膜厚を50~250nmとする。

## 【0093】

例えば、ゲート絶縁層102としてスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

## 【0094】

次に、ゲート絶縁層102上に、酸化物半導体膜(In-Ga-Zn-O系非単結晶膜)を成膜する。プラズマ処理後、大気に曝すことなくIn-Ga-Zn-O系非単結晶膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット(In-Ga-Zn-O系酸化物半導体ターゲット(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol比]))を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系非単結晶膜の膜厚は、5nm~200nmとする。酸化物半導体膜として、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により膜厚50nmのIn-Ga-Zn-O系非単結晶膜を成膜する。

## 【0095】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

## 【0096】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

## 【0097】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0098】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0099】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物半導体膜をエッチングする。例えば燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングにより、不要な部分を除去して酸化物半導体層133を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

10

【0100】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、塩化硼素（ $\text{BCl}_3$ ）、塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）が好ましい。

【0101】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $\text{CF}_4$ ）、弗化硫黄（ $\text{SF}_6$ ）、弗化窒素（ $\text{NF}_3$ ）、トリフルオロメタン（ $\text{CHF}_3$ ）など）、臭化水素（ $\text{HBr}$ ）、酸素（ $\text{O}_2$ ）、これらのガスにヘリウム（ $\text{He}$ ）やアルゴン（ $\text{Ar}$ ）などの希ガスを添加したガス、などを用いることができる。

20

【0102】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0103】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

30

【0104】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0105】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

40

【0106】

次に、酸化物半導体層133に窒素雰囲気下で加熱処理を行う。

【0107】

加熱処理は、200以上で行うと良い。例えば、窒素雰囲気下で350、1時間の熱処理を行う。この窒素雰囲気下の加熱処理により、酸化物半導体層133は、低抵抗化し導電率が高まる。よって低抵抗化した酸化物半導体層134が形成される（図5（B）参照）。酸化物半導体層134の電気伝導率は $1 \times 10^{-1} \text{ S/cm}$ 以上 $1 \times 10^2 \text{ S/cm}$ 以下が好ましい。なお、この加熱処理は、ソース電極層及びドレイン電極層を形成後に行ってもよい。

【0108】

50

次に、酸化物半導体層 134 上に金属材料からなる導電膜 132 をスパッタ法や真空蒸着法で形成する（図 5（C）参照。）。

【0109】

導電膜 132 の材料としては、Al、Cr、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。

【0110】

また、200 ～ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Al と組み合わせる耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

【0111】

導電膜 132 として酸素親和性の高い金属であるチタン膜を用いると好ましい。また、導電膜 132 は、2 層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜 132 として Ti 膜と、その Ti 膜上に重ねて Nd を含むアルミニウム（Al - Nd）膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造としてもよい。導電膜 132 は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0112】

次に、第 3 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層又はドレイン電極層 105a、105b、及び第 2 の端子 122 を形成する（図 5（D）参照。）。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電膜 132 としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、リン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。また、アンモニア過水（過酸化水素：アンモニア：水 = 5：2：2）を用いたウェットエッチングにより、導電膜 132 をエッチングしてソース電極層又はドレイン電極層 105a、105b を形成してもよい。このエッチング工程において、酸化物半導体層 134 の露出領域も一部エッチングされ、半導体層 135 となる。よってソース電極層又はドレイン電極層 105a、105b の間の半導体層 135 は膜厚の薄い領域となる。図 5（D）においては、ソース電極層又はドレイン電極層 105a、105b、半導体層 135 のエッチングをドライエッチングによって一度に行うため、ソース電極層又はドレイン電極層 105a、105b 及び半導体層 135 の端部は一致し、連続的な構造となっている。

【0113】

また、この第 3 のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層 105a、105b と同じ材料である第 2 の端子 122 を端子部に残す。なお、第 2 の端子 122 はソース配線（ソース電極層又はドレイン電極層 105a、105b を含むソース配線）と電氣的に接続されている。

【0114】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0115】

ここで、酸化物半導体層である半導体層 135 及びソース電極層又はドレイン電極層 105a、105b に加熱処理を行ってもよい。ソース電極層又はドレイン電極層 105a、105b に酸素親和性の高い金属を用いると、この加熱処理により酸化物半導体層からソース電極層又はドレイン電極層 105a、105b へと酸素原子が移動するので、ソース電極層又はドレイン電極層 105a、105b と接する領域を低抵抗化領域とすることがで

10

20

30

40

50

きる。このソース電極層又はドレイン電極層 105 a、105 と、半導体層 135 との間に形成される低抵抗領域は、界面を有する膜状であってもよい。

【0116】

次に、ゲート絶縁層 102、酸化物半導体層 135、ソース電極層又はドレイン電極層 105 a、105 b を覆う保護絶縁層 107 を形成する。保護絶縁層 107 はスパッタ法により形成する酸化シリコン膜を用いる。ソース電極層又はドレイン電極層 105 a、105 b の間に設けられた酸化物半導体層 135 の露出領域と保護絶縁層 107 である酸化珪素膜が接して設けられることによって、保護絶縁層 107 と接する酸化物半導体層 135 の領域が高抵抗化（電気伝導度が低まる）し、高抵抗化したチャネル形成領域を有する半導体層 103 を形成することができる（図 6（A）参照。）。

10

【0117】

以上の工程で薄膜トランジスタ 170 が作製できる。

【0118】

薄膜トランジスタ 170 の形成後、加熱処理を行ってもよい。加熱処理は酸素雰囲気下、又は窒素雰囲気下において、300 度以上で行えばよい。この加熱処理により薄膜トランジスタの電気特性のばらつきを軽減することができる。

【0119】

次に、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層 107 及びゲート絶縁層 102 のエッチングによりソース電極層又はドレイン電極層 105 b に達するコンタクトホール 125 を形成する。また、ここでのエッチングにより第 2 の端子 122 に達するコンタクトホール 127、第 1 の端子 121 に達するコンタクトホール 126 も形成する。この段階での断面図を図 6（B）に示す。

20

【0120】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITO と略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3$   $\text{ZnO}$ ）を用いても良い。

【0121】

30

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 110 を形成する。

【0122】

また、この第 5 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 102 及び保護絶縁層 107 を誘電体として、容量配線 108 と画素電極層 110 とで保持容量が形成される。

【0123】

また、この第 5 のフォトリソグラフィ工程において、第 1 の端子 121 及び第 2 の端子 122 をレジストマスクで覆い端子部に形成された透明導電膜 128、129 を残す。透明導電膜 128、129 は FPC との接続に用いられる電極または配線となる。第 1 の端子 121 上に形成された透明導電膜 128 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 122 上に形成された透明導電膜 129 は、ソース配線の入力端子として機能する接続用の端子電極である。

40

【0124】

次いで、レジストマスクを除去し、この段階での断面図を図 6（C）に示す。なお、この段階での平面図が図 7 に相当する。

【0125】

また、図 8（A1）、図 8（A2）は、この段階でのゲート配線端子部の平面図及び断面図をそれぞれ図示している。図 8（A1）は図 8（A2）中の E1 - E2 線に沿った断面図に相当する。図 8（A1）において、保護絶縁膜 154 上に形成される透明導電膜 15

50



5 は、入力端子として機能する接続用の端子電極である。また、図 8 ( A 1 ) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極層 1 5 3 とがゲート絶縁層 1 5 2 を介して重なり、透明導電膜 1 5 5 で導通させている。なお、図 6 ( C ) に図示した透明導電膜 1 2 8 と第 1 の端子 1 2 1 とが接触している部分が、図 8 ( A 1 ) の透明導電膜 1 5 5 と第 1 の端子 1 5 1 が接触している部分に対応している。

【 0 1 2 6 】

また、図 8 ( B 1 ) 、及び図 8 ( B 2 ) は、図 6 ( C ) に示すソース配線端子部とは異なるソース配線端子部の断面図及び平面図をそれぞれ図示している。また、図 8 ( B 1 ) は図 8 ( B 2 ) 中の F 1 - F 2 線に沿った断面図に相当する。図 8 ( B 1 ) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 8 ( B 1 ) において、端子部では、ゲート配線と同じ材料で形成される電極層 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 5 2 を介して重なる。電極層 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極層 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁膜 1 5 4 を介して透明導電膜 1 5 5 と電氣的に接続している。

【 0 1 2 7 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【 0 1 2 8 】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、ボトムゲート型のスタガ構造の薄膜トランジスタである薄膜トランジスタ 1 7 0 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 1 2 9 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。

【 0 1 3 0 】

また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

【 0 1 3 1 】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【 0 1 3 2 】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を 1 フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

10

20

30

40

50

## 【 0 1 3 3 】

また、垂直同期周波数を通常の 1.5 倍、好ましくは 2 倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

## 【 0 1 3 4 】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数の LED（発光ダイオード）光源または複数の EL 光源などを用いて面光源を構成し、面光源を構成している各光源を独立して 1 フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3 種類以上の LED を用いてもよいし、白色発光の LED を用いてもよい。独立して複数の LED を制御できるため、液晶層の光学変調の切り替えタイミングに合わせて LED の発光タイミングを同期させることもできる。この駆動技術は、LED を部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

10

## 【 0 1 3 5 】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

## 【 0 1 3 6 】

本明細書に開示する n チャンネル型のトランジスタは、酸化物半導体膜をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

## 【 0 1 3 7 】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えば GND、0 V などに設定するため、端子部に、カソードを低電源電位、例えば GND、0 V などに設定するための第 4 の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第 5 の端子を設ける。

20

## 【 0 1 3 8 】

酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。

## 【 0 1 3 9 】

チャンネル形成領域の半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

30

## 【 0 1 4 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

## 【 0 1 4 1 】

（実施の形態 4）

半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

## 【 0 1 4 2 】

画素部に配置する薄膜トランジスタは、実施の形態 1 乃至 3 に従って形成する。また、実施の形態 1 乃至 3 に示す薄膜トランジスタは n チャンネル型 TFT であるため、駆動回路のうち、n チャンネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

40

## 【 0 1 4 3 】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 14（A）に示す。図 14（A）に示す表示装置は、基板 5300 上に表示素子を備えた画素を複数有する画素部 5301 と、各画素を選択する走査線駆動回路 5302 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5303 とを有する。

## 【 0 1 4 4 】

50

また、実施の形態 1 乃至 3 に示す薄膜トランジスタは、 $n$ チャネル型 T F T であり、 $n$ チャネル型 T F T で構成する信号線駆動回路について図 1 5 を用いて説明する。

#### 【0145】

図 1 5 に示す信号線駆動回路は、ドライバ I C 5 6 0 1、スイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 \_\_ 1 ~ 5 6 2 1 \_\_ M を有する。スイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M それぞれは、第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を有する。

#### 【0146】

ドライバ I C 5 6 0 1 は第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 \_\_ 1 ~ 5 6 2 1 \_\_ M に接続される。そして、スイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M それぞれは、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及びスイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M それぞれに対応した配線 5 6 2 1 \_\_ 1 ~ 5 6 2 1 \_\_ M に接続される。そして、配線 5 6 2 1 \_\_ 1 ~ 5 6 2 1 \_\_ M それぞれは、第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、3 つの信号線に接続される。例えば、 $J$  列目の配線 5 6 2 1 \_\_  $J$  (配線 5 6 2 1 \_\_ 1 ~ 配線 5 6 2 1 \_\_ M のうちいずれか) は、スイッチ群 5 6 0 2 \_\_  $J$  が有する第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線  $S_j - 1$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に接続される。

#### 【0147】

なお、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 には、それぞれ信号が入力される。

#### 【0148】

なお、ドライバ I C 5 6 0 1 は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ I C 5 6 0 1 とスイッチ群 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ M とは F P C などを通じて接続するとよい。

#### 【0149】

次に、図 1 5 に示した信号線駆動回路の動作について、図 1 6 のタイミングチャートを参照して説明する。なお、図 1 6 のタイミングチャートは、 $i$  行目の走査線  $G_i$  が選択されている場合のタイミングチャートを示している。さらに、 $i$  行目の走査線  $G_i$  の選択期間は、第 1 のサブ選択期間  $T_1$ 、第 2 のサブ選択期間  $T_2$  及び第 3 のサブ選択期間  $T_3$  に分割されている。さらに、図 1 5 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 1 6 と同様の動作をする。

#### 【0150】

なお、図 1 6 のタイミングチャートは、 $J$  列目の配線 5 6 2 1 \_\_  $J$  が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線  $S_j - 1$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に接続される場合について示している。

#### 【0151】

なお、図 1 6 のタイミングチャートは、 $i$  行目の走査線  $G_i$  が選択されるタイミング、第 1 の薄膜トランジスタ 5 6 0 3 a のオン・オフのタイミング 5 7 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b のオン・オフのタイミング 5 7 0 3 b、第 3 の薄膜トランジスタ 5 6 0 3 c のオン・オフのタイミング 5 7 0 3 c 及び  $J$  列目の配線 5 6 2 1 \_\_  $J$  に入力される信号 5 7 2 1 \_\_  $J$  を示している。

#### 【0152】

なお、配線 5 6 2 1 \_\_ 1 ~ 配線 5 6 2 1 \_\_ M には第 1 のサブ選択期間  $T_1$ 、第 2 のサブ選択期間  $T_2$  及び第 3 のサブ選択期間  $T_3$  において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間  $T_1$  において配線 5 6 2 1 \_\_  $J$  に入力されるビデオ信号は

信号線  $S_j - 1$  に入力され、第 2 のサブ選択期間  $T_2$  において配線  $5621\_J$  に入力されるビデオ信号は信号線  $S_j$  に入力され、第 3 のサブ選択期間  $T_3$  において配線  $5621\_J$  に入力されるビデオ信号は信号線  $S_{j+1}$  に入力される。さらに、第 1 のサブ選択期間  $T_1$ 、第 2 のサブ選択期間  $T_2$  及び第 3 のサブ選択期間  $T_3$  において、配線  $5621\_J$  に入力されるビデオ信号をそれぞれ  $Data\_j - 1$ 、 $Data\_j$ 、 $Data\_j + 1$  とする。

#### 【0153】

図 16 に示すように、第 1 のサブ選択期間  $T_1$  において第 1 の薄膜トランジスタ  $5603a$  がオンし、第 2 の薄膜トランジスタ  $5603b$  及び第 3 の薄膜トランジスタ  $5603c$  がオフする。このとき、配線  $5621\_J$  に入力される  $Data\_j - 1$  が、第 1 の薄膜トランジスタ  $5603a$  を介して信号線  $S_{j-1}$  に入力される。第 2 のサブ選択期間  $T_2$  では、第 2 の薄膜トランジスタ  $5603b$  がオンし、第 1 の薄膜トランジスタ  $5603a$  及び第 3 の薄膜トランジスタ  $5603c$  がオフする。このとき、配線  $5621\_J$  に入力される  $Data\_j$  が、第 2 の薄膜トランジスタ  $5603b$  を介して信号線  $S_j$  に入力される。第 3 のサブ選択期間  $T_3$  では、第 3 の薄膜トランジスタ  $5603c$  がオンし、第 1 の薄膜トランジスタ  $5603a$  及び第 2 の薄膜トランジスタ  $5603b$  がオフする。このとき、配線  $5621\_J$  に入力される  $Data\_j + 1$  が、第 3 の薄膜トランジスタ  $5603c$  を介して信号線  $S_{j+1}$  に入力される。

#### 【0154】

以上のことから、図 15 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線  $5621$  から 3 つの信号線にビデオ信号を入力することができる。したがって、図 15 の信号線駆動回路は、ドライバ IC  $5601$  が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約  $1/3$  にすることができる。接続数が約  $1/3$  になることによって、図 15 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

#### 【0155】

なお、図 15 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

#### 【0156】

例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割されることが望ましい。

#### 【0157】

別の例として、図 17 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間  $T_p$ 、第 1 のサブ選択期間  $T_1$ 、第 2 のサブ選択期間  $T_2$ 、第 3 の選択期間  $T_3$  に分割してもよい。さらに、図 17 のタイミングチャートは、 $i$  行目の走査線  $G_i$  が選択されるタイミング、第 1 の薄膜トランジスタ  $5603a$  のオン・オフのタイミング  $5803a$ 、第 2 の薄膜トランジスタ  $5603b$  のオン・オフのタイミング  $5803b$ 、第 3 の薄膜トランジスタ  $5603c$  のオン・オフのタイミング  $5803c$  及び  $J$  列目の配線  $5621\_J$  に入力される信号  $5821\_J$  を示している。図 17 に示すように、プリチャージ期間  $T_p$  において第 1 の薄膜トランジスタ  $5603a$ 、第 2 の薄膜トランジスタ  $5603b$  及び第 3 の薄膜トランジスタ  $5603c$  がオンする。このとき、配線  $5621\_J$  に入力されるプリチャージ電圧  $V_p$  が第 1 の薄膜トランジスタ  $5603a$ 、第 2 の薄膜トランジスタ  $5603b$  及び第 3 の薄膜トランジスタ  $5603c$  を介してそれぞれ信号線  $S_{j-1}$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に入力される。第 1 のサブ選択期間  $T_1$  において第 1 の薄膜トランジスタ  $5603a$  がオンし、第 2 の薄膜トランジスタ  $5603b$  及び第 3 の薄膜トランジスタ  $5603c$  がオフする。このとき、配線  $5621\_J$  に入力される  $Data$

10

20

30

40

50

a<sub>j-1</sub>が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j-1</sub>に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621<sub>j</sub>に入力されるData<sub>j</sub>が、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>に入力される。第3のサブ選択期間T<sub>3</sub>では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621<sub>j+1</sub>に入力されるData<sub>j+1</sub>が、第3の薄膜トランジスタ5603cを介して信号線S<sub>j+1</sub>に入力される。

#### 【0158】

以上のことから、図17のタイミングチャートを適用した図15の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図17において、図16と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

#### 【0159】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

#### 【0160】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

#### 【0161】

図18にシフトレジスタの回路構成を示す。図18に示すシフトレジスタは、フリップフロップ5701<sub>1</sub>～5701<sub>n</sub>という複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

#### 【0162】

図18のシフトレジスタの接続関係について説明する。図18のシフトレジスタは、i段目のフリップフロップ5701<sub>i</sub>(フリップフロップ5701<sub>1</sub>～5701<sub>n</sub>のうちいずれか)は、図19に示した第1の配線5501が第7の配線5717<sub>i-1</sub>に接続され、図19に示した第2の配線5502が第7の配線5717<sub>i+1</sub>に接続され、図19に示した第3の配線5503が第7の配線5717<sub>i</sub>に接続され、図19に示した第6の配線5506が第5の配線5715に接続される。

#### 【0163】

また、図19に示した第4の配線5504が奇数段目のフリップフロップでは第2の配線5712に接続され、偶数段目のフリップフロップでは第3の配線5713に接続され、図19に示した第5の配線5505が第4の配線5714に接続される。

#### 【0164】

ただし、1段目のフリップフロップ5701<sub>1</sub>の図19に示す第1の配線5501は第1の配線5711に接続され、n段目のフリップフロップ5701<sub>n</sub>の図19に示す第2の配線5502は第6の配線5716に接続される。

#### 【0165】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第

10

20

30

40

50

2の電源線と呼んでもよい。

【0166】

次に、図18に示すフリップフロップの詳細について、図19に示す。図19に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧( $V_{gs}$ )がしきい値電圧( $V_{th}$ )を上回ったとき導通状態になるものとする。

10

【0167】

次に、図18に示すフリップフロップの接続構成について、以下に示す。

【0168】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

【0169】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

20

【0170】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

【0171】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

30

【0172】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

【0173】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

40

【0174】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

【0175】

50

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

【0176】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

10

【0177】

また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至3に示すnチャネル型TFTのみで作製することも可能である。実施の形態1乃至3に示すnチャネル型TFTはトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態1乃至3に示すnチャネル型TFTは寄生容量が低減されるため、周波数特性(f特性と呼ばれる)が高い。例えば、実施の形態1乃至3に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることができるため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。

20

【0178】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

【0179】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14(B)に示す。

30

【0180】

図14(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0181】

図14(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

40

【0182】

発光素子は、液晶素子などに比べて応答速度が高いため、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、

50

1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0183】

なお、図14(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

10

【0184】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至3に示すnチャネル型TFTのみで作製することも可能である。

【0185】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

20

【0186】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子を含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

30

【0187】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的效果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置に必要な偏光板が必要ない。

【0188】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

40

【0189】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至3の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0190】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

50



## 【0191】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

## 【0192】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【0193】

(実施の形態5)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システム

10

オンパネルを形成することができる。

## 【0194】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

## 【0195】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

20

## 【0196】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

30

## 【0197】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図10を用いて説明する。図10は、第1の基板4001上に形成された実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図10(B)は、図10(A1)(A2)のM-Nにおける断面図に相当する。

## 【0198】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

40

## 【0199】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10(A1)

50

は、COG方法により信号線駆動回路4003を実装する例であり、図10(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0200】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図10(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0201】

薄膜トランジスタ4010、4011は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1又は実施の形態2に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

10

【0202】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

【0203】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0204】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

30

【0205】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

【0206】

なお透過型液晶表示装置の他に、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0207】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮

50

光膜を設けてもよい。

【0208】

また、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、上記実施の形態で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すれば

10

【0209】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0210】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

20

【0211】

また、保護膜を形成した後に、窒素雰囲気下、又は大気雰囲気下で加熱処理（300以下）を行ってもよい。

【0212】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

30

【0213】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0214】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

40

【0215】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0216】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマー

50

ともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

#### 【0217】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

#### 【0218】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

10

#### 【0219】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

#### 【0220】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

#### 【0221】

また図10においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

20

#### 【0222】

図20は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

#### 【0223】

図20は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

30

#### 【0224】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

40

#### 【0225】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

50

## 【 0 2 2 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【 0 2 2 7 】

(実施の形態 6)

## 【 0 2 2 8 】

半導体装置として電子ペーパーの例を示す。

## 【 0 2 2 9 】

スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

10

## 【 0 2 3 0 】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

20

## 【 0 2 3 1 】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置に必要な偏光板が必要ない。

## 【 0 2 3 2 】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

## 【 0 2 3 3 】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態 1 乃至 3 の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

30

## 【 0 2 3 4 】

なお、マイクロカプセル中の第 1 の粒子および第 2 の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

## 【 0 2 3 5 】

図 9 は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2 又は実施の形態 3 で示す薄膜トランジスタも本実施の薄膜トランジスタ 581 として適用することもできる。

40

## 【 0 2 3 6 】

図 9 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

## 【 0 2 3 7 】

50

基板 580 と基板 596 との間に封止される薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜 583 に覆われている。薄膜トランジスタ 581 のソース電極層又はドレイン電極層によって第 1 の電極層 587 と、絶縁層 585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590 a 及び白色領域 590 b を有し、周りに液体で満たされているキャビティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 9 参照。）。第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電氣的に接続することができる。

10

#### 【0238】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径  $10\ \mu\text{m} \sim 200\ \mu\text{m}$  程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

#### 【0239】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

#### 【0240】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

#### 【0241】

##### （実施の形態 7）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

#### 【0242】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

#### 【0243】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

50

## 【 0 2 4 4 】

図 1 2 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

## 【 0 2 4 5 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いる n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

## 【 0 2 4 6 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6 4 0 5 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0 7 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極（画素電極）に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。共通電極 6 4 0 8 は、同一基板上に形成される共通電位線と電氣的に接続される。

## 【 0 2 4 7 】

なお、発光素子 6 4 0 4 の第 2 電極（共通電極 6 4 0 8）には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

## 【 0 2 4 8 】

なお、容量素子 6 4 0 3 は駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 4 0 2 のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

## 【 0 2 4 9 】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 4 0 2 のゲートには、駆動用トランジスタ 6 4 0 2 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。駆動用トランジスタ 6 4 0 2 は線形領域で動作させるため、電源線 6 4 0 7 の電圧よりも高い電圧を駆動用トランジスタ 6 4 0 2 のゲートにかける。なお、信号線 6 4 0 5 には、（電源線電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$ ）以上の電圧をかける。

## 【 0 2 5 0 】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 1 2 と同じ画素構成を用いることができる。

## 【 0 2 5 1 】

アナログ階調駆動を行う場合、駆動用トランジスタ 6 4 0 2 のゲートに発光素子 6 4 0 4 の順方向電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$  以上の電圧をかける。発光素子 6 4 0 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6 4 0 2 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6 4 0 4 に電流を流すことができる。駆動用トランジスタ 6 4 0 2 を飽和領域で動作させるため、電源線 6 4 0 7 の電位は、駆動用トランジスタ 6 4 0 2 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

## 【 0 2 5 2 】

なお、図 1 2 に示す画素構成は、これに限定されない。例えば、図 1 2 に示す画素に新た

10

20

30

40

50

にスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0253】

次に、発光素子の構成について、図13を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図13(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2又は実施の形態3で示す薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

【0254】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0255】

上面射出構造の発光素子について図13(A)を用いて説明する。

【0256】

図13(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図13(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

【0257】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図13(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0258】

次に、下面射出構造の発光素子について図13(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図13(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図13(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図13(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図13(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定さ

10

20

30

40

50



れない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【 0 2 5 9 】

陰極 7 0 1 3 及び陽極 7 0 1 5 で、発光層 7 0 1 4 を挟んでいる領域が発光素子 7 0 1 2 に相当する。図 1 3 ( B ) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、矢印で示すように陰極 7 0 1 3 側に射出する。

【 0 2 6 0 】

次に、両面射出構造の発光素子について、図 1 3 ( C ) を用いて説明する。図 1 3 ( C ) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 1 3 ( A ) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する A l を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 1 3 ( A ) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 1 3 ( A ) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【 0 2 6 1 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 1 3 ( C ) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

20

【 0 2 6 2 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

【 0 2 6 3 】

なお、発光素子の駆動を制御する薄膜トランジスタ ( 駆動用 T F T ) と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

【 0 2 6 4 】

なお半導体装置は、図 1 3 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

30

【 0 2 6 5 】

次に、半導体装置の一形態に相当する発光表示パネル ( 発光パネルともいう ) の外観及び断面について、図 1 1 を用いて説明する。図 1 1 ( A ) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 1 1 ( B ) は、図 1 1 ( A ) の H - I における断面図に相当する。

【 0 2 6 6 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム ( 貼り合わせフィルム、紫外線硬化樹脂フィルム等 ) やカバー材でパッケージング ( 封入 ) することが好ましい。

40

【 0 2 6 7 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有しており、図 1 1 ( B ) では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、信号線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

50

## 【0268】

薄膜トランジスタ4509、4510は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1又は実施の形態2に示す薄膜トランジスタを適用してもよい。薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

## 【0269】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

10

## 【0270】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

## 【0271】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

## 【0272】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

20

## 【0273】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

## 【0274】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

30

## 【0275】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

## 【0276】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

## 【0277】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

40

## 【0278】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板( / 4板、 / 2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

## 【0279】

50

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図 1 1 の構成に限定されない。

【 0 2 8 0 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 2 8 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 8 2 】

（実施の形態 8）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 1、図 2 2 に示す。

【 0 2 8 3 】

図 2 1（A）は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本明細書に開示する電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【 0 2 8 4 】

また、図 2 1（B）は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本明細書に開示する電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、広告は無線で情報を送受信できる構成としてもよい。

【 0 2 8 5 】

また、図 2 2 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 2 8 6 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 2 では表示部 2 7 0 5）に文章を表示し、左側の表示部（図 2 2 では表示部 2 7 0 7）に画像を表示することができる。

【 0 2 8 7 】

また、図 2 2 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

10

20

30

40

50

## 【 0 2 8 8 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

## 【 0 2 8 9 】

( 実施の形態 9 )

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

10

## 【 0 2 9 0 】

図 2 3 ( A ) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

## 【 0 2 9 1 】

テレビジョン装置 9 6 0 0 の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機 9 6 1 0 により行うことができる。リモコン操作機 9 6 1 0 が備える操作キー 9 6 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 6 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機 9 6 1 0 から出力する情報を表示する表示部 9 6 0 7 を設ける構成としてもよい。

20

## 【 0 2 9 2 】

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

## 【 0 2 9 3 】

図 2 3 ( B ) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

30

## 【 0 2 9 4 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

40

## 【 0 2 9 5 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

## 【 0 2 9 6 】

図 2 4 ( A ) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 4 ( A ) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段（操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、

50

化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 24（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 24（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0297】

図 24（B）は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0298】

図 25（A）は携帯型のコンピュータの一例を示す斜視図である。

【0299】

図 25（A）の携帯型のコンピュータは、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態として表示部 9303 を有する上部筐体 9301 と、キーボード 9304 を有する下部筐体 9302 とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部 9303 を見て入力操作を行うことができる。

【0300】

また、下部筐体 9302 はキーボード 9304 の他に入力操作を行うポインティングデバイス 9306 を有する。また、表示部 9303 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9302 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有している。

【0301】

上部筐体 9301 には更に上部筐体 9301 内部にスライドさせて収納可能な表示部 9307 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9307 の画面の向きを使用者は調節できる。また、収納可能な表示部 9307 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0302】

表示部 9303 または収納可能な表示部 9307 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0303】

また、図 25（A）の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態としたまま、表示部 9307 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9303 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【0304】

また、図 25（B）は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0305】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部、腕に対するバンド部の固定状態を調節する調節部 9 2 0 5、表示部 9 2 0 1、スピーカ 9 2 0 7、及びマイク 9 2 0 8 から構成されている。

【 0 3 0 6 】

また、本体は、操作スイッチ 9 2 0 3 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばスイッチを押すとインターネット用のプログラムが起動されるなど、各ファンクションを対応づけることができる。

【 0 3 0 7 】

この携帯電話の入力操作は、表示部 9 2 0 1 に指や入力ペンなどで触れること、又は操作スイッチ 9 2 0 3 の操作、またはマイク 9 2 0 8 への音声入力により行われる。なお、図 2 5 ( B ) では、表示部 9 2 0 1 に表示された表示ボタン 9 2 0 2 を図示しており、指などで触れることにより入力を行うことができる。

10

【 0 3 0 8 】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9 2 0 6 を有する。なお、特にカメラ部は設けなくともよい。

【 0 3 0 9 】

また、図 2 5 ( B ) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 2 0 1 に表示することができ、さらにメモリーなどの記憶装置などを備えた構成として、テレビ放送をメモリーに録画できる。また、図 2 5 ( B ) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

20

【 0 3 1 0 】

表示部 9 2 0 1 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 2 5 ( B ) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部 9 2 0 1 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【 0 3 1 1 】

なお、図 2 5 ( B ) では " 腕 " に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【 実施例 1 】

【 0 3 1 2 】

本実施例では、発明の一形態である薄膜トランジスタを作製し、その電気特性を評価した結果を示す。

30

【 0 3 1 3 】

本実施例では工程の異なる 4 種類の薄膜トランジスタ ( A ~ D ) を作製した。薄膜トランジスタの作製方法を説明する。ガラス基板上に下地膜として、CVD 法により膜厚 1 0 0 nm の酸化窒化珪素膜を形成し、酸化窒化珪素膜上にゲート電極層としてスパッタ法により膜厚 1 5 0 nm のタングステン膜を形成し、ゲート電極層上にゲート絶縁層として CVD 法により膜厚 2 0 0 nm の酸化窒化珪素膜を形成した。

【 0 3 1 4 】

ゲート絶縁層上に、In - Ga - Zn - O 系酸化物半導体ターゲット (  $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO}$  = 1 : 1 : 1 ) を用いて、基板とターゲットの間との距離を 6 0 mm、圧力 0 . 4 Pa、直流 ( DC ) 電源 0 . 5 kW、アルゴン及び酸素 ( アルゴン : 酸素 = 3 0 sccm : 1 5 sccm ) 雰囲気下で成膜し、半導体層を形成した。

40

【 0 3 1 5 】

半導体層上にソース電極層及びドレイン電極層としてチタン膜 ( 膜厚 5 0 nm )、アルミニウム膜 ( 膜厚 2 0 0 nm )、及びチタン膜 ( 膜厚 5 0 nm ) の積層を、スパッタ法により形成した。

【 0 3 1 6 】

次に、薄膜トランジスタ A 及び B においては、半導体層を大気雰囲気下、3 5 0 で 1 時間加熱し、薄膜トランジスタ C 及び D においては、半導体層を窒素雰囲気下、3 5 0 で

50

1 時間加熱した。この加熱処理を第 1 の加熱処理とする。

【 0 3 1 7 】

薄膜トランジスタ ( A ~ D ) において、半導体層に接するように絶縁膜としてスパッタ法により膜厚 3 0 0 n m の酸化珪素膜を形成した。さらに絶縁膜上に配線層としてチタン膜 ( 膜厚 5 0 n m ) 、アルミニウム膜 ( 膜厚 2 0 0 n m ) 、及びチタン膜 ( 膜厚 5 0 n m ) の積層を、スパッタ法により形成した。

【 0 3 1 8 】

次に、薄膜トランジスタ A 及び C においては、大気雰囲気下、2 5 0 で 1 時間加熱し、薄膜トランジスタ B 及び D においては、半導体層を窒素雰囲気下、2 5 0 で 1 時間加熱した。この加熱処理を第 2 の加熱処理とする。

10

【 0 3 1 9 】

以上の工程で、第 1 の加熱処理が大気雰囲気下 3 5 0 で 1 時間、第 2 の加熱処理が大気雰囲気下 2 5 0 で 1 時間の薄膜トランジスタ A 、第 1 の加熱処理が大気雰囲気下 3 5 0 で 1 時間、第 2 の加熱処理が窒素雰囲気下 2 5 0 で 1 時間の薄膜トランジスタ B 、第 1 の加熱処理が窒素雰囲気下 3 5 0 で 1 時間、第 2 の加熱処理が大気雰囲気下 2 5 0 で 1 時間の薄膜トランジスタ C 、第 1 の加熱処理が窒素雰囲気下 3 5 0 で 1 時間、第 2 の加熱処理が窒素雰囲気下 2 5 0 で 1 時間の薄膜トランジスタ D を作製した。薄膜トランジスタ A ~ D の半導体層のチャネル長 ( L ) は 2 0  $\mu$  m 、チャネル幅 ( W ) は 2 0  $\mu$  m であった。

【 0 3 2 0 】

20

薄膜トランジスタ A ~ D にそれぞれ B T ストレス試験 ( バイアス・温度ストレス試験 ) を行い、電気特性を評価した。B T ストレス試験における測定条件は、温度 1 5 0 、時間 1 時間、ゲート電圧 ( V g ) + 2 0 V 、ドレイン電圧 ( V d ) 1 V と 1 0 V である。

【 0 3 2 1 】

図 2 6 はプラスゲート B T ストレス試験、図 2 7 はマイナスゲート B T ストレス試験の結果 ( V g ( ゲート電圧 ) - I d ( ドレイン電流 ) 、 V g ( ゲート電圧 ) - I g ( ゲート電流 ) 、 V g ( ゲート電圧 ) -  $\mu$  F E ( 移動度 ) ) であり、図 2 6 ( A ) 図 2 7 ( A ) に薄膜トランジスタ A 、図 2 6 ( B ) 図 2 7 ( B ) に薄膜トランジスタ B 、図 2 6 ( C ) 図 2 7 ( C ) に薄膜トランジスタ C 、図 2 6 ( D ) 図 2 7 ( D ) に薄膜トランジスタ D の評価結果を示す。なお図 2 6 中の矢印は試験前と試験後の V g ( ゲート電圧 ) - I d ( ドレイン電流 ) 曲線のシフトを示している。

30

【 0 3 2 2 】

図 2 7 ( A ) 乃至 ( D ) に示すように、マイナスゲート B T ストレス試験においては、薄膜トランジスタ A ~ D においてしきい値電圧のシフト ( 動き ) はほとんど見られなかった。

【 0 3 2 3 】

しかし、図 2 6 ( A ) 乃至 ( D ) に示すように、プラスゲート B T ストレス試験においては、第 1 の加熱処理を大気雰囲気下で行った薄膜トランジスタ A ( 図 2 6 ( A ) ) 及び薄膜トランジスタ B ( 図 2 6 ( B ) ) はプラスゲート B T ストレス試験前と試験後とではそのしきい値電圧が大きくシフトしており、+ 1 5 V 以上の動きがあった。一方、第 1 の加熱処理を窒素雰囲気下で行った薄膜トランジスタ C ( 図 2 6 ( C ) ) 及び薄膜トランジスタ D ( 図 2 6 ( D ) ) はプラスゲート B T ストレス試験前と試験後とではそのしきい値電圧にほとんどシフトがなく動きは + 5 V 以下であった。よって、第 1 の加熱処理を窒素雰囲気下で行って作製した薄膜トランジスタ C 及び薄膜トランジスタ D においては、安定した電気特性を有することが確認できた。

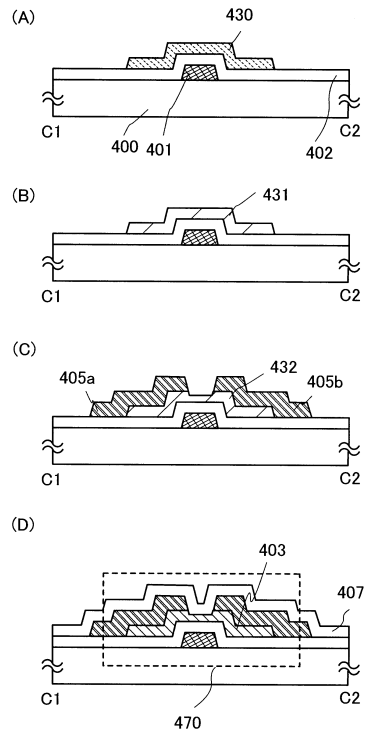
40

【 0 3 2 4 】

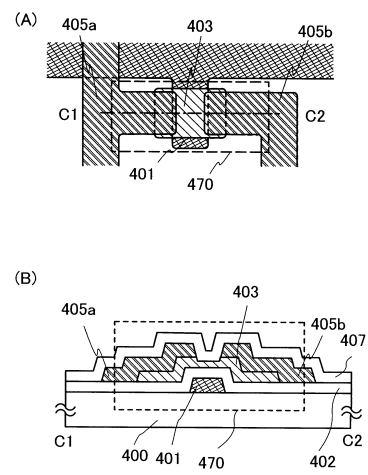
以上のことから、本明細書で開示する発明のように、半導体層形成後、絶縁膜形成前に行う第 1 の加熱処理を窒素雰囲気下で行って薄膜トランジスタを作製すると、安定した電気特性の薄膜トランジスタとすることができ、該薄膜トランジスタを有する半導体装置に高い信頼性を付与できることが確認できた。

50

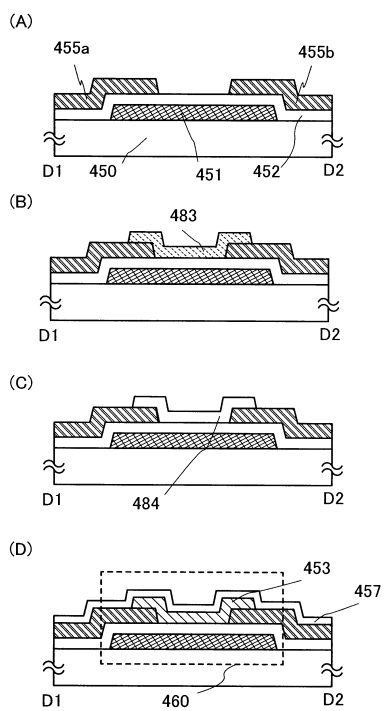
【図 1】



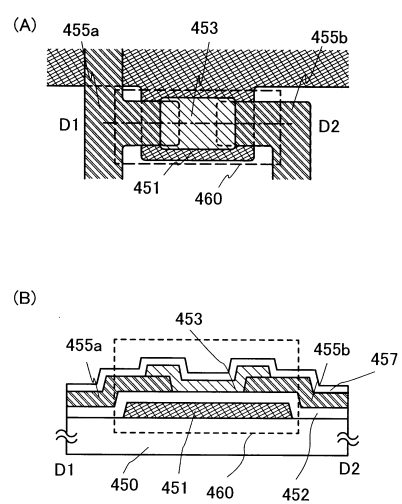
【図 2】



【図 3】

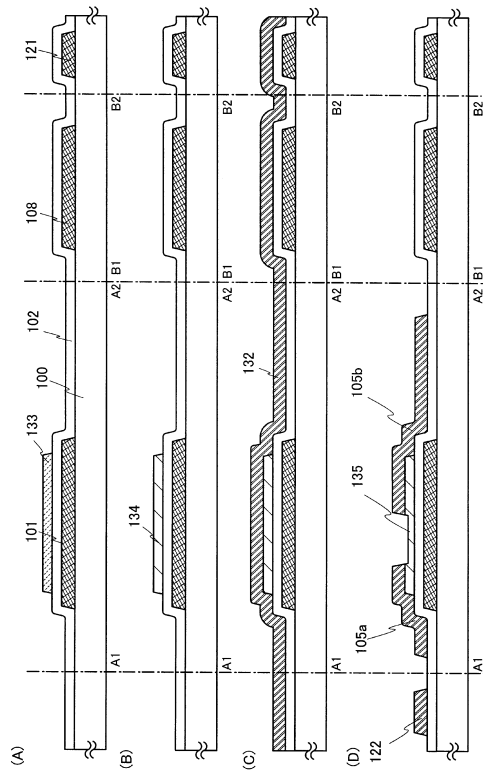


【図 4】

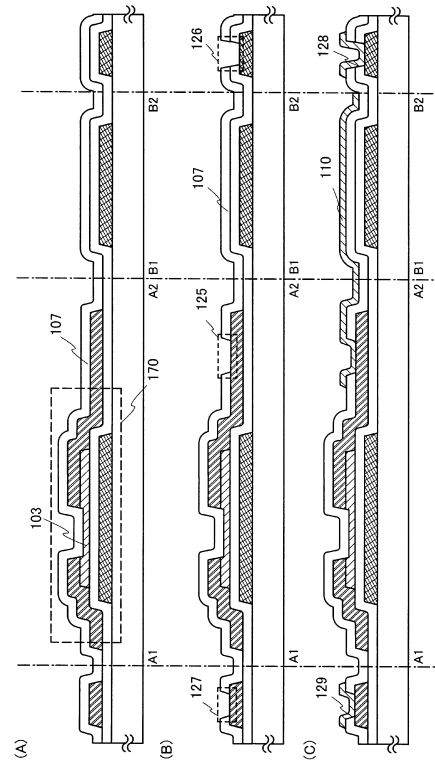




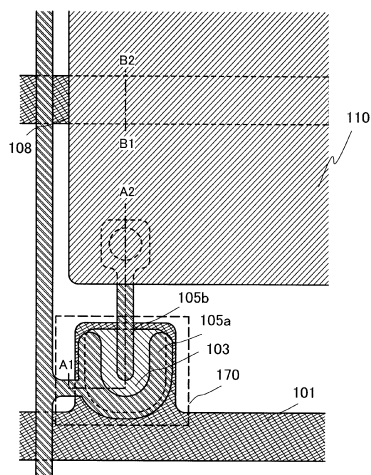
【図 5】



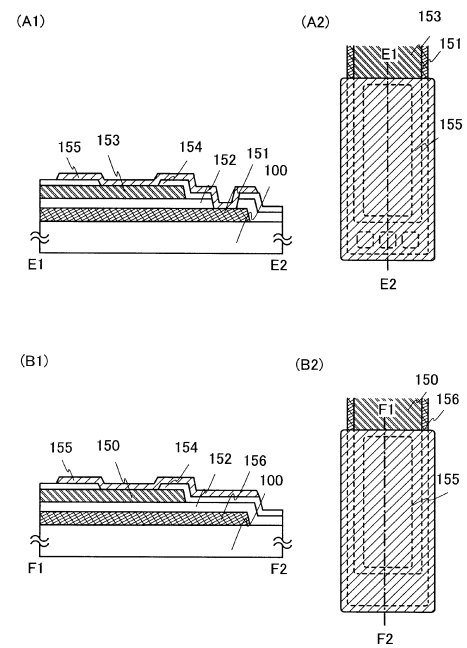
【図 6】



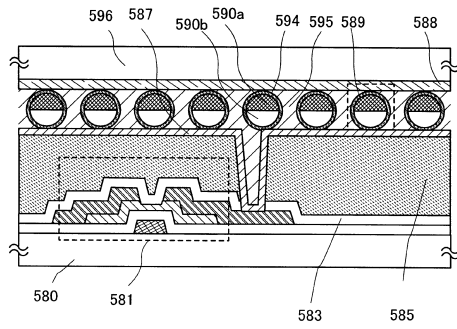
【図 7】



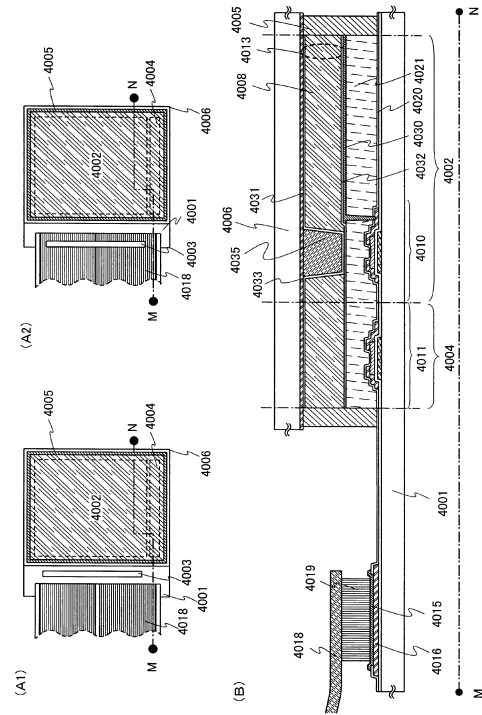
【図 8】



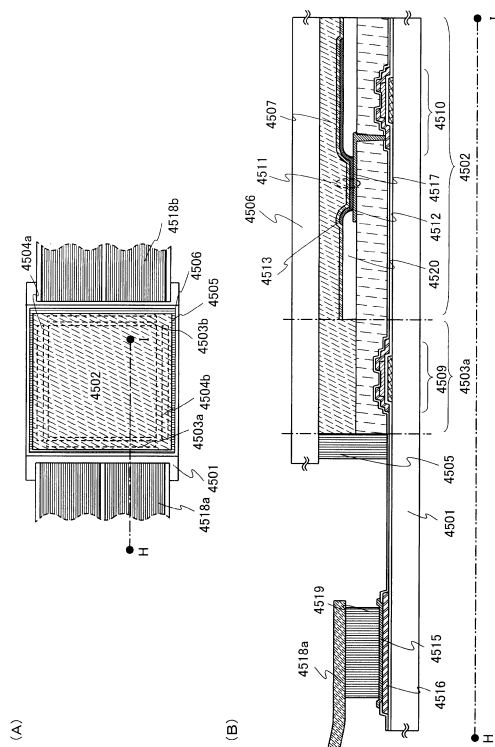
【 図 9 】



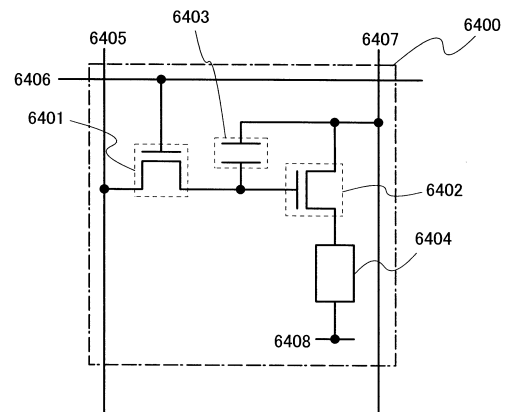
【 図 1 0 】



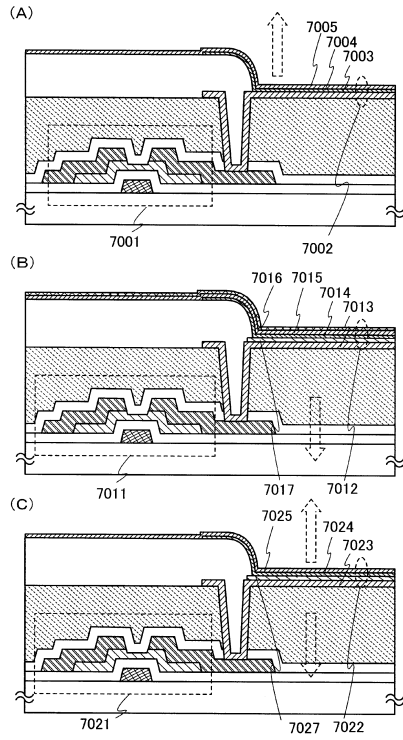
【 図 1 1 】



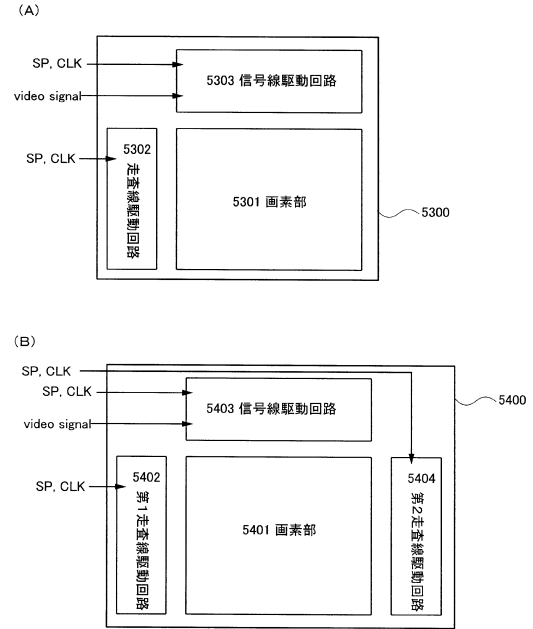
【圖 12】



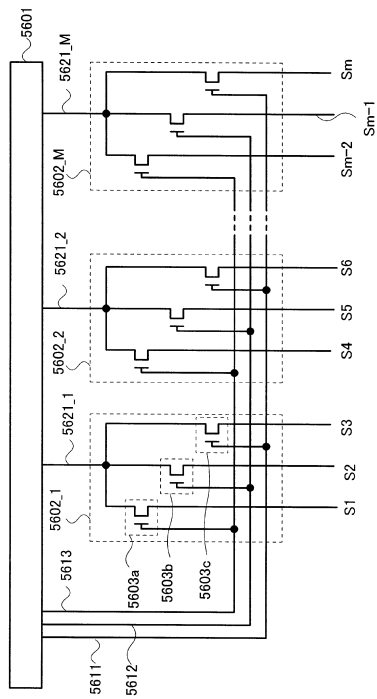
【図 13】



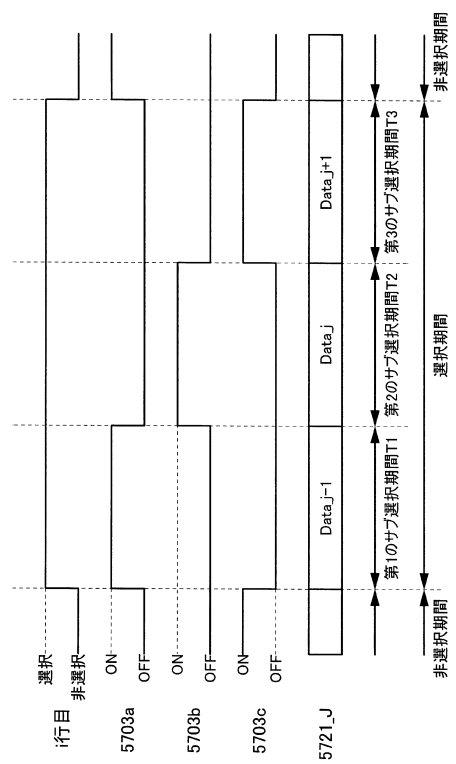
【図 14】



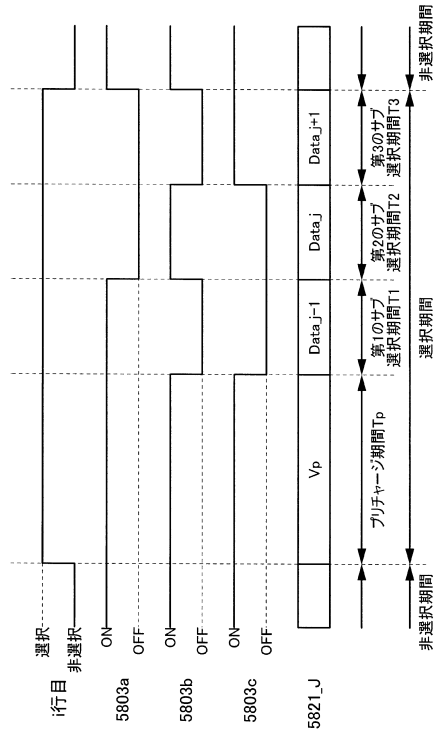
【図 15】



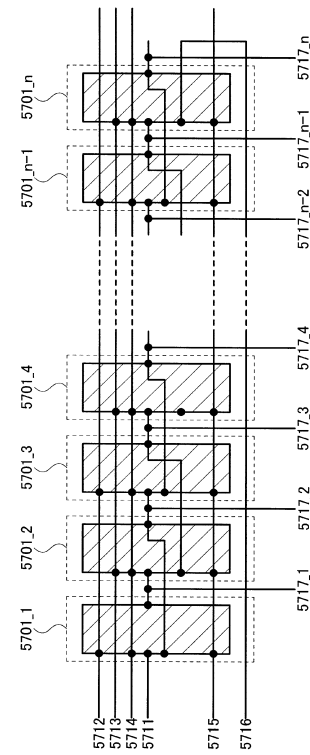
【図 16】



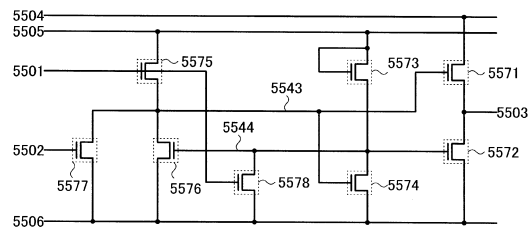
【図 17】



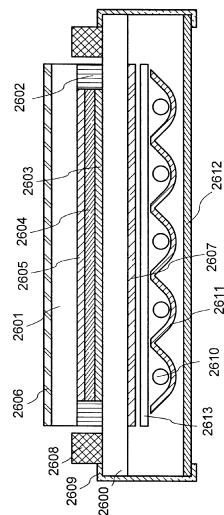
【図 18】



【図 19】

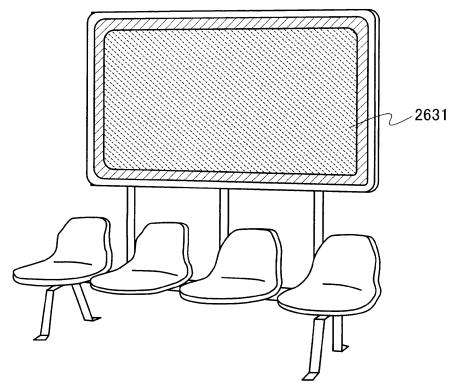


【図 20】

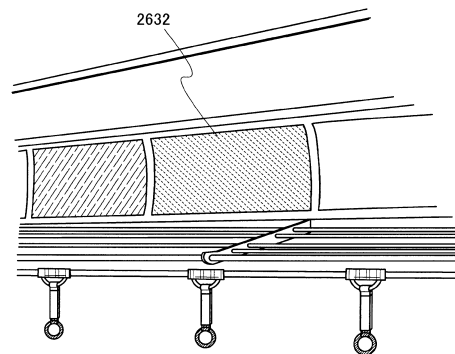


【図 21】

(A)

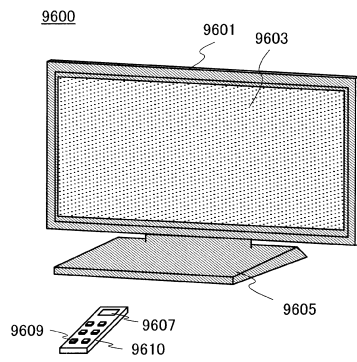


(B)

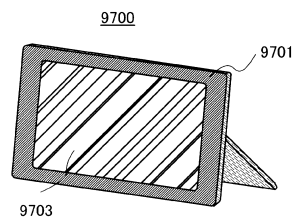


【図 22】

(A)

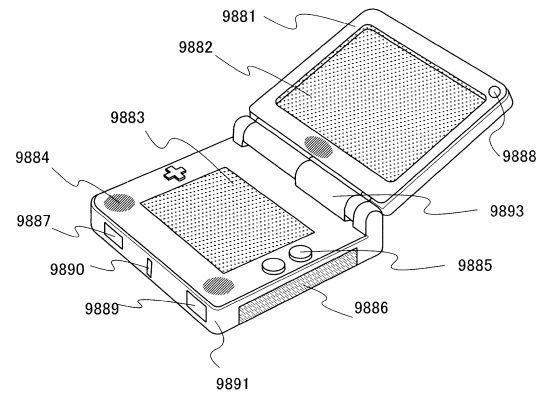


(B)

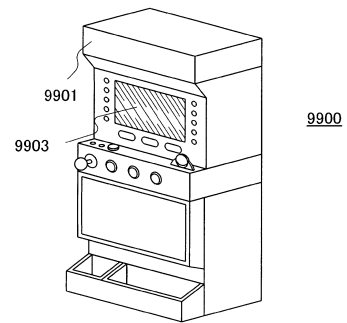


【図 23】

(A)

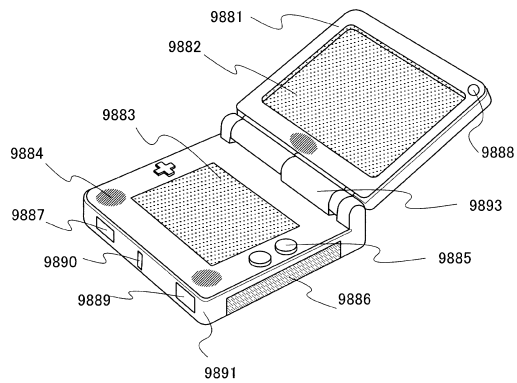


(B)

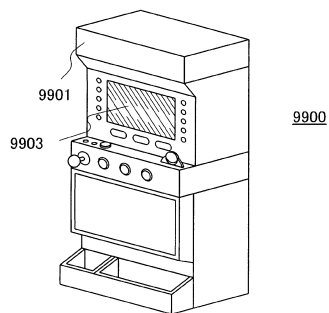


【図 24】

(A)

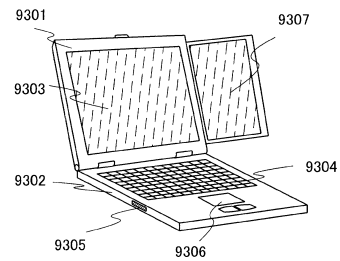


(B)

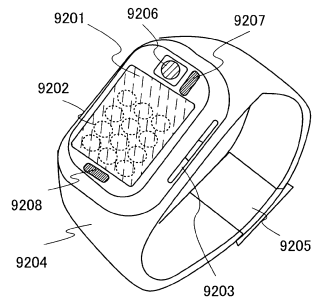


【図 25】

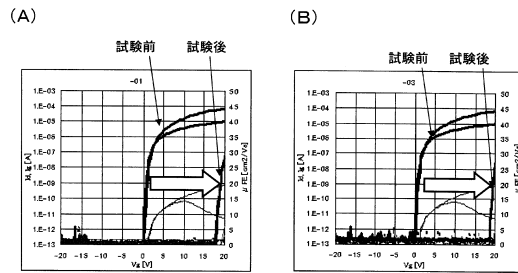
(A)



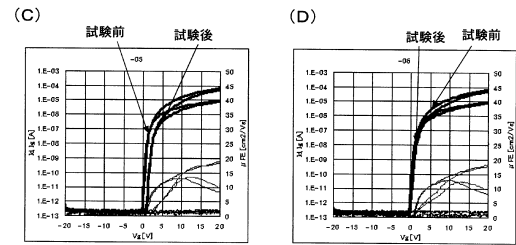
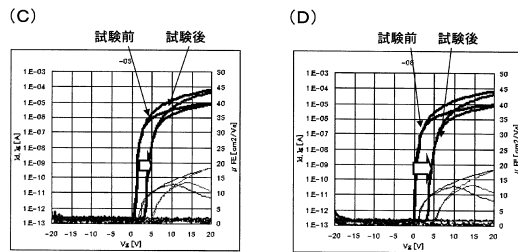
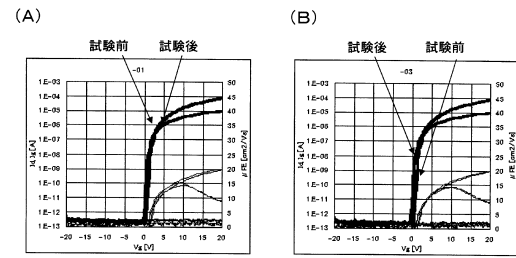
(B)



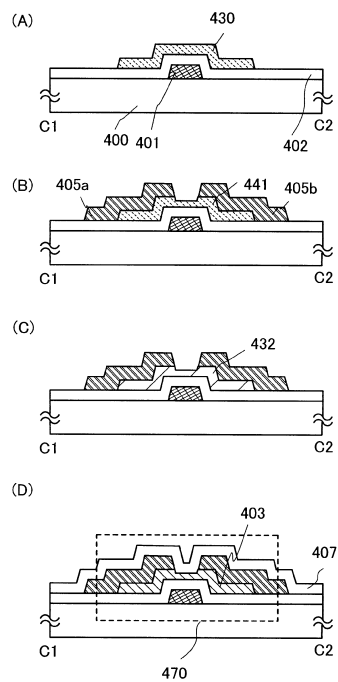
【図 26】



【図 27】



【図 28】



---

フロントページの続き

(56)参考文献 特開2009-010362(JP,A)  
特開2008-235871(JP,A)  
特開2009-031742(JP,A)  
米国特許出願公開第2008/0318368(US,A1)  
特開2009-004787(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 21/336  
H01L 29/786