



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Prihlášené 20 01 86
(21) (PV 403-86.Y)

(40) Zverejnené 17 09 87

(45) Vydané 15 11 88

256746
(11) (B1)

(51) Int. Cl.⁴
G 06 K 1/12

(75)

Autor vynálezu

KAVKA JAROSLAV ing., BLÁŠKOVAN PAVOL ing., ŽILINA

(54) Zariadenie pre zápis riadiaceho programu do reprogramovateľných pamätí

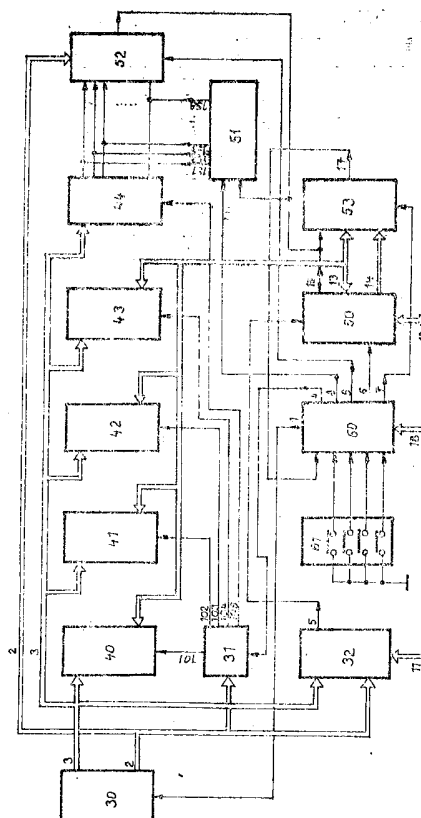
1

Zariadenie pre zápis riadiaceho programu z programovateľných automatov do reprogramovateľných pamätí pozostáva z čítača adres, bloku adresy, bloku prenosu dát, bloku výberu pamätí, bloku pamätí, strádača a multiplexera parity, bloku vyhodnotenia chyby a prepínača režimov činnosti.

Programovanie sa vykonáva tak, že sa postupne programujú prvé byty jednotlivých blokov pamätí, pričom parita z každého bloku sa ukladá v strádači a programuje sa ako celý byt s datami posledného bloku. Až potom sa zvyšuje adresa bytu v bloku pamätí. Adresové byty čítača adres s najnižšou váhou preto určujú cez dekóder výber bloku pamätí a ostatné adresové byty určujú adresu v blokoch pamätí. Stav interného čítača adres sa porovnáva so stavom čítača adres programovateľného automatu. V prípade zhody sa spúšťajú obvody prenosu dát.

Zariadenie umožňuje programovanie viacerých blokov pamätí, prípadne kompletného riadiaceho programu.

2



Vynález sa týka zariadenia pre zápis riadiaceho programu do reprogramovateľných pamätí z programovateľných automatov.

Doposiaľ známe zariadenia vykonávajú prepis riadiaceho programu prostredníctvom diernej pásky, alebo priamo do pamäti vyššieho riadiaceho systému. Programovanie reprogramovateľných pamätí sa vykonáva postupne po jednotlivých čípoch. Toto riešenie je ekonomicky a časovo náročné, nakoľko programovateľný automat a vyšší riadiaci systém zvyčajne nie sú na jednom mieste a diernopáskové zariadenia nie sú vhodné do všetkých prevádzkových podmienok.

Uvedené nedostatky odstraňuje zariadenie pre zápis riadiaceho programu do reprogramovateľných pamätí, pozostávajúce z čítačov, dekódov, blokov pamäti, obvodov prenosu, strádača, multiplexera, obvodov vyhodnotení, ktorého podstatou je, že časť výstupov čítača adres je pripojená na vstupy dekódera blokov pamäti, obvodov vyhodnotenia zhody adres a na vstupy multiplexera parity. Ostatné výstupy čítača adres sú pripojené na adresné vstupy pamäti dát, pamäti parity a na vstupy vyhodnotenia zhody adresy. Na ďalšie vstupy obvodov vyhodnotenia zhody adresy sú pripojené adresné signály z programovateľného automatu a jeho výstup je privedený na vstup obvodov prenosu dát, čím spolu s riadiacimi signálmi zaisťuje synchronizáciu prenosu dát s programovateľným automatom. Osmica výstupov obvodu prenosu dát je obojsmernou zbernicou pripojená na vývody pamäti dát programu a súčasne na vstupy obvodov vyhodnotenia chyby. Na ďalšie vývody obvodov prenosu dát sú pripojené obojsmernou zbernicou dátové signály z programovateľného automatu a riadiaci signál z obvodov riadenia. Vstupy pamäti dát a parity sú postupne spojené s výstupmi dekódera blokov pamäti, čím je určený blok pamäti, s ktorým sa bude spolupracovať. Na vstupe dekódera bloku pamäti je privedený výstup obvodov riadenia závislý od zvoleného režimu.

Signál parity riadiaceho programu z obvodov prenosu dát je pripojený na vstup strádača parity a osmice jeho výstupov je postupne pripojená na dátové vývody pamäte parity a súčasne na vstupy multiplexera parity. Na ďalší vstup strádača parity je pripojený riadiaci signál posunu strádača z obvodu riadenia, čím sa pri zápise parity nasledujúceho bloku pamäti dát posunú informácie strádača o jeden byt. Výstup multiplexera parity je spätne pripojený na signál parity obvodov prenosu dát a súčasne na vstup obvodu vyhodnotenia chyby. Na vstup obvodov vyhodnotenia chyby sú pripojené dátové signály z obvodov prenosu dát a strobovací signál z obvodov riadenia. Výstup obvodu vyhodnotenia chyby je pripojený na vstup obvodov riadenia, kde blokuje činnosť signálu posunu čítača adres. Na ďalšie vstupy obvodov riadenia sú pripojené výstupy prepínača režimu a synchronizačné

signály z programovateľného automatu. Jeden z výstupov obvodov riadenia je pripojený na vstup čítača adres, ktorý mení stav adresných signálov.

Programovanie kompletného riadiaceho programu do reprogramovateľných pamätí sa vykonáva priamo v pozícii programovateľného automatu tak, že sa postupne naprogramujú prvé riadky jednotlivých blokov pamäti, pričom paritný byt každého bloku sa ukladá do strádača a programuje sa súčasne s posledným blokom pamäti dát. Po naprogramovaní prvého riadku sa vykoná naprogramovanie druhého, čím postupne dôjde k naprogramovaniu príslušných blokov, prípadne kompletného riadiaceho programu.

Zariadenie podľa vynálezu umožňuje okrem programovania reprogramovateľných pamätí vykonávať kontrolu čistoty, kontrolu správnosti naprogramovaných dát a prepis dát z reprogramovateľných do voľne programovateľných pamätí programovateľných automatov, pričom všetky režimy činnosti využívajú podstatu vynálezu. Použitie zariadenia umožňuje rýchly prepis riadiaceho programu na mieste a je vhodné do prevádzkových podmienok.

Na výkrese je bloková schéma zariadenia pre zápis riadiaceho programu do reprogramovateľných pamätí.

Zariadenie pre zápis riadiaceho programu do reprogramovateľných pamätí pozostáva z čítača adres, dekódera blokov pamäti, vyhodnotenia zhody adresy, obvodov prenosu dát, pamäte dát, pamäte parity, strádača parity, multiplexera parity, obvodov vyhodnotenia chyby, riadenia a prepínača režimov. Výstupy 2 čítača adres 30 sú pripojené na vstupy dekódera blokov pamäti 31, obvodov vyhodnotenia zhody adresy 32 a vstupy multiplexera parity 52. Tieto výstupy predstavujú adresné signály s najnižšou váhou. Ostatné výstupy 3 čítača adres 30 sú pripojené na adresné vstupy pamäti dát 40, 41, 42, 43, pamäti parity 44 a na vstupy obvodov vyhodnotenia zhody adresy 32. Na ďalšie vstupy obvodov vyhodnotenia zhody adresy 32 sú pripojené adresné signály výstupom 11 z programovateľného automatu a výstup 5 je privedený na vstup obvodov prenosu dát 50. Výstupy 13 obvodov prenosu dát 50 sú pripojené obojsmernou zbernicou na vývody pamäti dát 40, 41, 42, 43 programu a súčasne na vstupy obvodov vyhodnotenia chyby 53. Na ďalšie vývody obvodov prenosu dát 50 sú pripojené obojsmernou zbernicou dátové signály výstupu 12 z programovateľného automatu a riadiaci signál 6 z obvodov riadenia 60. Signály výstupu 13 predstavujú dáta riadiaceho programu z programovateľného automatu na odpovedajúcej adrese čítača adres 30. Prenos dát je riadený signálmi 5, 6, ktoré sú synchronizované v obvodoch riadenia 60 signálmi z programovateľného automatu.

Vstupy pamäti dát 40, 41, 42, 43 pamäti parity 44 sú postupne spojené riadiacimi signálmi 101, 102, 103, 104, 105 s výstupmi dekóderu blokov pamäti 31, na vstup ktorého je privedený spúšťač signálu výstupu 4 z obvodov riadenia 60. Tento signál je závislý na zvolenom režime prepínača režimu 61. Signál parity výstupu 15 riadiaceho programu z obvodov prenosu dát 50 je pripojený na vstup strádača parity 51 a osmica jeho výstupov 151 až 158 je postupne pripojená na dátové vývody pamäte parity 44 a súčasne na vstupy multiplexera parity 52. Na ďalší vstup strádača parity 51 je pripojený riadiaci signál výstupu 8 posunu strádača z obvodov riadenia 60. Výstup multiplexera parity je spätne pripojený na signál parity výstupu 15 obvodov prenosu dát 50 a súčasne na vstup obvodov vyhodnotenia chyby 53, pričom na ďalší vstup multiplexera parity 52 je pripojený riadiaci signál výstupu 9 z obvodov riadenia 60, ktorý je odvodený z režimov činnosti. Na vstupy obvodov vyhodnotenia chyby 53 sú pripojené dátové signály výstupu 14 z obvodov prenosu dát 50 a strobovací signál výstupu 7 z obvodov riadenia 60. Obvody vyhodnotenia chyby 53 pracujú len v režimoch kontroly a porovnávajú dáta z pamäti 40 až 44 s dátami programovateľného automatu. Pri zistení chyby je táto signalizovaná spoločne s číslom bloku pamäti a činnosť zariadenia sa zastaví. Výstup 17 obvodov vyhodnotenia chyby 53 je pripojený na vstup obvodov riadenia 60. Signál výstupu 17 blokuje činnosť signálu posunu z výstupu 1 čítača adres 30. Na ďalšie vstupy obvodov riadenia 60 sú pripojené výstupy prepínača režimu 61 a synchronizačné signály výstupu 18 z programovateľ-

ného automatu. Výstup 1 obvodov riadenia 60 je pripojený na vstup čítača adresy 30, ktorý zvýši stav adresných signálov.

Adresové signály výstupu 2 čítača adres 30 s najnižšou váhou sa dekódujú v dekóderi blokov pamäti 31 a určujú výber bloku. Ostatné adresové signály výstupu 3 určujú adresu v blokoch pamäte dát 40, 41, 42, 43 a pamäti parity 44. Adresové signály výstupu 2, 3 čítača adres 30 sa v obvodoch vyhodnotenia adres 32 porovnávajú s adresovými signálmi výstupu 11 programovateľného automatu a v prípade zhody sa uvádzajú do činnosti obvody prenosu dát 50. Smer dátových signálov výstupu 13 a paritného bytu je určený režimom činnosti. Riadiace signály výstupov 4, 8, 9, 6, 7 sa vyrábajú v obvodoch riadenia 60 podľa stavu prepínača režimov 61 a sú synchronizované riadiacimi signálmi výstupu 13 z programovateľného automatu. Riadiaci signál výstupu 8 pri zápise posúva informáciu v strádači 51 o jeden byt a na prvý byt zapíše prichádzajúci paritný byt. Programovanie dát v pamätiach 40, 41, 42, 43 sa vykonáva po blokoch, pričom paritný byt každého bloku sa ukladá do strádača 51 a blok parity 44 sa programuje súčasne s posledným blokom pamäti dát. Pri kontrolnom režime multiplexera parity 52 vyberie podľa stavu adresových signálov 2 príslušný paritný byt odpovedajúci bloku pamäti dát 40, 41, 42, 43. Dátové signály výstupu 13 a paritný byt 15 sa v obvode vyhodnotenia chyby 53 porovnávajú s dátovými signálmi výstupu 14 z obvodov prenosu dát 50, do ktorého sú privedené z programovateľného automatu. Vyhodnotenie chyby aktivuje signál výstupu 17, ktorý spôsobuje zastavenie činnosti.

PREDMET VYNÁLEZU

Zariadenie pre zápis riadiaceho programu do reprogramovateľných pamätí vyznačujúce sa tým, že výstupy (2) čítača adres (30) sú pripojené na vstupy dekódera blokov pamäti (31), obvodov vyhodnotenia zhody adresy (32) a na vstupy multiplexera parity (52), pričom ostatné výstupy (3) čítača adres (30) sú pripojené na adresné vstupy pamäti dát (40, 41, 42, 43), pamäti parity (44) a na vstupy vyhodnotenia zhody adresy (32), kde na ďalšie vstupy sú pripojené adresné signály výstupu (11) z programovateľného automatu a výstup (5) je pripojený na vstup obvodov prenosu dát (50), pričom osmica výstupov (13) obvodov prenosu dát (50) je obojsmernou zbernicou pripojená na vývody pamäti dát (40, 41, 42, 43) programu a súčasne na vstupy obvodov vyhodnotenia chyby (53), na ďalšie vývody obvodov prenosu dát (50) sú pripojené obojsmernou zbernicou dátové signály výstupu (12) z programovateľného automatu

a riadiaci signál výstupu (6) z obvodov riadenia (60), pričom vstupy pamäti dát (40, 41, 42, 43) a pamäti parity (44) sú postupne spojené s výstupmi dekóderu blokov pamäti (31), na vstup ktorého je privedený spúšťač signálu z výstupu (4) z obvodov riadenia (60), ďalej signál parity výstupu (15) riadiaceho programu obvodov prenosu dát (50) je pripojený na vstup strádača parity (51) a osmica jeho výstupov (151 až 158) je postupne pripojená na dátové vývody pamäte parity (44) a súčasne na vstupy multiplexera parity (52), pričom na ďalší vstup strádača parity (51) je pripojený riadiaci signál výstupu (8) posunu strádača z obvodov riadenia (60) a výstup multiplexera parity (52) je spätne pripojený na signál parity výstupu (15), obvodov prenosu dát (50) a súčasne na vstup obvodov vyhodnotenia chyby (53), pričom na ďalší vstup multiplexera parity (52) je pripojený riadiaci signál

výstupu (9) z obvodov riadenia (60), ďalej na vstupy obvodov vyhodnotenia chyby (53) sú pripojené dátové signály výstupu (14) z obvodov prenosu dát (50) a strobovací signál (7) z obvodov riadenia (60), pričom výstup (17) obvodov vyhodnotenia chyby (53)

je pripojený na vstup obvodov riadenia (60) sú pripojené výstupy prepínača režimu (61) a synchronizačné signály výstupu (18) z programovateľného automatu, ďalej výstup (1) obvodov riadenia (60) je pripojený na vstup čítača adres (30).

1 list výkresov

