



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2010년06월09일  
 (11) 등록번호 10-0962906  
 (24) 등록일자 2010년05월31일

(51) Int. Cl.

*H01L 23/28* (2006.01) *H01L 23/31* (2006.01)*H01L 23/02* (2006.01)

(21) 출원번호 10-2006-7013489

(22) 출원일자(국제출원일자) 2005년01월06일

심사청구일자 2008년02월28일

(85) 번역문제출일자 2006년07월05일

(65) 공개번호 10-2007-0000424

(43) 공개일자 2007년01월02일

(86) 국제출원번호 PCT/US2005/000289

(87) 국제공개번호 WO 2005/067598

국제공개일자 2005년07월28일

(30) 우선권주장

10/707,713 2004년01월06일 미국(US)

(56) 선행기술조사문헌

US20030022330 A1

US4017340 A

전체 청구항 수 : 총 10 항

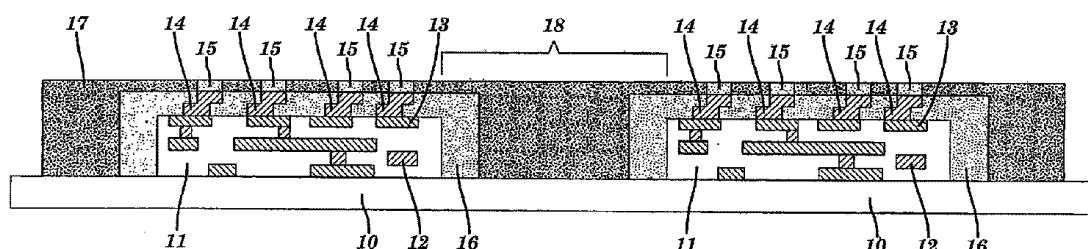
심사관 : 정진수

## (54) 낮은-k 상호접속 구조물을 위한 컴플라이언트패시베이트된 엣지 셀

## (57) 요 약

칩 또는 칩 패키지를 위해, 다중층 온-칩 상호접속에 기계적으로 분리되어 있으나 전기적으로는 결합된 최종 패시베이션 및 터미널 야금이 있는 구조물이 개시된다. 이러한 분리는 최종 패시베이션 영역에서 패키징 스트레스에 대해 상기 칩이 유지될 수 있도록 허용하고, 컴플라이언트 납이 내부에 있으며 분리 영역으로부터 스트레인 완화를 가지며, 온-칩 상호접속 레벨이 이러한 외부 패키징 또는 다른 스트레스로를 받지 않도록 한다. 이러한 구조물은 특히 Cu 와 낮은-k 유전체는  $\text{SiO}_2$  에 상대적으로 열약한 기계적 특성을 갖는 낮은-k 유전체로 구성되는 온-칩 상호접속에 대해 바람직하다. 분리된 영역은 웨이퍼상의 모든 칩 위로 확장한다. 또한 웨이퍼상의 모든 칩의 주변의 이러한 기계적 분리의 보유와 칩 다이싱을 허용하도록 엣지 셀 또는 다이싱 채널 영역으로 확장할 수 있다.

## 대 표 도



## 특허청구의 범위

### 청구항 1

반도체 웨이퍼에 있어서,

기판과,

상기 기판상에 제조된 다수의 집적회로와,

상기 집적회로중 인접한 것들 사이에 배치된 다이싱(dicing) 채널 -상기 채널은 상기 집적회로의 측벽을 노출시킴- 과,

상기 집적회로의 상단 표면 및 측벽상에 배치된 제1 유전 물질층과,

상기 제1 유전 물질층상에 배치되는 적어도 하나의 제2 유전 물질층에 의한 적어도 하나의 층을 포함하며, 상기 제1 유전 물질은 상기 제2 유전 물질보다 적어도 10배가 큰  $G_c$  값을 갖는, 반도체 웨이퍼.

### 청구항 2

제1항에 있어서,

상기 제1 유전 물질은  $0.1\text{kJ/m}^2$  보다 큰  $G_c$  값을 갖는, 반도체 웨이퍼.

### 청구항 3

제1항에 있어서,

상기 제2 유전 물질은  $0.05\text{kJ/m}^2$  보다 작은  $G_c$  값을 갖는, 반도체 웨이퍼.

### 청구항 4

제1항에 있어서,

상기 제1 유전 물질은 20에서 100MPa의 인장강도를 갖는, 반도체 웨이퍼.

### 청구항 5

제1항에 있어서,

상기 제1 유전 물질은 폴리에스테르(polyester), 페놀릭(phenolic), 폴리이미드(polyimide), 폴리설폰(polysulfone), 폴리에테르 에테르 캐톤(polyether ether ketone), 폴리우레탄(polyurethane), 에폭시(epoxy), 폴리아릴렌 에테르(polyarylene ether), 그리고 폴리에틸렌 테레프탈레이트(polyethylene terephthalate)로 구성되는 그룹으로부터 선택되는, 반도체 웨이퍼.

### 청구항 6

제1항에 있어서,

상기 제2 유전 물질은  $\text{SiN}_x$ ,  $\text{SiO}_2$ ,  $\text{SiC}$ , TEOS, FTEOS, FSG, 그리고 OSG로 구성되는 그룹으로부터 선택되는, 반도체 웨이퍼.

### 청구항 7

제1항에 있어서,

상기 다이싱 채널은 상기 집적회로의 측면과 상기 기판의 측면을 노출시키는, 반도체 웨이퍼.

### 청구항 8

제1항에 있어서,

상기 제1 유전 물질 및 상기 제2 유전 물질내에 내장되며 상기 다수의 집적회로와 컨택하는 다수의 도체를 더 포함하는, 반도체 웨이퍼.

### 청구항 9

제1항에 있어서,

상기 반도체 웨이퍼는 상기 적어도 하나의 제2 유전 물질의 다수의 층을 포함하는, 반도체 웨이퍼.

### 청구항 10

기판상에 형성된 집적회로 칩상의 엣지 셀 구조물(edge seal structure)을 형성하는 방법에 있어서,

상기 집적회로 칩을 둘러싸는 커프(kerf) 영역내 채널을 예칭하는 단계 -이것에 의해 상기 집적회로 칩의 측벽을 노출시킴- 와,

상기 채널 내에 그리고 상기 집적회로 칩상에 제1 유전 물질의 평탄층을 증착하는 단계와,

상기 제1 유전 물질 위에 적어도 하나의 제2 유전 물질을 증착하는 단계

를 포함하며, 상기 제1 유전 물질은 상기 제2 유전 물질보다 적어도 10배가 큰  $G_c$  값을 갖는, 엣지 셀 구조물 형성방법.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

삭제

### 청구항 14

삭제

### 청구항 15

삭제

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

### 청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

## 명세서

### 기술분야

[0001]

본 발명은 일반적으로 고속 마이크로프로세서, 어플리케이션 특정 집적회로(ASIC), 그리고 다른 고속 IC를 위한 상호접속 구조물에 관한 것이며, 좀더 구체적으로는, 낮은-k 상호접속 구조물을 위해 패시베이트된(passivated) 컴플라이언트(compliant) 엣지 씰(seal)에 관한 것이다. 본 발명은 어셈블리 및 패키징에서 개선된 기계적 무결성(integrity)의 컴퓨터 칩을 제공하며, 또한 이하의 설명에 의해 명확해지는 여러가지 이점들을 제공한다.

### 배경기술

[0002]

반도체 제조에 있어서, 절연층, 반도체층, 그리고 전도층은 기판상에 형성된다. 이들 층들은 트랜지스터, 캐패시터, 저항과 같은 디바이스들을 형성하는 피처 및 스페이스를 생성하기 위해 패터닝된다. 이들 디바이스들은 원하는 전기적 기능을 달성하기 위해 상호접속되며, 이것에 의해 집적회로(IC)를 만든다. 다양한 디바이스 층들의 형성 및 패터닝은 산화, 주입, 증착, 실리콘 에피택셜 성장, 리소그래피, 에칭 그리고 평탄화와 같은 종래 제조 기술들을 이용하여 이루어진다.

[0003]

처리량(throughput)을 증가시키기 위해, 다수의 IC는 동시에 웨이퍼상에 제조된다. 따라서, 예를 들면, 웨이퍼

는 웨이퍼의 평면 영역상에 형성되는 다중 IC 유닛을 포함할 수 있다. 각각의 IC는 다이싱(dicing) 채널 또는 스크라이브(scribe) 레인으로 언급되는 직교축을 이용하는 자체 경계 영역에 의해 둘러싸이는 독립체이다. 일반적으로, 이러한 채널은 약 50에서 100 $\mu\text{m}$ 의 폭을 갖는다. IC는 전형적으로 '다이싱' 또는 '싱글레이션(singulation)'으로 알려진 프로세스에서 채널을 컷팅하여 개별적 칩 또는 '다이(die)'로 분리된다. 종래 다이싱 기술은 다이아몬드 휠로 쏘잉(sawing), 레이저 컷팅, 그리고 "스크라이브 및 브레이크(scribe and break)"를 포함한다. 다이싱 툴이 웨이퍼를 컷 또는 스크라이브하면, 기판과 하부구조(substructure)에 잘림(chip)과 크랙(crack)이 종종 일어난다. 이러한 크랙은 패키징 스트레스에 대응하여 IC내의 심각한 영역으로 진행할 수 있으며, 불변의 회로 오류를 야기시킬 수 있다.

[0004] 칩 성능을 개선하기 위해, 상호접속을 둘러싸는 공업-규격 유전 물질  $\text{SiO}_2$ (약 4.0의 유전상수를 가짐)에서 낮은 유전상수("낮은-k") 절연체로 바꾸는 것에 의해 와이어링 캐페시턴스가 줄어든다. 이러한 낮은-k 물질은 경도 및 탄성률, 그리고 강도(robustness)와 내부 및 외부 스트레스로 인한 오류에 대한 저항성과 같은 형태의 기계적 특성 손실과 같은 중요한 결점이 된다. 특히, 균열을 야기하거나, 유전체 물질의 잘림 또는 크랙킹, 터미널 금속 패드의 풀아웃(pullout)이 없이 낮은-k 절연체를 포함하는 칩을 다이스, 패키지하는 것이 문제가 되었다. 그러므로 조립 및 패키지와 관련된 강한 외부 환경으로부터 이러한 약한 온-칩 물질을 격리시킬 필요가 있다.

[0005] 종래 접근법은 실리콘 질화물 물질과 같은 하드 유전체 패시베이션층을 적용했다. 예를 들면, 미국 특허등록번호 5,742,094는 셧드된(sealed) 반도체 칩을 개시한다. 얇은  $\text{SiN}$  패시베이션층과 Ni 패시베이션층으로 구성되는 밀폐 셀(hermetic seal)이 칩 표면상에 선택적으로 증착된다. 그러나, 낮은-k 유전 물질이 칩의 활성영역내에 내부-금속 유전체로서 이용될 때, 이러한 강한 패시베이션층은 유전 물질의 균열, 잘림 또는 크랙킹, 그리고 터미널 금속 패드의 풀아웃으로부터 디바이스를 충분히 보호하지 못한다.

[0006] 다른 종래 접근법은 실리콘 이산화물 또는 실리콘 질화물과 같은 강한 유전체 패시베이션층과 폴리이미드(polyimide)와 같은 좀더 컴플라이언트한 물질의 보호막(overcoat)을 결합하는 것이다. 예를 들면, 미국 특허등록번호 6,383,893은 웨이퍼를 커버링하는  $\text{SiO}_2$  또는  $\text{SiN}$ 과 같은 무기 절연체로 구성되는 강한 패시베이션층(124)과, 상기 강한 패시베이션층 위에 있는 폴리이미드로 구성되는 약한 패시베이션층(125)을 개시한다. 미국 특허등록번호 6,271,578은 유사한 구조물을 개시한다. 이 또한, 낮은-k 유전 물질이 칩의 활성 영역내의 내부-금속 유전체로서 이용될 때, 활성 디바이스 영역과接触하는 강한 패시베이션층은 유전 물질의 균열, 잘림 또는 크랙킹, 그리고 터미널 금속 패드의 풀아웃으로부터 디바이스를 충분히 보호하지 못한다. 강한 패시베이션층 위에 있는 약한 패시베이션층은 이러한 문제점을 완화시키는데 도움이 되지 못한다.

[0007] 미국 특허등록번호 5,665,655에 개시된 또 다른 종래 접근법은 크랙방지 구조물, 보다 구체적으로는 칩상의 활성 영역을 둘러싸는 홈(groove)의 이용을 포함한다. 이 구조물에서, 폴리이미드일 수 있는 유전 물질(3)은 활성 디바이스 영역을 포함하는 기판 위에 증착되며, 그 다음 강한 패시베이션층(예를 들면, 실리콘 질화물)이 구조물 위에 증착된다. 그러나, 다이싱 공정이 수행될 때, 칩의 측벽은 일반적으로 실리콘과 같은 반도체 물질인 기판 물질과의 접촉을 유지한다. 실리콘 기판내에서 일어나는 마이크로크랙은 매우 빨리 전파되며, 따라서 인접한 낮은-k 유전 물질에 오류를 가져오게 한다. 따라서, 이러한 구조물 역시 유전 물질의 균열, 잘림 또는 크랙킹, 그리고 터미널 금속 패드의 풀아웃으로부터 디바이스를 충분히 보호하지 못한다.

[0008] 그러므로, 종래 기술에 있어서, 어셈블리 및 패키징과 관련된 거친 외부 환경과 스트레스로부터 약한 온-칩 물질을 격리시키는 구조물 및 프로세스가 요구된다.

### 발명의 상세한 설명

[0009] 전술한 문제점들이 본 발명의 구조물 및 방법에 의해 처리된다. 특히, 본 발명의 일측면은 기판; 상기 기판상에 제조된 다수의 접적회로; 상기 접적회로들 중 인접한 것들 사이에 배치된 다이싱 채널, 상기 채널은 상기 접적회로들의 측벽들을 노출시킴; 상기 접적회로의 상단 표면 및 측벽상에 배치된 제1 유전 물질층; 상기 제1 유전 물질층상에 배치된 제2 유전 물질층을 포함하는 반도체 웨이퍼에 관한 것이며, 상기 제1 유전 물질은 상기 제2 유전 물질보다 적어도 약 10배 이상의 임계 스트레인 에너지 방출률(critical strain energy release rate)  $G_c$ 를 갖는다. 제1 유전 물질은 바람직하게는 약 20에서 100MPa의 인장강도(tensile strength)를 갖는다.

[0010] 다른 측면에 있어서, 본 발명은 기판상에 형성된 접적회로 칩상의 엣지 셀 구조물(edge seal structure)을 형성하는 방법에 관한 것이다. 상기 방법은 상기 접적회로 칩을 둘러싸는 커프(kerf) 영역내 채널을 예칭하는 단계와, 이것에 의해 상기 접적회로 칩의 측벽을 노출시킴; 상기 접적회로 칩상 및 채널내에 제1 유전 물질의 평면

충을 증착하는 단계와; 상기 제1 유전 물질 위에 제2 유전 물질을 증착하는 단계를 포함하며, 상기 제1 유전 물질은 상기 제2 유전 물질보다 적어도 약 10배의  $G_c$  값을 갖는다.

## 실시예

[0014]

본 발명은 최종 온-칩 상호접속 레벨과 터미널 패드 사이의 기계적 격리 영역과 상기 칩의 다이싱 채널을 생성하는 방법과 그 구조물을 포함하며, 유연한(flexible) 연결을 통해 이 영역의 전기적 연속성을 여전히 제공한다. 이러한 격리 물질 및 유연한 전기적 피드-쓰루(feed-through)는 칩 와이어링 레벨에 대한 불변의 손상없이 스트레인 제거 및 쇼크 흡수를 제공한다.

[0015]

도 1은 본 발명의 일실시예를 나타낸다. 도 1의 구조물에서, 접적회로(IC)(11)는 기판(10)상에 형성된다. IC(11)는 칩의 활성 디바이스 영역(미도시), 상호접속 와이어링(12), 그리고 금속 패드(13)를 포함한다. 상기 IC를 둘러싸는 것은 에너지 흡수 물질층(16)으로 어셈블리 및 패키징 동안 상기 IC(11)에 가해지는 기계적 스트레스를 흡수할 수 있다. 최종 패시베이션층(17)은 다이싱에 앞서 상기 칩을 밀폐하기 위해 상기 층(16) 위에 배치된다. 층(16)에 내장된(embedded) 것은 다수의 전도성 납(lead)(14)으로 금속 패드(13)를 본딩 패드(15)에 접속시킨다. 납(14)은 도시된 바와 같이 엉갈리게 될 수 있으며, 또는 일직선일 수도 있다. 에너지 흡수 물질(16)은 IC(11)의 상단 표면에 추가적으로 IC(11)의 측면에 컨택한다.

[0016]

에너지 흡수층(16) 및 최종 패시베이션층(17) 각각은 패시베이트되어야 한다, 즉, 유전 물질로 형성되어야 한다. 또한, 에너지 흡수 물질(16)은 강하지 않고 컴플라이언트(compliant) 해야한다. 이 물질은 물질 자체내 크랙의 전파(propagation)에 저항할 수 있는 물질의 능력으로 정의될 수 있는, 균열 강인성(toughness)에 특징이 있다. 파라메터  $G_c$ 는 임계 스트레인 에너지 방출률, 또는 크랙이 전파하는 에너지로 알려져 있다.  $G_c$ 는  $\text{kJ/m}^2$ 의 단위이며, 종종 물질의 균열 강인성으로 언급된다. 물질의 균열 강인성을 정할때 자주 마주치는 또다른 파라메터는 임계 스트레스 세기 계수(critical stress intensity factor),  $K_c$ 이다.  $G_c$ 와  $K_c$ 와의 관계는 평면 스트레스에 대해서는  $G_c = K_c^2/E$ 이고 평면 스트레인에 대해서는  $G_c = K_c^2(1 - v^2)/E$ 이며,  $v$ 는 포아송비(Poisson's ratio)이다.  $K_c$ 는  $\text{MPa-m}^{1/2}$  단위이다. 낮은  $G_c$  및  $K_c$  값은 낮은 균열 강인성을 나타낸다. 낮은 균열 강인성을 갖는 물질은 일반적으로 깨지는(brITTLE) 오류를 보인다. 높은  $G_c$  및  $K_c$  값은 높은 균열 강인성을 나타내며, 오류 모드는 연성(ductile)일 것이다.

[0017]

ASTM 방법에 따라 수행되는 것과 같이 일정 온도 및 스트레인 비율로 정적 인장 테스트에서 주어진 물질 셋트에 대해 스트레스-스트레인 커브가 기록될 수 있다. 낮은 균열 강인성을 나타내는 물질들은 일반적으로 깨지는 오류를 나타내며 1-3%의 영역내에서 매우 낮은 스트레인에서 오류가 발생할 것이다. 깨지는 것에 대해 어느 정도의 신장성을 나타내는 물질들은 높은 스트레인 >10%에서 오류가 발생하며 높은 균열 강인성과 연성 오류 모드를 갖는다. 따라서, 에너지 흡수 물질(16)은 바람직하게는 최종 패시베이션층(17)의 균열 강인성보다 적어도 약 10배의 강인성을 갖는다. 에너지 흡수 물질(16)은 바람직하게는 약  $0.1\text{kJ/m}^2$  보다 큰  $G_c$ , 그리고 좀더 바람직하게는 약 0.5에서  $2.5\text{kJ/m}^2$ 의 범위내이다. 최종 패시베이션층(17)은 바람직하게는 약  $0.05\text{kJ/m}^2$  보다 작은  $G_c$ , 그리고 좀더 바람직하게는 약 0.005에서  $0.05\text{kJ/m}^2$ 의 범위내이다.

[0018]

에너지 흡수 물질(16) 역시 인장강도(tensile strength)에 의해 특징되어질 수 있다. 물질의 인장강도 또는 극한강도(ultimate tensile strength)는 물질이 부하(load)하에서 감당할 수 있는 최대의 스트레스를 말한다. 인장강도는 일반적으로  $\text{MPa}(\text{MN/m}^2)$  단위로 표현된다. ASTM 방법에 따라 수행되는 것과 같이 일정 온도 및 스트레인 비율로 정적 인장 테스트에서 주어진 물질 셋트에 대해 스트레스-스트레인 커브가 기록될 수 있으며, 이 플롯(plot)으로부터 인장강도를 마크한다. 낮은 인장강도를 보이는 물질들은 깨지는 오류를 보이며 1-3%의 영역내에서 매우 낮은 스트레인에서 오류가 발생할 것이다. 깨지는 것에 대해 어느 정도의 신장성을 나타내는 물질들은 높은 스트레인 >10%에서 오류가 발생하며 높은 인장강도와 연성 오류 모드를 갖는다. 항복응력(yield stress),  $\sigma_y$ , 은 물질의 강도를 나타내는 것으로 리포트될 수 있으며 스트레스-스트레인 커브상에서 매우 다른 지점이다. 부하(load)하에 있을때 일부 물질들은 항복 또는 "넥 다운(neck down)"되며; 스트레스-스트레인 커브에서 최고점으로서 나타나며 일정 스트레인에 대해 스트레스에서 약간의 드롭이 이어진다. 그 다음 물질은 오류가 발생할때까지 스트레스와 스트레인에서 점차적인 증가로 계속될 수 있다. 에너지 흡수 물질(16)은 바람직하

계는 약 20에서 100MPa의 인장강도를 가지며, 최종 패시베이션층(17)은 바람직하게는 약 700에서 10,000MPa의 인장강도를 갖는다.

[0019] 전술한 특징을 보이는 임의의 물질이 에너지 흡수 물질(16)로 이용될 수 있다. 바람직한 물질들은 유기적(organic)인 것으로, 폴리에스테르(polyester), 페놀릭(phenolic), 폴리이미드(polyimide), 폴리설폰(polysulfone), 폴리에테르 에테르 케톤(polyether ether ketone), 폴리우레탄(polyurethane), 에폭시(epoxie), 폴리아릴렌 에테르(polyarylene ether), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate)를 포함한다. 예를 들면, 폴리스티렌(polystyrene)은  $1\text{--}2 \text{ kJ/m}^2$ 의  $G_c$  값을 가지며, 0.08GPa의 인장강도를 갖는다.

다른 예로, 폴리메틸 메타크릴레이트(polymethyl methacrylate)는  $0.2\text{--}0.6 \text{ kJ/m}^2$ 의  $G_c$  값을,  $1.5 \text{ MPa}\cdot\text{m}^{1/2}$ 의  $K_c$  값을 가지며, 폴리에틸렌(polyethylene)은 0.05GPa의 인장강도를 갖는다. 특히 바람직한 에너지 흡수 물질은 Dow Chemical의 SiLK<sup>TM</sup>으로 알려진 폴리아릴렌 에테르이며,  $0.62 \text{ MPa}\cdot\text{m}^{1/2}$ 의 균열 강인성,  $K_c$ , 을 갖는다. SiLK 및 일부 폴리이미드의 부가적 이점은  $350^\circ\text{C}$ 에서  $450^\circ\text{C}$ 와 같은 상대적으로 높은 온도에서의 열적 안정성이다; 이러한 물질은 칩 제조 또는 패키징내에 포함되는 모든 후속 프로세싱에서도 유지될 것이다.

[0020] 최종 패시베이션층(17)은 전술한 특징을 보이는 임의의 물질로 형성될 수 있다. 바람직한 물질은 유기적인 것으로; SiN, SiO<sub>2</sub>, SiC와 같은 실리콘-기반 글래스, 테트라에틸오소실리케이트(tetraethylorthosilicate:TEOS), 플루오로 첨가TEOS (fluorinated TEOS: FTEOS), 플루오로 첨가 실리케이트 글래스(fluorinated silicate glass:FSG), 및 유기실리케이트 글래스(organosilicate glass:OSG)를 포함한다. 최종 패시베이션층에 대해 특히 바람직한 물질은 5900MPa의 인장강도를 갖는 SiO<sub>2</sub>이다.

[0021] 당업자라면 에너지 흡수 물질 및 최종 패시베이션층은 영률(Young's modulus) 및 경도(hardness)와 같은 다른 물질 특성에 의해 특징되어질 수 있다. 최종 패시베이션층의 바람직한 물질은 약 174GPa에서 290GPa의 영률과 약 13.5GPa의 경도를 갖는 Si<sub>3</sub>N<sub>4</sub>, 약 60GPa의 영률과 약 6.8GPa의 경도를 갖는 PECVD 실란 산화물, 약 72GPa의 영률과 약 8.7GPa의 경도를 갖는 용융 실리카(fused silica)를 포함한다. 에너지 흡수 물질은 최종 패시베이션층에 대해 2 오더(two orders of magnitude) 정도로 낮은 영률 및 경도를 가져야 한다. 예를 들면, SiLK<sup>TM</sup>은 약 3.5GPa의 영률과 0.21GPa의 경도를 갖는다.

[0022] 도 1에 나타난 구조물은 이하의 방법으로 형성될 수 있다. 다수의 IC를 포함하는 웨이퍼는 최종 금속 레벨의 프로세싱(예를 들면, 구리/낮은-k 듀얼 다마신 프로세싱)을 통해 완성된다. 최종 금속 레벨은 와이어본드를 위해 터미널 패드(15)에 접속시키는 금속 패드(13), C4 또는 다이렉트 핀 생성을 포함한다.

[0023] 다음으로, 포토리소그래피와 같은 종래 기술에 의해 채널이 한정되며, 각각의 칩(11)을 둘러싸는 커프 영역내에서 예칭된다. 채널은 기판(10)상에 존재하는 다양한 층들을 통해 예칭되나, 기판(10)을 통해 예칭되지는 않는다. 에너지-흡수 물질(16)의 평면층이 예칭된 채널을 충전하고 모든 활성 칩 영역(11)위에 이러한 물질의 평탄층을 제공하기 위해 중착, 바람직하게는 스핀 온 큐어, 된다. 물질층(16)은 바람직하게는 약 1에서 5μm의 두께를 갖는다.

[0024] 그 다음 물질층(16)내에 금속 패드를 향해 아래로 컨택홀(contact hole)이 생성된다. 이러한 홀은, 예를 들면 포토리소그래피 그리고 예칭에 의해 생성될 수 있다. 선택적으로, 물질(16)이 감광성 폴리이미드인 경우, 이러한 홀은 직접 패터닝되고 예칭될 수 있다. 노출된 금속 패드와의 컨택과 물질(15)에 테이퍼된(tapered) 홀의 측면을 일으키는 S-모양 또는 스프링-모양 컵플라이언트 납(14)이 생성될 수 있다. 예를 들면, 납(14)은 Hollie A. Reed 외의, "Compliant wafer level package(CWLP) with embedded air-gaps for sea of leads(SoL) interconnection", Proc. of IEEE 2001 IITC, pp.151-153에 개시된 기술을 이용하여 생성될 수 있으며, 상기 내용은 본 명세서에 참조로서 포함된다. 또 다른 예로, 납(14)은 Khandros 외에 의한, 미국 특허등록번호 6,372,527 또는 미국 특허등록번호 6,538,214 또는 미국 특허등록번호 5,679,977에 개시된 기술을 이용하여 형성될 수 있으며, 상기 내용은 본 명세서에 참조로서 포함된다.

[0025] 납(14)의 형성은 컨택홀내 릴리스층(release layer) 및 시드층(seed layer)을 스퍼터링(sputtering)하는 단계와, 물질(16)위에 포토마스크를 형성하는 단계와, 컵플라이언트 납(14)의 쓰루-마스크 플레이팅(plating)단계와, 레지스트를 제거하는 단계와, 노출된 시드층 및 릴리스층을 스트리핑(striping)하는 단계를 포함한다. 선택적으로, 컵플라이언트 납 주변 홀을 플러그하기 위해 제2 폴리머층(미도시)이 컨택홀내로 리플로우될 수 있다. 납(14)은 구리, 알루미늄, 또는 텅스텐과 같은 임의의 적절한 금속으로 형성될 수도 있다.

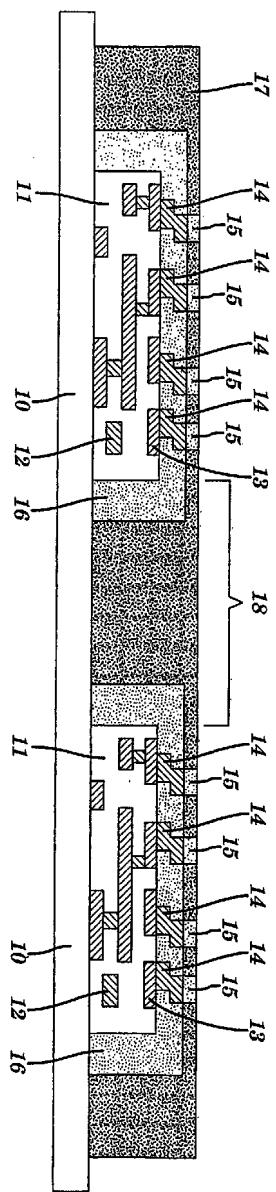
- [0026] 엇갈린 납(14)은 2개의 순차적인 단계에서 제조되어야 한다. 물질(16)이 증착된 후, 적절한 하드마스크 방식이 엇갈린 납(14)의 비아 레벨의 리소그래피를 강화시키기 위해 채택될 수 있다. 비아 레벨은 종래 리소그래피 및 에칭 기술을 이용하여 한정되며, 그후 금속화 및 캡(cap) 증착이 이어진다. 그다음 물질(16)의 제2 증착이 적용될 수 있고 엇갈린 납(14)의 라인 레벨이 유사 기술들을 이용하여 한정될 수 있다.
- [0027] 다음, 최종 패시베이션층(17)이 증착된다. 층(17)은 각각이  $0.5\mu\text{m}$ 인  $\text{SiO}_2$  및  $\text{Si}_3\text{N}_4$  을 포함할 수 있다. 터미널 패드(15)를 위한 컨택홀이 예를 들면 포토리소그래피와 에칭을 이용하여 형성된다. 컴플라이언트 납(14)과 컨택하고 최종 패시베이션층(17)을 통해 컨택홀을 플러깅하는, 터미널 패드(15) 야금(metallurgy)이 컨택홀내에 증착된다. 그다음 웨이퍼는 다이싱되고 각각의 칩이 종래 프로세스에 의해 패키징될 수 있다.
- [0028] 도 1의 구조물에서, 기판의 상단 표면상에서 밀폐 셀을 형성하는 강한 패시베이션층(17)은 기판(10)상에서 한정된다. 도 2는 도 1과 강한 패시베이션층(17)이 기판(10) 전체를 캡슐화하도록 엣지 셀을 형성한다는 점에서 다르다. 도 2의 구조물은 채널이 반드시 기판(10) 통해 적어도 부분적으로 에칭되어야만 하고, 이것에 의해 기판의 측벽을 노출시킨다는 점을 제외하고는 도 1의 구조물을 형성하는 방법과 유사한 방법에 의해 형성될 수 있다.
- [0029] 본 발명의 구조물 및 방법은 다이 격리를 위해서만 이용될 수 있는 것이 아니며, 다이 상의 다른 마크로의 격리를 위해서도 이용될 수 있다. 본 발명의 구조물 및 방법은 또한 유사한 기계적 격리 기능을 제공하며, 칩상에서 보다는 패키지상에서 이용될 수 있다.
- [0030] 본 발명은 특정한 바람직한 실시예 및 다른 대안적인 실시예를 통해 구체적으로 설명되었지만, 당업자에게는 전술한 설명에 의해 다양한 변경과 변화들이 가능하다는 것이 명백할 것이다. 따라서, 본 발명의 의도 및 범위에 포함되는 이러한 모든 변경과 변화들은 첨부되는 청구항들에 의해 포함될 것이다.

### 도면의 간단한 설명

- [0011] 본 발명의 특징들은 신규하며 본 발명의 구성 특성은 첨부되는 청구항들내에서 특히 명시되어 있다. 도면들은 오직 예시의 목적이며 스케일링되어 도시되어 있지 않다. 또한, 도면내의 동일 번호는 동일한 요소들을 나타낸다. 그러나, 본 발명 자체, 그 구성 및 실행 방법 둘다, 첨부되는 도면들을 참고하여 이하의 상세한 설명을 참조하여 가장 쉽게 이해될 것이다.
- [0012] 도 1은 최종 패시베이션 및 컴플라이언트 층들이 기판에 수직으로 그리고 그 위에서 한정(terminate)하고 있는 본 발명의 실시예를 나타내고 있다.
- [0013] 도 2는 컴플라이언트 층은 기판에 수직으로 그리고 그 위에서 한정하며, 최종 패시베이션층은 이전에 다이싱된 기판에 인접하여 한정하는 본 발명의 또 다른 실시예를 나타내고 있다.

도면

도면1



도면2

