(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-208314
(P2004-208314A)
(43)公開日　平成16年7月22日(2004.7.22)

(51)Int.Cl.[7]		F I			テーマコード（参考）
H03L	7/08	H03L	7/08	K	5D096
G11B	21/10	G11B	21/10	R	5J106
H03C	3/00	H03C	3/00	B	

審査請求 未請求　請求項の数 10　OL　（全 13 頁）

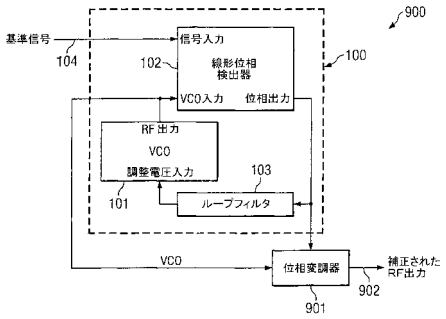
(21)出願番号　特願2003-424396(P2003-424396)
(22)出願日　平成15年12月22日(2003.12.22)
(31)優先権主張番号　10/328358
(32)優先日　平成14年12月23日(2002.12.23)
(33)優先権主張国　米国(US)

(71)出願人　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５ Page Mill Road
Palo Alto, California U.S.A.
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】フィードフォーワード型位相変調を用いて位相ロックループのトラッキング誤差を補正するためのシステム及び方法

(57)【要約】
【課題】広帯域にわたってより正確に動作するPLLを提供する。
【解決手段】フィードフォワード位相変調を用いて、位相ロックループ(PLL)装置内のトラッキングエラーに対処する。具体的には、基準信号とPLL(100)の発振器信号との位相差を位相検出器(102)を用いて決定することができる。位相検出器の出力をループフィルタ(103)に供給して、PLLのVCOにフィードバックをもたらすことができる。さらに、フィルタリングされた位相差を適切に較正された位相変調器(901)に供給して、この位相差とほぼ同じ大きさで極性が逆のある量の位相変調を発振器信号に加え、補正された位相出力信号を生成することができる。
【選択図】図９Ａ



【特許請求の範囲】
【請求項１】
補正された位相出力信号を提供するよう動作可能な装置において、
調整信号に関連する発振器信号を生成する位相ロックループ（ＰＬＬ）（１００）と、
前記発振器信号ならびに該発振器信号と入力信号の間の位相差を示す位相信号を受信する位相変調器（９０１）であって、前記発振器信号と前記入力信号の間の前記位相差にほぼ等しく極性が逆のある量の位相変調を前記発振器信号に加算することにより、前記補正された位相出力信号を生成することからなる、位相変調器
を備える、装置。
【請求項２】
前記位相信号を生成する第１の位相検出器（９５１）と、
前記発振器信号と入力信号の間の位相差を表わす第２の位相信号を生成する第２の位相検出器（９５４）と、
前記第２の位相信号をフィルタリングして前記調整信号を生成するフィルタ（１０３）をさらに備える、請求項１に記載の装置。
【請求項３】
第１の位相検出器（９５１）は、線形位相検出器である、請求項２に記載の装置。
【請求項４】
前記第２の位相検出器（９５４）は、非線形位相検出器である、請求項２に記載の装置。
【請求項５】
補正された位相出力信号を提供する方法において、
位相ロックループ（ＰＬＬ）を動作させて発振器信号を提供するステップであって、前記発振器信号と入力信号の間の位相差を示す位相信号を生成するステップを含む、ステップと、
前記位相差にほぼ等しく極性が逆のある量の位相変調を前記発振器信号に加算して前記補正された位相出力信号を生成することにより、前記位相信号を用いて前記発振器信号の位相変調を行なうステップ
を含む、方法。
【請求項６】
前記発振器信号を位相変調する前に、前記発振器信号を低域変換するステップと、
前記補正された位相出力信号の周波数を電圧信号へ変換するステップ
をさらに含む、請求項５に記載の方法。
【請求項７】
データストリームから再生クロックを提供するためのシステムであって、
調整信号に関連する発振器信号を生成する位相ロックループ（ＰＬＬ）と、
データ遷移を示す前記ＰＬＬからの基準信号をフィルタリングするよう動作可能な第１のローパスフィルタ（１６０１）と、
前記ＰＬＬからの、前記発振器信号と入力信号との位相差を示す位相信号をフィルタリングするよう動作可能な第２のローパスフィルタ（１６０２）と、
前記発振器信号の位相を９０度シフトするよう動作可能な移相器（１６０５）と、
前記位相シフトされた発振器信号を前記フィルタリングされた基準信号で変調して第１の変調された信号を生成する振幅変調器（１６０４）と、
フィルタリングされた前記位相信号により前記発振器信号を変調して第２の変調された信号を生成する平衡変調器（１６０３）と、
前記第１の変調された信号と前記第２の変調された信号を合成する加算器（１６０６）
を備える、システム。
【請求項８】
前記データストリームは単位期間と、遷移を伴なわずに生じる連続的なシンボルの最大ランレングスとに従って通信され、前記第１のローパスフィルタと前記第２のローパスフ

ィルタは、前記単位期間に前記最大ランレングスを乗じたものの逆数の半分にほぼ等しい帯域幅を有することからなる、請求項７に記載のシステム。
【請求項９】
前記加算器からの出力信号を用いて位相復調された信号を提供するよう動作可能な位相復調素子をさらに備える、請求項７に記載のシステム。
【請求項１０】
前記加算器からの出力信号を用いて周波数復調された信号を提供するよう動作可能な周波数－電圧変換器をさらに備える、請求項７に記載のシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一般的には位相ロックループ（ＰＬＬ）装置に係り、より詳しくはフィードフォーワード型位相変調を用いてトラッキング誤差に対処するためのシステム及び方法に関する。
【背景技術】
【０００２】
位相ロックループ（ＰＬＬ）は、信号を生成するとともにその信号の位相を入力基準信号の位相にロックする装置である。従来技術によれば、図１に示す如く、ＰＬＬ１００は一般に３個の主要構成要素、すなわち電圧制御発振器（ＶＣＯ）１０１と位相検出器１０２とループフィルタ１０３を有する。ＶＣＯ１０１は調整電圧入力に比例する周波数を有する信号を生成する。この比例性は通常、１ボルト当たりのラジアン／秒単位で表わされるＶＣＯ利得パラメータ（K_V）として表現される。基準信号１０４は、基準周波数と基準位相を有するものとして供給することができる。位相検出器１０２は、基準信号とＶＣＯ信号との間の位相差に比例する出力電圧を生成する。この比例性は通常、ボルト／ラジアン単位で表わされる位相検出利得パラメータ（K_d）として表現される。かくして、位相検出器１０２は位相誤差信号（すなわち、位相トラッキング誤差）を生成する。ループフィルタ１０３がこの誤差信号を増幅してフィルタリングし、次に、これをＶＣＯ１０１へ帰還させる。この帰還によりＶＣＯ１０１の位相が調整され、ＶＣＯ１０１をして基準信号の位相に近づけ、それによって誤差を最小化する。
【発明の開示】
【発明が解決しようとする課題】
【０００３】
図１に示したＰＬＬ１００は数学的なベースで解析するのは困難である。何故ならループフィルタの入力と出力が異なるタイプの変数（すなわち、それぞれ位相に比例した電圧と周波数に比例した電圧）だからである。定義によれば、位相は周波数の時間積分である。それ故に、理想的なＶＣＯ２００は二つの数学的ブロックとしてモデル化することができる。すなわち、従来技術による図２に示す如く、理想的な積分器２０１と理想的な電圧－位相変換器２０２である。理想的ＶＣＯ２００をＰＬＬシステムに組み込み、従来技術による図３に示す如く、使用可能なＰＬＬモデル３００を提供することができる。この場合、ＰＬＬモデル３００を、従来技術による図４に示す如く、数学的モデル４００に従って解析することができる。数学的モデル４００では、K_dが位相検出器１０２の位相検出利得パラメータを表わし、Ｆ（ｓ）がループフィルタ１０３の伝達関数（ラプラス変換表記で表現）を表わし、１／ｓが理想的な積分器２０１の伝達関数（同様にラプラス変換表記で表現）を表わし、K_VがＶＣＯ１０１のＶＣＯ利得パラメータを表わす。ループ利得は、$K_d K_V F(s)/s$に等しいパラメータＧにより表わされる。さらに、θ_{VCO}はＶＣＯ１０１が生成する信号の位相を表わし、θ_{ref}は基準信号の位相を表わす。θ_{VCO}とθ_{ref}との間の関係は、次式で表わすことができる。すなわち、$\theta_{VCO}/\theta_{ref} = G/(1+G)$である。かくして、ループ利得が比較的大きな場合（$G \gg 1$）は、$\theta_{VCO}$は$\theta_{ref}$へかなりの精度で近付く。
【０００４】

積分器２０１は、ローパスフィルタとして機能し、周波数の増大とともにループ利得を減少させる。かくして、トラッキング誤差は周波数の増大とともに増大する。或る周波数で、ループ利得は単位値未満に下落する。この周波数（ループ帯域幅を規定）を超えると、ループは基準刺激に対してかなり小さな応答しか示さず、これ故にＰＬＬ１００の正確な基準信号追尾続行能力は制限される。従って、このために基準信号に適用することが可能な変調帯域幅に制約が課される。理論的には、ループ利得を増大させることによりループ帯域幅を増大させることができる。しかしながら、実際には、ＶＣＯ１０１の実施は有限の変調帯域幅を有する。ＶＣＯ１０１の制限された帯域幅は、従来技術による図５に示すように、伝達関数Ｐ（ｓ）で規定される寄生ローパスフィルタ５０１としてＶＣＯ５００内にモデル化することができる。このことは、従来技術による図６に示すように、ループモデル６００に別のローパス機能を付け加えることにより数学的モデルを修正するという効果を有する。図６に示す如く、ループ利得（Ｇ）は$K_d K_V F(s) P(s) / s$に等しい。このことは、ループ帯域幅をＶＣＯ帯域幅の比較的小さな部分に制限するという実際上の効果を有する。ＶＣＯ１０１の実施に関連する多くの設計上の制約のために、ＶＣＯ帯域幅は任意に高いものにはできない。従って、ＶＣＯ帯域幅はしばしばループ帯域幅に対する制約要因となる。ＶＣＯ帯域幅に加え、能動回路を用いる場合に特にループフィルタは独自の帯域幅制限を有する場合がある。有限なループフィルタ帯域幅の影響はループ帯域幅を制約する点でＶＣＯ帯域幅と同じである。

【０００５】

ＰＬＬは一般に、周波数復調器または位相復調器の構築に用いられる。復調器は、変調に比例する出力電圧を生成する被変調信号により駆動されるシステムである。図７は、従来技術によるＰＬＬ周波数復調器７００を表わすものである。ＶＣＯ１０１は、基準信号の位相を追尾する。位相と周波数の間の似通った数学的関係のために、ＶＣＯ１０１は基準信号の周波数もまた追尾する。ＶＣＯ１０１に印加される調整電圧（同調電圧）がＶＣＯ周波数（したがって基準周波数）に比例するため、調整電圧は復調された出力（復調出力）７０１として直接用いられる。

【０００６】

図８は、従来技術による位相復調器８００を表わす。位相復調器８００は、調整電圧（周波数に比例）を位相に比例した電圧（復調出力８０２）へ変換すべく漏洩積分器(leaky integrator)８０１が付加された点を除き、周波数復調器７００と実質的に同じである。理想的な積分器（理想的積分器）は物理的に実現できないので、いわゆる「漏洩（leaky）」積分器８０１が図示してある。具体的には、漏洩積分器８０１は特定の最小周波数（ω_1）より上では、ほぼ理想的積分器として機能する。その周波数よりも下では、漏洩積分器８０１は周波数に対し平坦な利得特性へ変化する。これにより、復調出力ポートの周波数応答に低周波カットオフ（遮断）が加えられる。

【課題を解決するための手段】

【０００７】

本発明による実施形態は、ＰＬＬ装置を用いてこれらの装置のトラッキング誤差を補償するものである。前述の如く、トラッキング誤差は基準信号の位相とＶＣＯ信号の位相における差異である。公知の技法を用いてＰＬＬ装置のトラッキング誤差に対処することは、幾つかの要因に関して問題を生じる可能性があることを理解されたい。例えば、ＶＣＯは一般に非線形周波数依存装置である。従って、ＰＬＬ装置を周波数に鋭敏であることを意図したシステムへ組み込んだ場合に、トラッキング誤差補償は困難となることがある。さらに、ＶＣＯの非線形性と周波数依存性は、一般に温度依存利得ドリフトもまた有していて、それにより、所定の用途における公知技法を用いたトラッキング誤差補正をさらに複雑化し、または妨害することになる。

【０００８】

本発明による実施形態は、ＰＬＬ装置のＶＣＯの突発的な（またはランダムな）動作に重大な依存を課すことなく、ＰＬＬ装置のトラッキング誤差に対処するものである。本発明による実施形態は、ＶＣＯ信号のスプリアス位相変調（または擬似位相変調）としてト

ラッキング誤差をモデル化するものである。従って、本発明による実施形態はトラッキング誤差の補正に位相変調器を利用する。位相検出器の出力は、ＶＣＯ信号の位相を変調するために位相変調器へ供給される。位相変調器の位相と利得は、ほぼ等しく逆極性の補償位相変調がＶＣＯ信号に加わるよう較正される。こうしてトラッキング誤差に対処することは有利である。何故なら、この方法に関連した精度が位相検出器と位相変調器の精度により決定されるからである。具体的には、位相検出器と位相変調器の特性はＶＣＯの特性に比べ大きく改善される。例えば、多くの位相検出器は線形利得を有しており、変調に対する平坦な周波数応答を有する。ディジタル位相検出器は、本質的にこれらの特性を有する傾向がある。さらに、変調に対する平坦な周波数応答を有する正確な位相変調器（例えば、アームストロング（Armstrong）位相変調器）は、当該技術分野において既知である。

【０００９】

前述のことは、以下の本発明の詳細な説明がより良く理解されるように本発明の特徴と技術的利点をやや概括的に述べたものである。以下で、本発明の特許請求の範囲の主題を形成する本発明の追加の特徴ならびに利点を説明する。当業者には、開示した概念ならびに特定の実施形態を、本発明と同一の目的を達成するための他の構成の変更または設計の基礎として容易に使用することが可能であることを理解されたい。当業者はまた、そのような等価な構成が特許請求の範囲に記載した本発明の思想及び範囲から逸脱しないことを理解されたい。本発明の構成ならびに動作方法の双方に関し本発明の特徴と考えられる新規の特徴は、添付図面と併せ検討したときにさらなる目的ならびに利点と共に、以下の説明からより良く理解されよう。しかしながら、各図は、図解ならびに説明のためにのみ用いられ、本発明の限界を規定する意図のないことが明確に理解さるべきである。

【実施例】

【００１０】

本発明のより完全な理解のために、以下の説明では、添付図面を参照する。図９Ａは、本発明の実施形態によるＰＬＬ装置９００のブロック図を表わす。ＰＬＬ装置９００は、ＶＣＯ１０１と位相検出器１０２とループフィルタ１０３を含む従来のＰＬＬループ１００を備える。動作時、基準信号１０４が位相検出器１０２の入力ポートの一方へ供給される。ＶＣＯ１０１からのＶＣＯ信号は、位相検出器１０２の他方の入力ポートへ供給される。位相検出器１０２は、基準信号１０４とＶＣＯ信号の間の位相差を表わす誤差信号を生成する。誤差信号は、ループフィルタ１０３へ供給される。フィルタリングされた信号は、ＶＣＯ１０１へ供給されてＶＣＯ信号を調整（または同調）する。かくして、ＶＣＯ１０１にＶＣＯ信号を生成させて、基準信号１０４の位相を追尾させる所望の帰還ループが生成される。

【００１１】

動作時、位相変調器９０１はＶＣＯ信号に関連するトラッキング誤差に対処する。具体的には、ＶＣＯ信号が位相変調器９０１に供給される。また、誤差信号（トラッキング誤差を表わす）は位相変調器９０１に供給される。位相変調器９０１の利得及び極性を較正して、（選択された回路素子の精度が与えられた場合）ほぼ等しく極性が逆の補償位相変調をＶＣＯ信号に提供することができる。トラッキング誤差は減算され、それによってトラッキング誤差をもたない補正された高周波（ＲＦ）出力信号９０２が得られる。こうしたトラッキング誤差への対処は、位相検出器１０２と位相変調器９０１の比較的信頼できる特性のために有利である。

【００１２】

図１０は、本発明による実施形態を解析するのに用いることができる数学的モデル１０００を表わす。θ_{in}は基準信号１０４の位相を表わし、θ_{VCO}はＶＣＯ１０１が生成する信号の位相を表わし、θ_{out}は補正されたＲＦ出力信号９０２の位相を表わす。K_VはＶＣＯ１０１の利得を表わし、K_dは位相検出器１０２の利得を表わし、K_mは位相変調器９０１の利得を表わす。Ｆ（ｓ）はループフィルタ１０３の伝達関数であり、Ｐ（ｓ）はＶＣＯ１０１の寄生フィルタリングを表わす伝達関数であり、１／ｓは理想的な積

分器２０１の伝達関数を表わす。モデル１０００に示す如く、θ_{out}は$K_d K_m \theta_{in}$に等しい。K_mが１／K_dに等しい場合は、θ_{out}はθ_{in}に等しくなる。数学的モデル１０００では、トラッキング誤差が位相検出器１０２のダイナミックレンジ内にあり、かつ位相変調器９０１のダイナミックレンジが少なくとも位相検出器１０２のそれと同じ位大きいことを仮定している。これらの仮定が比較的妥当なものであることを理解されたい。従って、これらの仮定を満たす装置の物理的な実施は比較的簡単である。

【００１３】

本発明による実施形態は位相検出器からの位相信号を利用してＰＬＬループがトラッキング誤差補償を実行するものとして説明してきたが、本発明による実施形態はそれに限定はされない。具体的には、ＰＬＬを速度または他の特性について最適化した非線形位相検出器を用いて実施した場合、補助的な線形位相検出器を都合よく用いることもできる。図９Ｂは、線形位相検出器９５１と非線形位相検出器９５４を備えるＰＬＬ装置９５０を表わす。ＰＬＬ装置９５０の従来の位相ロックループは、非線形位相検出器９５４（「バングバング（bang-band）」型位相検出器を用いて実施可能）を含む。非線形位相検出器９５４は他の特性については最適化できるが、線形性ならびに正確さについては必ずしも最適化されない。従って、本発明による実施形態は、補助の線形位相検出器９５１を用いて基準信号１０４の位相をＶＣＯ信号の位相と比較することができる。この場合、線形位相検出器９５１からの位相信号を位相変調器９０１に供給して、本発明の実施形態によりＶＣＯ信号を位相変調することができる。この変形形態は、図１１、図１３、図１４、図１５、図１６に示したものを含め、本発明による実施形態の任意の適切な構成に適用できることが理解さるべきである。

【００１４】

さらに、位相変調器９０１の較正は比較的複雑さの低い行為である。図１１は、本発明の実施形態による位相変調器９０１の較正を実行するよう適合されたＰＬＬ装置１１００を表わす。ＰＬＬ装置１１００は、ＰＬＬ装置９００と実質的に同様である。しかしながら、ＰＬＬ装置１１００は位相変調器９０１の較正を容易にすべく較正源（または較正信号源）１１０１と加算器１１０２をさらに備える。変調されていない信号源（非変調信号源）を、基準信号１０４として設けることもできる。また、信号源１１０１はＰＬＬ１００のループ帯域よりも大きな単一周波数の信号（単周波信号）を生成する。単周波信号は、フィルタリングされた誤差信号に、加算器１１０２により加算される。加算器１１０２からの合成信号は、次に、ＶＣＯ１０１へ供給され、それによってトラッキング誤差を生成する。この時点で、K_mはK_dの逆数に調整することができる。適正に較正した場合は、位相変調器９０１はトラッキング誤差を相殺し、較正信号周波数における補正されたＲＦ出力信号９０２の周波数成分は存在しなくなる。

【００１５】

図１２は、本発明の実施形態によるＰＬＬ装置１１００の較正を解析する数学的モデル１２００を表わす。モデル１２００中、θ_{in}が基準信号１０４の位相を表わし、θ_{VCO}がＶＣＯ１０１により生成される信号の位相を表わし、θ_{out}が補正されたＲＦ出力信号９０２の位相を表わす。K_VはＶＣＯ１０１の利得を表わし、K_dは位相検出器１０２の利得を表わし、K_mは位相変調器９０１の利得を表わす。Ｆ（ｓ）はループフィルタ１０３の伝達関数であり、Ｃ（ｓ）は較正用に用いる単一周波数信号（単周波信号）を表わし、Ｐ（ｓ）はＶＣＯ１０１の寄生フィルタリングを表わす伝達関数であり、１／ｓは理想的な積分器２０１の伝達関数を表わす。基準信号１０４が非変調信号であるため、$d\theta_{in}/dt$は0に等しい。K_mをK_dに一致するよう較正すると、θ_{out}はθ_{in}に等しく、$d\theta_{out}/dt$は$d\theta_{in}/dt$に等しくなる。具体的には、θ_{out}，θ_{in}，$d\theta_{out}/dt$，$d\theta_{in}/dt$は、全て零に等しい。かくして、K_mは、較正プロセス期間中、ある範囲の値に亙って可変することができ、θ_{out}と$d\theta_{out}/dt$が零であるときは、ＰＬＬ装置１１００は適正に較正されることが知られている。

【００１６】

図１３乃至図１６は、本発明の実施形態によるＰＬＬ装置の幾つかの例示的応用を示す

図である。具体的には、図１３は、本発明の実施形態によるＰＬＬ位相復調器１３００を表わす。ＰＬＬ位相復調器１３００は、ＰＬＬ１００と周波数変換器１３０１と位相変調器９０１と周波数変換器１３０２を備える。位相検出器１０２からの誤差信号は、位相変調器９０１へ供給されて入力信号を変調する。この場合、ＶＣＯ１０１から信号を供給する代わりに、ＶＣＯ１０１からの信号は、位相変調器９０１により位相変調される前に周波数変換器１３０１により低域周波数に遷移させられる。周波数変換器１３０１は、分周器や乗算器や変換器やそれらの組み合わせとして実施することができる。ＶＣＯ周波数を比較的小さな整数で分周して位相変調器９０１がより低周波数で動作できるようにし、それによって位相変調器９０１の複雑さを減らすことは有利な場合がある。また、位相変調器９０１の要求変調指数は分周比に等しい係数で低減される。この場合、周波数変換器１３０２は、補正されたＲＦ出力１３０３を供給する前に位相変調された信号を高域周波数に遷移させるのに用いることができる。

【００１７】

図１４は、本発明の実施形態によるクロック／データ再生（ＣＤＲ）位相復調器１４００を表わす。ＣＤＲ位相復調器１４００は、ＰＬＬ装置１１００とほぼ同様である。データストリーム１４０３は、個別のクロックチャンネル無しで伝送される。従って、この場合、データストリーム１４０３から直接にクロックを再生することが必要である。データストリーム１４０３からクロックを再生するため、ＰＬＬ復調器はデータストリーム１４０３からのクロック再生用に当該技術分野において既知のＣＤＲ位相検出器１４０１を用いる。さらに、ＣＤＲ位相検出器１４０１の出力部がその出力を位相変調器９０１へ供給してＶＣＯ１０１からの信号を変調する。前述した如く、位相変調器９０１の適切な較正により、ＣＤＲ位相復調器１４００は公知の実施よりもはるかに頑強にトラッキング誤差に対処できるようになる。さらに、こうしてＶＣＯ１０１からの信号を変調することにより、ＰＬＬ復調器１４００は、再生クロック信号１４０２を、単なる位相に比例する電圧としてではなく、変調されたＲＦ信号として提供するという追加の利点がもたらされる。

【００１８】

図１５は、本発明の実施形態による、トラッキング誤差に対して頑強な（すなわち、強力にトラッキング誤差を低減または無くす）ＰＬＬ周波数復調器１５００を表わす。ＰＬＬ周波数復調器１５００は、ＰＬＬ１００と位相変調器９０１と周波数－電圧変換器１５０１を備える。位相検出器１０２からの誤差信号は、位相変調器９０１へ供給されてＶＣＯ１０１から信号を変調する。位相変調器９０１の出力は、（あるとしても）最小のトラッキング誤差を有する、基準信号にロックされた信号である。位相変調器９０１の出力は、復調された出力信号１５０２を生成すべく供給される。出力信号１５０２は、入力信号の位相に比例した電圧となる。

【００１９】

図１６は、本発明の実施形態によるトラッキング誤差に対して頑強なＰＬＬクロック再生システム１６００を表わす。ＰＬＬクロック再生システム１６００は、ＶＣＯ１０１とＣＤＲ位相検出器１４０１とループフィルタ１０３とローパスフィルタ１６０１とローパスフィルタ１６０２と振幅変調器１６０４と９０度移相器１６０５と平衡変調器１６０３と加算器１６０６とリミッタ１６０７を備える。ＣＤＲ位相検出器１４０１からの二つの出力が存在する。この位相出力は、位相と遷移密度の積に比例する。基準出力は、遷移密度にだけ比例する。これらの出力は、ローパスフィルタ１６０２，１６０１に供給され、次に、これらのローパスフィルタは、振幅変調器１６０４と平衡変調器１６０３（例えば、アームストロング変調器）にそれぞれその出力を供給する。振幅変調器１６０４は、ＶＣＯ１０１からの信号を、この信号が９０度位相シフト（移相）された後で変調する。平衡変調器１６０３もまた、ＶＣＯ１０１からの信号を変調する。ＰＬＬに関連するトラッキング誤差に対しては、前述した如く平衡変調器１６０３を適切に較正することにより対処することができる。平衡変調器１６０３の出力は、信号の９０度移相され、かつ、振幅変調されたバージョンと加算器１６０６にて合成される。合成信号は、次に、リミッタ１６０７によりフィルタリングされ、再生クロック１６０８が提供される。

【００２０】
位相変調を用いたトラッキング誤差の対処に加え、ＰＬＬクロック再生システム１６００はデータストリーム１４０３内のシンボルの遷移密度変動の結果として生ずる問題に対処する。この種の変動に関連する課題及びそれらの課題に対処するシステムならびに方法は、（SYSTEMS AND METHODS FOR CORRECTING GAIN ERROR DUE TO TRANSITION DENSITY VARIATION IN CLOCK RECOVERY SYSTEMS」と題する米国特許出願第10/328,298号により詳しく記載されている。
【００２１】
データストリーム内のシンボルまたはビットの遷移密度における変動が、公知のＰＬＬの帯域を予測不能とし、公知の技法によるジッタ計測値の精度を低下させる。ＰＬＬクロック再生システム１６００に示す如く、シンボルまたはビットの遷移密度における変動は、ローパスフィルタ１６０１の出力でローパスフィルタ１６０２の出力を除算することにより対処される。平衡変調器１６０３は、アームストロング位相変調構成の変調感度を制御する振幅変調器１６０４と共に除算を実行する。具体的には、これらの信号の除算は変調指数がこれらの二つのフィルタリングされた信号の商に比例する位相変調された信号を生成する。変調領域内で除算を実行することは、「SYSTEM AND MOTHOD FOR DESIGNING AND USING ANALOG CIRCUITS OPERATIONG IN THE MODULATION DOMAIN」と題する米国特許出願第10/328,304号に詳しく記載されている。
【００２２】
これらの二つの信号の除算は、ローパスフィルタ１６０１，１６０２を適切に実施することにより、遷移密度変動に比較的感応しない再生クロックを生ずる。具体的には、ＰＬＬクロック再生システム１６００へ供給されたデータストリームを、シンボル又はビットの単位期間と遷移無しで生じる連続シンボルの最大ランレングスとに従って通信することができる。ローパスフィルタ１６０１，１６０２は、この単位期間にこの最大ランレングスを乗じたものの逆数の半分にほぼ等しい帯域（折り返し（エリアジング）効果を考慮）を有するよう実施することができる。そうすることにより、ローパスフィルタ１６０１の出力はデータ遷移の数（すなわち、シンボルの遷移密度）の移動平均を示すものと見なすことができる。ローパスフィルタ１６０２の出力は、遷移密度を乗じた位相誤差の移動平均を示すものと見なすことができる。ローパスフィルタ１６０２の出力をローパスフィルタ１６０１の出力により除算することにより、遷移密度とは無関係の位相誤差が得られる。
【００２３】
従って、ＰＬＬクロック再生システム１６００は極めて有利である。何故なら、それはトラッキング誤差及び遷移密度変動による影響を比較的受けないからである。かくして、ＰＬＬクロック再生システム１６００は公知のクロック再生構成よりもかなり正確である。精度の改善もまた、比較的低度の複雑さ及び実施難度をもって可能である。さらに、ＰＬＬクロック再生システム１６００のさらなる変形が本発明による実施形態に従って可能である。例えば、位相復調器をＰＬＬクロック再生システム１６００に追加して再生クロックを位相復調された出力へ変換することもできる。同様に、周波数復調器（例えば周波数－電圧変換器１５０１）を、図１５のＰＬＬ周波数復調器１５００と類似の態様でＰＬＬクロック再生システム１６００へ追加することもできる。
【００２４】
本発明による実施形態は、ＰＬＬのトラッキング誤差に対して、様々な用途（アプリケーション）において対処できるようにするものである。本発明による実施形態はさらなる利点を有する。何故なら、適切な位相変調器を用いたトラッキング誤差への対処により、誤差補正が、用途に使用されるＶＣＯの特性に大きく依存させられることはないからである。かくして、本発明による実施形態は変調帯域、及び温度が変動する環境に関して改善された性能を発揮する。
【００２５】
本発明では、フィードフォワード位相変調を用いて、位相ロックループ(PLL)装置内の

トラッキングエラーに対処する。具体的には、基準信号とPLL(100)の発振器信号との位相差を位相検出器(102)を用いて決定することができる。位相検出器の出力をループフィルタ(103)に供給して、PLLのVCOにフィードバックをもたらすことができる。さらに、フィルタリングされた位相差を適切に較正された位相変調器(901)に供給して、この位相差とほぼ同じ大きさで極性が逆のある量の位相変調を発振器信号に加え、補正された位相出力信号を生成することができる。

【００２６】

本発明とその利点を詳細に説明してきたが、特許請求の範囲により画定される本発明の思想及び範囲から逸脱することなく、様々な変形と置換と変更が可能であることが理解さるべきである。さらに、本出願の範囲を、本明細書で説明したプロセスや機械や製造や要素の組成や手段や方法やステップの特定の実施形態に限定することは意図していない。本発明の開示から当業者には容易に理解されることであるが、本明細書及び図面に記載し図示した対応する実施形態と実質的に同じ機能を果たすか、または実質的に同じ結果をもたらす、既存のまたは将来開発されるプロセスや機械や製造や要素の組成や手段や方法やステップを、本発明に従って利用することが可能である。従って、特許請求の範囲には、そのようなプロセスや機械や製造や要素の組成や手段や方法やステップが含まれることが意図されている。

【図面の簡単な説明】

【００２７】

【図１】従来技術によるＰＬＬを示す図である。

【図２】従来技術によるＶＣＯの概念モデルを示す図である。

【図３】従来技術によるＶＣＯの概念モデルを含むＰＬＬを示す図である。

【図４】従来技術によるＰＬＬの数学的モデルを示す図である。

【図５】従来技術による実際のＶＣＯモデルを示す図である。

【図６】従来技術による実際のＶＣＯモデルを含むＰＬＬの数学的モデルを示す図である。

【図７】従来技術による従来のＰＬＬ周波数復調器を示す図である。

【図８】従来技術による従来のＰＬＬ位相復調器を示す図である。

【図９Ａ】本発明の実施形態によるＰＬＬ装置を示す図である。

【図９Ｂ】本発明の実施形態による図９Ａとは別のＰＬＬ装置を示す図である。

【図１０】図９Ａ及び図９Ｂに示したＰＬＬ装置の数学的解析を示す図である。

【図１１】本発明の実施形態による較正用に適合されたＰＬＬ装置を示す図である。

【図１２】本発明の実施形態による較正の数学的解析を示す図である。

【図１３】本発明の施形態による別のＰＬＬ装置を示す図である。

【図１４】本発明の実施形態による別のＰＬＬ装置を示す図である。

【図１５】本発明の実施形態による別のＰＬＬ装置を示す図である。

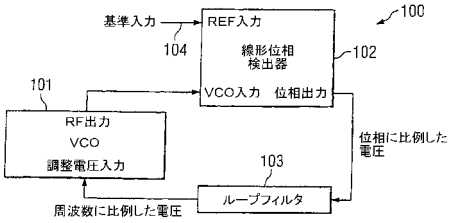
【図１６】本発明の実施形態による別のＰＬＬ装置を示す図である。

【符号の説明】

【００２８】

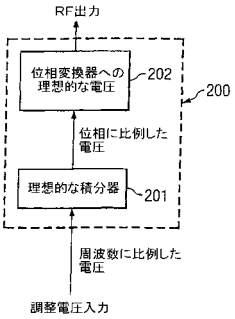
１００　ＰＬＬ
１０２、９５１、９５４　位相検出器
１０３　ループフィルタ
９０１　位相変調器
１６０１、１６０２　ローパスフィルタ
１６０３　平衡変調器
１６０４　振幅変調器
１６０６　加算器

【図１】



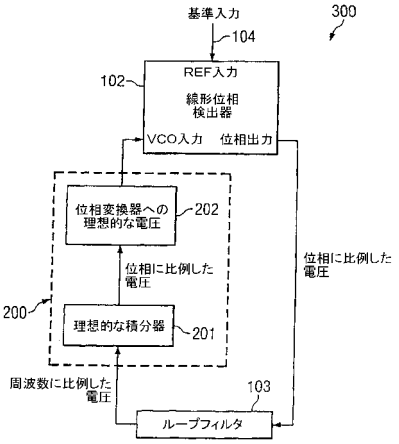
（従来技術）

【図２】



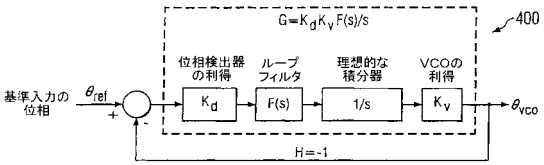
（従来技術）

【図３】



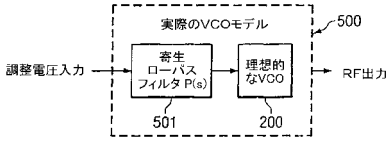
（従来技術）

【図４】



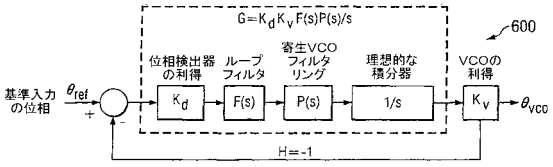
（従来技術）

【図５】



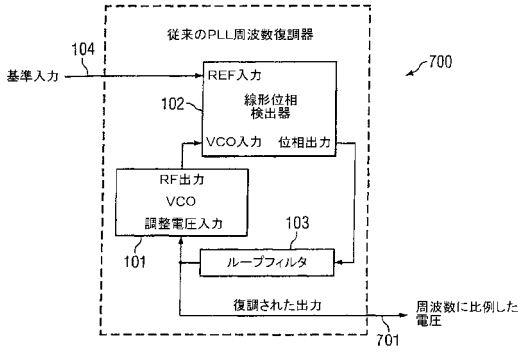
（従来技術）

【図６】



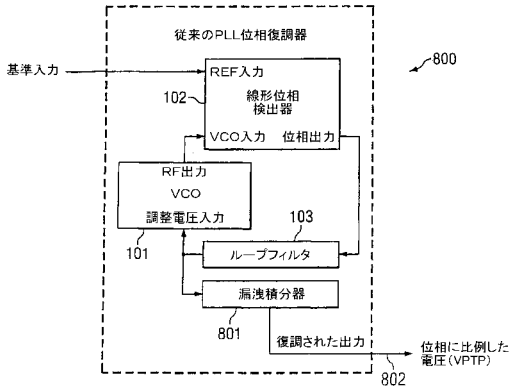
（従来技術）

【図７】



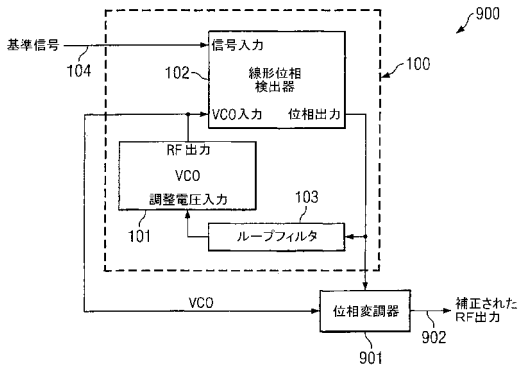
（従来技術）

【図８】

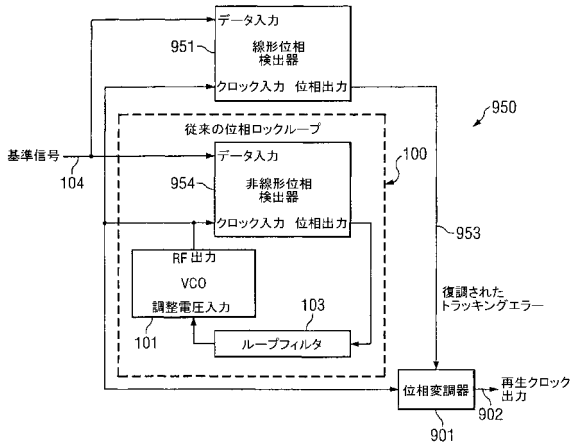


（従来技術）

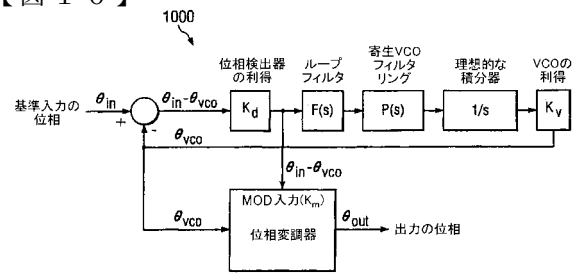
【図９Ａ】



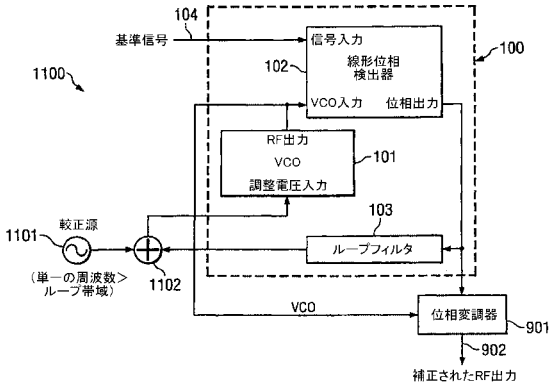
【図９Ｂ】



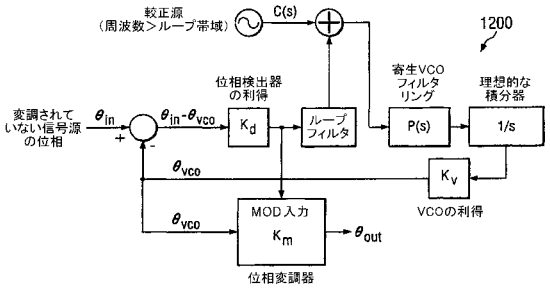
【図１０】



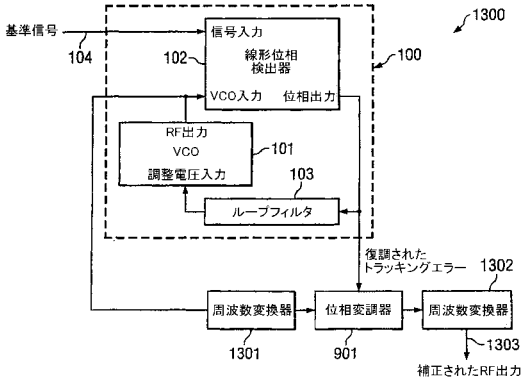
【図１１】



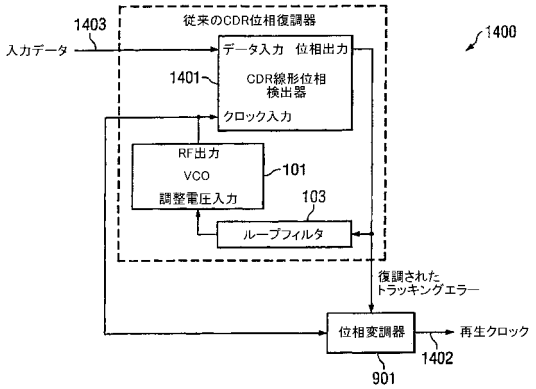
【図１２】



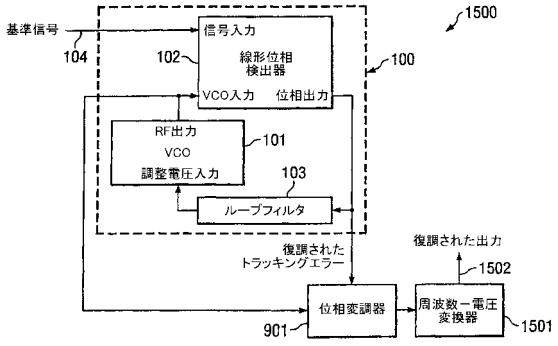
【図１３】



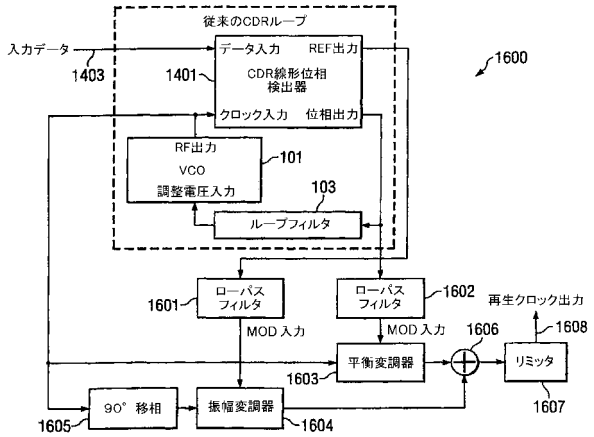
【図１４】



【図１５】



【図１６】


従来のCDRループ
入力データ
1403
データ入力
REF出力
1401
CDR線形位相
検出器
クロック入力
位相出力
1600
RF出力
VCO
調整電圧入力
101
103
ループフィルタ
1601
ローパス
フィルタ
ローパス
フィルタ
1602
再生クロック出力
1608
MOD入力
MOD入力
1606
平衡変調器
1603
リミッタ
1607
90°移相
振幅変調器
1605
1604

フロントページの続き

(72)発明者　リチャード・ケイ・カールキスト
アメリカ合衆国カリフォルニア州９５０１４，クパチーノ，アルカザー・アベニュー・２１８６１

Ｆターム(参考) 5D096 RR17
5J106 AA04 BB08 CC01 CC21 CC41 KK06