

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6564261号
(P6564261)

(45) 発行日 令和1年8月21日(2019.8.21)

(24) 登録日 令和1年8月2日(2019.8.2)

(51) Int.Cl. F I
H O 1 L 21/60 (2006.01)
H O 1 L 21/92 6 O 2 B
H O 1 L 21/92 6 O 2 H

請求項の数 18 (全 20 頁)

(21) 出願番号	特願2015-136846 (P2015-136846)	(73) 特許権者	390019839
(22) 出願日	平成27年7月8日(2015.7.8)		三星電子株式会社
(65) 公開番号	特開2016-32104 (P2016-32104A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成28年3月7日(2016.3.7)		C o . , L t d .
審査請求日	平成30年6月29日(2018.6.29)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2014-0095964		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成26年7月28日(2014.7.28)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国・地域又は機関	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	金 淳 範
			大韓民国 京畿道 水原市 勸善区 細勤
			路 334、333棟 106号

最終頁に続く

(54) 【発明の名称】 半田ジョイントを有する半導体素子

(57) 【特許請求の範囲】

【請求項 1】

導電性パッドと、
前記導電性パッド上に形成される高温半田と、
前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、
前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、
前記高温半田内の S n 含有量が前記低温半田よりも高く、
前記高温半田の側面に形成された側面酸化物をさらに含むことを特徴とする半導体素子

。

【請求項 2】

前記高温半田が純錫を含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記高温半田が 90 w t % 以上の S n 含有量を有する混合物を含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 4】

前記低温半田がフラックスを含み、前記高温半田がフラックスを含まない、ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 5】

前記側面酸化物が S n O を含むことを特徴とする 請求項 1 に記載の半導体素子。

【請求項 6】

10

20

前記高温半田の側面が凹状 (c o n c a v e) のプロファイルを有し、前記低温半田の側面が凸状 (c o n v e x) のプロファイルを有することを特徴とする請求項 1 に記載の半導体素子。

【請求項 7】

前記高温半田の側面のプロファイルは、前記バリア層に隣接する領域において、前記導電性パッドの上面に対して実質的に直線的かつ垂直であり、前記導電性パッドに隣接する領域において、凹状であることを特徴とする請求項 1 に記載の半導体素子。

【請求項 8】

前記高温半田の側面は、前記導電性パッドの上面に対して実質的に直線的かつ垂直なプロファイルを有し、前記低温半田の側面は、凸状のプロファイルを有することを特徴とする請求項 1 に記載の半導体素子。

10

【請求項 9】

前記バリア層と前記高温半田との間に第 2 金属間化合物 (I n t e r - M e t a l l i c C o m p o u n d) と、

前記バリア層と前記低温半田との間に第 3 金属間化合物と、をさらに含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 10】

前記バリア層は、

第 1 バリア層と、

前記第 1 バリア層下に形成される第 2 バリア層と、を含み、

20

前記第 1 バリア層は、前記第 2 バリア層よりも厚いことを特徴とする請求項 9 に記載の半導体素子。

【請求項 11】

前記第 1 バリア層は、ニッケル (N i) を含み、前記第 2 バリア層は、ビスマス (B i) を含むことを特徴とする請求項 10 に記載の半導体素子。

【請求項 12】

前記第 2 金属間化合物と前記高温半田との間に、第 1 拡散領域をさらに含み、

前記第 1 拡散領域は、前記第 2 バリア層及び前記高温半田の物質を含むことを特徴とする請求項 10 に記載の半導体素子。

【請求項 13】

30

前記第 1 バリア層上に形成される第 3 バリア層をさらに含み、

前記第 1 バリア層は、前記第 2 バリア層と前記第 3 バリア層との間に形成され、前記第 3 バリア層は、B i を含むことを特徴とする請求項 10 に記載の半導体素子。

【請求項 14】

前記第 3 金属間化合物と前記低温半田との間に形成される第 2 拡散領域をさらに含み、

前記第 2 拡散領域は、前記第 3 バリア層及び前記低温半田の物質を含むことを特徴とする請求項 13 に記載の半導体素子。

【請求項 15】

半導体パッケージの一面に形成される導電性パッドと、

前記導電性パッド上に形成される高温半田と、

40

前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、

前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、

前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、

前記高温半田の側面は、凹状のプロファイルを有することを特徴とする半導体素子。

【請求項 16】

半導体パッケージの一面に形成される導電性パッドと、

前記導電性パッド上に形成される高温半田と、

前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、

前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、

前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、

50

前記高温半田の側面のプロファイルは、前記バリア層に隣接する領域において、前記導電性パッドの上面に対して実質的に直線的かつ垂直であり、前記導電性パッドに隣接する領域において、凹状であることを特徴とする半導体素子。

【請求項 17】

半導体パッケージの一面に形成される導電性パッドと、
前記導電性パッド上に形成される高温半田と、
前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、
前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、
前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、
前記低温半田の側面は、凸状のプロファイルを有することを特徴とする半導体素子。

10

【請求項 18】

半導体パッケージの一面に形成される導電性パッドと、
前記導電性パッド上に形成される高温半田と、
前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、
前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、
前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、
前記高温半田の側面は、前記導電性パッドの上面に対して実質的に直線的かつ垂直のプロファイルを有することを特徴とする半導体素子。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半田ジョイントを有する半導体素子に係り、より詳しくは、高い信頼性の半田ジョイントを有する半導体素子に関する。

【背景技術】

【0002】

半導体パッケージ、半導体チップ、及びメインボードの間の電氣的接続のために半田ジョイントを用いる多様な方法が研究されている。前記半田ジョイントの信頼性は、半田ボスト、半田バンプ、または半田ボールの構造及び物質によって決定される。前記半田ジョイントに発生するクラック等の多様な種類の欠陥によって半導体チップが搭載された電子システムの特性低下及び寿命短縮の事例が報告されている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許出願公開第 2013 / 0105329 A1 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、高い信頼性の半田ジョイントを有する半導体素子を提供することにある。

【0005】

40

本発明が解決しようとする他の課題は、高い信頼性の半田ジョイントを有する半導体素子の形成方法を提供することにある。

【0006】

本発明が解決しようとする多様な課題は、上記に言及した課題に限らず、言及のない更なる他の課題は下記の記載から当業者に明確に理解される。

【課題を解決するための手段】

【0007】

上記課題を達成するためになされた本発明による半導体素子は、導電性パッドと、前記導電性パッド上に形成される高温半田と、前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、前記高温半田と前記低温半田との間に形成されるバリア

50

層と、を含み、前記高温半田内のSn含有量が前記低温半田よりも高く、前記高温半田の側面に形成された側面酸化物をさらに含むことを特徴とする。

【0008】

前記高温半田は、純錫 (pure - Sn) を含み得る。

【0009】

前記高温半田は、90wt%以上のSn含有量を有する混合物を含み得る。

【0010】

前記高温半田はフラックスを含まず、前記低温半田はフラックスを含み得る。

【0012】

前記高温半田の側面は、凹状 (concave) のプロファイルを有し得る。前記低温半田の側面は凸状 (convex) のプロファイルを有し得る。

10

【0013】

前記高温半田の側面のプロファイルは、前記バリア層に隣接する領域において、前記導電性パッドの上面に対して実質的に直線的かつ垂直であり、前記導電性パッドに隣接する領域において、凹状であることが好ましい。

【0014】

前記高温半田の側面は、前記導電性パッドの上部表面に対して実質的に直線的かつ垂直なプロファイルを有し、前記低温半田の側面は、凸状のプロファイルを有することが好ましい。

【0015】

前記バリア層と前記高温半田との間に第2金属間化合物 (Inter - Metallic Compound) と、前記バリア層と前記低温半田との間に第3金属間化合物と、をさらに含むことが好ましい。

20

【0016】

前記バリア層は、第1バリア層と、前記第1バリア層下に形成される第2バリア層と、を含み、前記第1バリア層は、前記第2バリア層よりも厚いことが好ましい。

前記第1バリア層は、ニッケル (Ni) を含み、前記第2バリア層は、ビスマス (Bi) を含むことが好ましい。

【0017】

前記第2金属間化合物と前記高温半田との間に、第1拡散領域をさらに含み、前記第1拡散領域は、前記第2バリア層及び前記高温半田の物質を含むことが好ましい。

30

【0018】

前記第1バリア層上に形成される第3バリア層をさらに含み、前記第1バリア層は、前記第2バリア層と前記第3バリア層との間に形成され、前記第3バリア層は、Biを含むことが好ましい。

【0019】

前記第3金属間化合物と前記低温半田との間に形成される第2拡散領域をさらに含み、前記第2拡散領域は、前記第3バリア層及び前記低温半田の物質を含むことが好ましい。

【0022】

また、上記課題を達成するためになされた本発明による半導体素子は、半導体パッケージの一面に形成される導電性パッドと、前記導電性パッド上に形成される高温半田と、前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、前記高温半田の側面は、凹状のプロファイルを有することを特徴とする。

40

【0024】

また、上記課題を達成するためになされた本発明による半導体素子は、半導体パッケージの一面に形成される導電性パッドと、前記導電性パッド上に形成される高温半田と、前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、前記高温半田の側面は、前記

50

低温半田の側面と異なる形状を有し、前記高温半田の側面のプロファイルは、前記バリア層に隣接する領域において、前記導電性パッドの上面に対して実質的に直線的かつ垂直であり、前記導電性パッドに隣接する領域において、凹状であることを特徴とする。

【0025】

また、上記課題を達成するためになされた本発明による半導体素子は、半導体パッケージの一面に形成される導電性パッドと、前記導電性パッド上に形成される高温半田と、前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、前記低温半田の側面は、凸状のプロファイルを有することを特徴とする。

10

【0026】

また、上記課題を達成するためになされた本発明による半導体素子は、半導体パッケージの一面に形成される導電性パッドと、前記導電性パッド上に形成される高温半田と、前記高温半田上に形成され、前記高温半田よりも低い融点を有する低温半田と、前記高温半田と前記低温半田との間に形成されるバリア層と、を含み、前記高温半田の側面は、前記低温半田の側面と異なる形状を有し、前記高温半田の側面は、前記導電性パッドの上面に対して実質的に直線的かつ垂直のプロファイルを有することを特徴とする。

【発明の効果】

20

【0027】

本発明の技術的思想の実施形態によれば、導電性パッド上に、高温半田、バリア層、及び低温半田が順に形成される。前記高温半田は、前記導電性パッド及び前記低温半田の間のストレスを緩和する役割をする。前記バリア層は、前記高温半田及び前記低温半田が互いに混合されることを防止する役割をする。高い信頼性の半田ジョイントを有する半導体素子を実現できる。

【図面の簡単な説明】

【0028】

【図1】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

30

【図2】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図3】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図4】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図5】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図6】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

40

【図7】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図8】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図9】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図10】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図11】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

50

【図 1 2】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図 1 3】本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【図 1 4】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 1 5】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 1 6】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

10

【図 1 7】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 1 8】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 1 9】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 0】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 1】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

20

【図 2 2】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 3】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 4】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 5】本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【図 2 6】本発明の技術的思想の実施形態に係る電子装置のシステムブロック図である。

【図 2 7】本発明の技術的思想の実施形態に係る電子装置のシステムブロック図である。

30

【発明を実施するための形態】

【0029】

本発明の利点及び特徴、そして、これらを達成する方法は、添付図面と共に詳細に後述する実施形態を参照することによって明確になる。しかしながら、本発明は以下に開示する実施形態に限定されるものではなく、互いに異なる多様な形態として実現できる。本実施形態は、本発明の開示が完全となるようにし、本発明が属する技術分野において通常の知識を有する者に発明の範疇を完全の開示するために提供されるものであって、本発明は請求項の範疇のみによって定義される。

【0030】

本明細書に使用する用語は実施形態を説明するためのものであって、本発明を制限しようとするものではない。本明細書において、単数は文章において特に言及しない限り複数も含む。明細書に使用される「含む (comprises)。」及び/または「含む (comprising)」は言及した構成要素、段階、動作及び/または素子は、1つ以上の他の構成要素、段階、動作及び/または素子の存在または追加を排除しない。

40

【0031】

1つの素子 (elements) が他の素子と「接続された (connected to)」または「カップリングされた (coupled to)」とされる場合は、他の素子と直接連結またはカップリングされた場合または中間に他の素子を介在した場合を全て含む。一方、1つの素子が他の素子と「直接接続された (directly connected to)」または「直接カップリングされた (directly coupled

50

t o)」とされる場合は、中間に他の素子を介在しないものとする。明細書全体を通して同一参照符号は、同一構成要素を指称する。「及び/または」は言及したアイテムのそれぞれ及び1つ以上のすべての組み合わせを含む。

【0032】

空間的に相対的な用語である「下方(below)」、「下(beneath)」、「下部(lower)」、「上(above)」、「上部(upper)」などは、図示するように、1つの素子または構成要素と異なる素子または構成要素との相関関係を容易に記述するために用いられる。空間的に相対的な用語は、図示されている方向に加えて使用時または動作時の素子の互いに異なる方向を含む用語として理解しなければならない。例えば、図示している素子を逆にした場合、他の素子の「下方(below)」または「下(beneath)」と記述された素子は、他の素子の「上(above)」に置かれる。よって、例示的な用語である「下」は下と上の方向を全て含む。素子は他の方向にも配置され、空間的に相対的な用語は配置により解釈される。

10

【0033】

また、本明細書において記述する実施形態は、本発明の理想的な例示図である断面図を参照して説明される。図面において、膜及び領域の厚さは技術的内容の効果的な説明のために誇張され得る。よって、生産技術及び/または許容誤差などによって例示図の形態が変形され得る。よって、本発明の実施例は、図示した特定形態に制限されず、生産工程によって生成する形態の変化も含むものである。例えば、直角に図示したエッチング領域はラウンドされたり、所定曲率を有したりする形態とすることができる。よって、図により例示した領域は概略的な属性を有し、図により例示した領域の形態は素子の領域の特定形態を例示するためのものであって、発明の範疇を制限するためのものではない。

20

【0034】

明細書全文にかけて同一参照符号は同一構成要素を指称する。よって、同一参照符号または類似参照符号は当該図面において言及または説明されなくても、他の図面を参照して説明できる。また、参照符号が表示されなくても、他の図面を参照して説明できる。

【0035】

本明細書において、「前面」と「後面」は、本発明の技術的思想を理解しやすく説明するために相対的な概念として用いるものである。よって、「前面」と「後面」は、特定の方向、位置または構成要素を指称するものではなく、互いに互換され得る。例えば、「前面」が「後面」と解釈され、「後面」が「前面」と解釈され得る。よって、「前面」を「第1」と表現し、「後面」を「第2」と表現でき、「後面」を「第1」と表現し、「前面」を「第2」と表現できる。しかし、1つの実施形態内においては「前面」と「後面」が混用されない。

30

【0036】

本明細書において、「近い」という表現は、対称的な概念を有する2つ以上の構成要素のうちのいずれか1つが他の特定構成要素に対して相対的に近く位置していることを意味する。例えば、第1端部が第1面に近いという表現は、第1端部が第2端部よりも第1面により近いという意味であるか、または第1端部が第2面よりも第1面により近いという意味と理解される。

40

【0037】

図1ないし図13は、本発明の技術的思想の実施形態に係る半導体素子を説明するための断面図である。

【0038】

図1を参照すると、半導体パッケージ21の一面に導電性パッド23を形成する。導電性パッド23上に高温半田31、バリア層45、及び低温半田51を形成する。低温半田51は高温半田31に比べて低い融点を有する。例えば、高温半田31は低温半田51に比べて150℃以上高い融点を有する。低温半田51は230℃未満の融点を有する物質を含む。

【0039】

50

半導体パッケージ21は、半導体チップ、印刷回路基板、及び封止材等の多様な構成を選択的に含むが、簡略な説明のために省略するものとする。導電性パッド23は、半導体パッケージ21内の印刷回路基板上に形成される。導電性パッド23は、フィンガー電極またはランディングパッドに該当する。導電性パッド23は、CuまたはAl等の導電性物質を含む。

【0040】

導電性パッド23の上部表面に仕上げ層(finish layer)25を形成する。仕上げ層25の厚さは導電性パッド23よりも薄くする。仕上げ層25は導電性パッド23の上部表面を覆う。仕上げ層25は、Ni、Au、Ag、Pt、Zn、P、In、Cd、Sb、Sn、Bi、As、Cr、Ti、Ta、Pd、Co、Mn、V、Mg、またはこれらの組み合わせを含む。仕上げ層25は、UBM(under bump metal)に相当する。仕上げ層25は、導電性パッド23及び高温半田31の間に形成される。

10

【0041】

半導体パッケージ21の一面に、半田レジスト等のパッケージ絶縁膜27を形成する。パッケージ絶縁膜27は仕上げ層25の縁を覆う。他の実施形態において、仕上げ層25が省略された場合、パッケージ絶縁膜27は導電性パッド23の縁を覆う。

【0042】

高温半田31は、第1金属間化合物(Inter-Metallic Compound、IMC)33、原高温半田領域(符番なし)第1拡散領域37、及び第2金属間化合物(IMC)35を含む。高温半田31の側面に側面酸化物39を形成する。バリア層45は、第1バリア層41、第2バリア層42、及び第3バリア層43を含む。低温半田51は、第3金属間化合物(IMC)55、原低温半田領域(符番なし)、及び第2拡散領域57を含む。

20

【0043】

高温半田31は、低温半田51に比べて高い融点を有する。高温半田31は、230以上の融点を有する物質を含む。例えば、高温半田31は250以上の融点を有する。高温半田31は、90wt%以上のSn含有量を有する混合物または合金とすることができる。高温半田31は、純錫とすることができる。高温半田31内のSn含有量は低温半田51に比べて高いものとする。

30

【0044】

第1金属間化合物33は、仕上げ層25及び高温半田31の間に形成される。第1金属間化合物33は仕上げ層25及び高温半田31の物質を含む。他の実施形態において、第1金属間化合物33は、仕上げ層25、導電性パッド23及び高温半田31の物質を含む。仕上げ層25が省略された場合、第1金属間化合物33は導電性パッド23及び高温半田31の物質を含む。

【0045】

第1拡散領域37は、第2金属間化合物35及び高温半田31の間に形成される。第1拡散領域37は、第2バリア層42及び高温半田31の物質を含む。高温半田31は、第1金属間化合物33及び第1拡散領域37の間に形成される。他の実施形態において、第1拡散領域37を省略できる。

40

【0046】

第2金属間化合物35は、第2バリア層42及び第1拡散領域37の間に形成される。第2金属間化合物35は、第2バリア層42及び高温半田31の物質を含む。他の実施形態において、第2金属間化合物35は、第1バリア層41、第2バリア層42及び高温半田31の物質を含む。第2バリア層42が省略された場合、第2金属間化合物35は第1バリア層41及び高温半田31の物質を含む。

【0047】

側面酸化物39は高温半田31の露出した表面に沿って形成される。側面酸化物39は、SnOを含む。低温半田51はフラックスを含むのに対し、高温半田31はフラックス

50

を含まない。

【0048】

バリア層45は、高温半田31及び低温半田51の間に形成される。バリア層45は高温半田31及び低温半田51の混合を防止する役割をする。バリア層45は、Ni、Au、Ag、Pt、Zn、P、In、Cd、Sb、Sn、Bi、Cu、As、Cr、Ti、Ta、Pd、Co、Mn、V、Mg、Al、またはこれらの組み合わせを含む。第1バリア層41は、第2バリア層42及び第3バリア層43の間に形成される。第1バリア層41は、第2バリア層42または第3バリア層43よりも厚くする。例えば、第1バリア層41は、Ni、Cu、またはこれらの組み合わせを含む。

【0049】

第2バリア層42は、第2金属間化合物35及び第1バリア層41の間に形成される。例えば、第2バリア層42はBiを含む。他の実施形態において、第2バリア層42は第2金属間化合物35及び第1拡散領域37内部に全部拡散され、第2金属間化合物35は第1バリア層41に直接接触する。第2バリア層42を省略できる。

【0050】

第3バリア層43は、第3金属間化合物55及び第1バリア層41の間に形成される。例えば、第3バリア層43はBiを含む。他の実施形態において、第3バリア層43は第3金属間化合物55及び第2拡散領域57内部に全部拡散され、第3金属間化合物55は第1バリア層41に直接接触する。第3バリア層43を省略できる。

【0051】

低温半田51は高温半田31に比べて低い融点を有する。低温半田51はSnを含む。低温半田51内のSn含有量は前記高温半田31に比べて低くする。第3金属間化合物55は、第3バリア層43及び第2拡散領域57の間に形成される。第3金属間化合物55は、第3バリア層43及び低温半田51の物質を含む。他の実施形態において、第3金属間化合物55は、第1バリア層41、第3バリア層43及び低温半田51の物質を含む。第3バリア層43が省略された場合、第3金属間化合物55は第1バリア層41及び低温半田51の物質を含む。

【0052】

第2拡散領域57は、第3金属間化合物55及び低温半田51の間に形成される。第2拡散領域57は、第3バリア層43及び低温半田51の物質を含む。低温半田51は第2拡散領域57上に形成される。他の実施形態において、第2拡散領域57を省略できる。

【0053】

低温半田51の側面は、高温半田31の側面と異なる形状を有する。低温半田51の表面は丸く形成される。高温半田31の水平幅は、導電性パッド23に近くなるほど拡張される。高温半田31の側面は、バリア層45に近くなるほど導電性パッド23の上部表面に対して垂直に近いプロファイルを有する。高温半田31の側面は、導電性パッド23に近くなるほど凹状のプロファイルを有する。低温半田51の側面は凸状のプロファイルを有する。

【0054】

側面酸化物39及びパッケージ絶縁膜27の間に仕上げ層25が露出される。他の実施形態において、高温半田31及びパッケージ絶縁膜27の間に導電性パッド23が露出される。導電性パッド23は高温半田31よりも大きな幅を有する。

【0055】

他の実施形態において、導電性パッド23は半導体パッケージ21内の半導体チップ上に形成される。導電性パッド23は半導体ウエハの一面に形成される。導電性パッド23は再配線層(re-distribution layer、RDL)に相当する。

【0056】

高温半田31、バリア層45、及び低温半田51は、半田ポスト、半田ボール、または半田バンプとして解釈できる。

【0057】

10

20

30

40

50

図 2 を参照すると、第 2 金属間化合物 3 5 は、第 1 バリア層 4 1 に直接接触する。第 3 金属間化合物 5 5 は第 1 バリア層 4 1 に直接接触する。第 1 バリア層 4 1 は第 2 金属間化合物 3 5 及び第 3 金属間化合物 5 5 の間に形成される。

【 0 0 5 8 】

図 3 を参照すると、バリア層 4 5 は第 1 バリア層 4 1 及び第 3 バリア層 4 3 を含む。第 2 バリア層 (図 1 の 4 2) 及び第 1 拡散領域 (図 1 の 3 7) を省略できる。第 2 金属間化合物 3 5 は第 1 バリア層 4 1 に直接接触する。第 3 金属間化合物 5 5 は第 3 バリア層 4 3 に直接接触する。

【 0 0 5 9 】

図 4 を参照すると、高温半田 3 1 の側面は露出される。側面酸化物 (図 1 の 3 9) を省略できる。

【 0 0 6 0 】

図 5 を参照すると、高温半田 3 1 の側面は、導電性パッド 2 3 の上部表面に対して垂直に近いプロファイルを有する。低温半田 5 1 の側面は凸状のプロファイルを有する。

【 0 0 6 1 】

図 6 を参照すると、半導体パッケージ 2 2 上に導電性パッド 2 3 を形成する。半導体パッケージ 2 2 は半導体ウエハまたは半導体チップを含む。導電性パッド 2 3 は再配線層に該当する。導電性パッド 2 3 上に仕上げ層 2 5 を形成する。半導体パッケージ 2 2 の一面にパッケージ絶縁膜 2 7 を形成する。パッケージ絶縁膜 2 7 は仕上げ層 2 5 の縁を覆う。導電性パッド 2 3 上に、高温半田 3 1、バリア層 4 5、及び低温半田 5 1 を形成する。高温半田 3 1、前記バリア層 4 5、及び低温半田 5 1 は半田バンプとして解釈される。パッケージ絶縁膜 2 7 は側面酸化物 3 9 と接触する。高温半田 3 1 の側面は導電性パッド 2 3 の上部表面に対して垂直に近いプロファイルを有する。

【 0 0 6 2 】

図 7 を参照すると、高温半田 3 1 の側面は露出される。高温半田 3 1 の側面は、導電性パッド 2 3 の上部表面に対して垂直に近いプロファイルを有する。パッケージ絶縁膜 2 7 は第 1 金属間化合物 3 3 と接触する。

【 0 0 6 3 】

図 8 を参照すると、半導体パッケージ 2 1 上に上部半導体パッケージ 1 2 1 を搭載する。半導体パッケージ 2 1 の一面に導電性パッド 2 3 を形成する。導電性パッド 2 3 上に仕上げ層 2 5 を形成する。仕上げ層 2 5 上に高温半田 3 1 及びバリア層 4 5 が順に積層される。高温半田 3 1 は、第 1 金属間化合物 3 3、第 1 拡散領域 3 7、及び第 2 金属間化合物 3 5 を含む。高温半田 3 1 の側面に側面酸化物 3 9 を形成する。バリア層 4 5 は、第 1 バリア層 4 1、第 2 バリア層 4 2、及び第 3 バリア層 4 3 を含む。

【 0 0 6 4 】

上部半導体パッケージ 1 2 1 の一面に上部導電性パッド 1 2 3 を形成する。上部導電性パッド 1 2 3 上に仕上げ層 1 2 5 を形成する。上部半導体パッケージ 1 2 1 の一面に半田レジスト等の上部パッケージ絶縁膜 1 2 7 を形成する。上部パッケージ絶縁膜 1 2 7 は上部仕上げ層 1 2 5 の縁を覆う。上部仕上げ層 1 2 5 上に上部高温半田 1 3 1 及び上部バリア層 1 4 5 が順に積層される。上部高温半田 1 3 1 は、第 1 上部金属間化合物 1 3 3、第 1 上部拡散領域 1 3 7、及び第 2 上部金属間化合物 1 3 5 を含む。上部高温半田 1 3 1 の側面に上部側面酸化物 1 3 9 を形成する。上部バリア層 1 4 5 は、第 1 上部バリア層 1 4 1、第 2 上部バリア層 1 4 2、及び第 3 上部バリア層 1 4 3 を含む。

【 0 0 6 5 】

上部高温半田 1 3 1、上部バリア層 1 4 5、第 1 上部金属間化合物 1 3 3、第 1 上部拡散領域 1 3 7、第 2 上部金属間化合物 1 3 5、上部側面酸化物 1 3 9、第 1 上部バリア層 1 4 1、第 2 上部バリア層 1 4 2、及び第 3 上部バリア層 1 4 3 は、図 1 ないし図 7 において説明したものと類似の多様な構成を含む。

【 0 0 6 6 】

バリア層 4 5 及び上部バリア層 1 4 5 の間に低温半田 5 1 を形成する。低温半田 5 1 は

10

20

30

40

50

第3金属間化合物55、第2拡散領域57、第3上部金属間化合物155、第2上部拡散領域157を含む。低温半田51の側面は凸状のプロファイルを有する。

【0067】

図9を参照すると、低温半田51はバリア層45及び上部仕上げ層125の間に形成される。第3上部金属間化合物155は上部仕上げ層125及び低温半田51の間に形成される。第3上部金属間化合物155は上部仕上げ層125に直接接触する。上部仕上げ層125が省略された場合、第3上部金属間化合物155は上部導電性パッド123に直接接触する。

【0068】

図10を参照すると、低温半田51はフラックスを含むのに対し、高温半田31はフラックスを含まない。低温半田51の側面及び上部パッケージ絶縁膜127上にフラックス残渣138が付着する。フラックス残渣138は、第3上部金属間化合物155、上部仕上げ層125及び上部パッケージ絶縁膜127に直接接触する。側面酸化物39、仕上げ層25、及びパッケージ絶縁膜27周辺にはフラックス残渣が付着しない。

【0069】

図11を参照すると、半導体パッケージ22、導電性パッド23、仕上げ層25、高温半田31、第1金属間化合物33、第1拡散領域37、第2金属間化合物35、側面酸化物39、バリア層45、第1バリア層41、第2バリア層42、第3バリア層43、上部半導体パッケージ122、上部導電性パッド123、上部仕上げ層125、上部パッケージ絶縁膜127、上部高温半田131、第1上部金属間化合物133、第1上部拡散領域137、及び第2上部金属間化合物135、上部側面酸化物139、上部バリア層145、第1上部バリア層141、第2上部バリア層142、及び第3上部バリア層143は、図6において説明したものと類似の多様な構成を含む。

【0070】

バリア層45及び上部バリア層145の間に低温半田51を形成する。低温半田51は、第3金属間化合物55、第2拡散領域57、第3上部金属間化合物155、第2上部拡散領域157を含む。低温半田51の側面は凸状のプロファイルを有する。

【0071】

図12を参照すると、低温半田51はバリア層45及び上部仕上げ層125の間に形成される。第3上部金属間化合物155は上部仕上げ層125及び低温半田51の間に形成される。第3上部金属間化合物155は上部仕上げ層125に直接接触する。上部仕上げ層125が省略された場合、第3上部金属間化合物155は上部導電性パッド123に直接接触する。上部パッケージ絶縁膜127は第3上部金属間化合物155に直接接触する。

【0072】

図13を参照すると、低温半田51はフラックスを含むのに対し、高温半田31はフラックスを含まない。低温半田51の側面及び上部パッケージ絶縁膜127上にフラックス残渣138が付着する。側面酸化物39及びパッケージ絶縁膜27周辺にはフラックス残渣が付着しない。

【0073】

図14ないし図25は、本発明の技術的思想の実施形態に係る半導体素子の形成方法を説明するための断面図である。

【0074】

図14を参照すると、犠牲プレート13上に複数の貫通孔14Hを有するフィルム14を形成する。犠牲プレート13は一面が平らな構成を有するガラス板、金属板、プラスチック板、セラミック板、またはこれらの組み合わせを含む。フィルム14は合成樹脂を含む。フィルム14は柔軟性フィルム(flexible film)を含む。例えば、フィルム14はドライフィルム(dry film)を含む。貫通孔14Hのそれぞれは互いに離隔される。貫通孔14Hの底に犠牲プレート13の一面が露出される。

【0075】

図15を参照すると、貫通孔14H内に、高温半田31、バリア層45、及び低温半田51を形成する。高温半田31は犠牲プレート13に接触する。バリア層45は高温半田31上に形成される。低温半田51はバリア層45上に形成される。低温半田51の上端は露出される。

【0076】

図16を参照すると、犠牲プレート13を除去して高温半田31の底が露出される。高温半田31、バリア層45、及び低温半田51は、半田ポスト(solder post)を構成する。

【0077】

図17を参照すると、導電性パッド23上に高温半田31が付着される。

10

【0078】

導電性パッド23は半導体パッケージ21の一面に形成される。導電性パッド23上に高温半田31を付着する工程は、TC(thermo-compression)bonding、TS(thermo-sonic)bonding、またはこれらの組み合わせが適用される。

その際に、高温半田31内の、仕上げ層25又は導電性パッド23と接する領域に第1金属間化合物33が形成される。

高温半田31の水平幅は導電性パッド23に近くなるほど拡張される。高温半田31の側面は低温半田51の側面と異なる形状を有する。高温半田31の側面は前記バリア層45に近くなるほど導電性パッド23の上部表面に対して垂直に近いプロファイルを有する。高温半田31の側面は導電性パッド23に近くなるほど凹状のプロファイルを有する。

20

【0079】

他の実施形態において、導電性パッド23は半導体チップまたは半導体ウエハの一面に形成される。

【0080】

図18を参照すると、フィルム14が除去される。

【0081】

図19を参照すると、リフロー工程を用いて低温半田51の表面を丸く形成する。その際に、図1ないし図4に示した第1拡散領域37、第2金属化合物35、第3金属化合物55、第2拡散領域57が形成される。残存部分が、原高温半田領域、原低温半田領域となる。図1ないし図4は、図19に示した半導体素子の一部分を詳しく示す拡大図である。導電性パッド23、高温半田31、バリア層45、及び低温半田51は、図1ないし図4において説明したものと類似の構成を有する。

30

【0082】

図20を参照すると、半導体パッケージ21上に上部半導体パッケージ121を搭載する。図8は、図20に示した半導体素子の一部分を詳しく示す拡大図である。導電性パッド23、高温半田31、バリア層45、低温半田51、上部導電性パッド123、上部高温半田131、及び上部バリア層145は、図8において説明したものと類似の構成を有する。

【0083】

40

図21を参照すると、半導体パッケージ21上に上部半導体パッケージ121を搭載する。図9は、図21に示した半導体素子の一部を詳しく示す拡大図である。導電性パッド23、高温半田31、バリア層45、低温半田51、及び上部導電性パッド123は、図9において説明したものと類似の構成を有する。

【0084】

図22を参照すると、半導体パッケージ22上に導電性パッド23を形成する。半導体パッケージ22は半導体ウエハまたは半導体チップを含む。導電性パッド23は再配線層に該当する。導電性パッド23上に、高温半田31、バリア層45、及び低温半田51を形成する。高温半田31、バリア層45、及び低温半田51は半田バンプとして解釈できる。高温半田31の側面は導電性パッド23の上部表面に対して垂直に近いプロファイル

50

を有する。

【 0 0 8 5 】

図 2 3 を参照すると、リフロー工程を用いて低温半田 5 1 の表面を丸く形成する。図 6 及び図 7 は、図 2 3 に示した半導体素子の一部分を詳しく示す拡大図である。導電性パッド 2 3、高温半田 3 1、バリア層 4 5、及び低温半田 5 1 は、図 6 及び図 7 において説明したものと類似の構成を有する。

【 0 0 8 6 】

図 2 4 を参照すると、半導体パッケージ 2 2 上に上部半導体パッケージ 1 2 2 を搭載する。図 1 1 は、図 2 4 に示した半導体素子の一部を詳しく示す拡大図である。導電性パッド 2 3、高温半田 3 1、バリア層 4 5、低温半田 5 1、上部導電性パッド 1 2 3、上部高温半田 1 3 1、及び上部バリア層 1 4 5 は図 1 1 において説明したものと類似の構成を有する。

10

【 0 0 8 7 】

図 2 5 を参照すると、半導体パッケージ 2 2 上に上部半導体パッケージ 1 2 2 を搭載する。図 1 2 は、図 2 5 に示した半導体素子の一部を詳しく示す拡大図である。導電性パッド 2 3、高温半田 3 1、バリア層 4 5、低温半田 5 1、及び上部導電性パッド 1 2 3 は図 1 2 において説明したものと類似の構成を有する。

【 0 0 8 8 】

図 2 6 及び図 2 7 は、本発明の技術的思想の実施形態に係る電子装置のシステムブロック図である。

20

【 0 0 8 9 】

図 2 6 を参照すると、図 1 ないし図 2 5 を参照して説明したものと類似の半導体素子を電子システム 2 1 0 0 に適用する。電子システム 2 1 0 0 は、ボディ 2 1 1 0、マイクロプロセッサ 2 1 2 0、電源部 (Power) 2 1 3 0、機能ユニット (Function Unit) 2 1 4 0、及びディスプレイコントローラ 2 1 5 0 を含む。ボディ 2 1 1 0 は印刷回路基板 (P C B) に形成されたマザーボード (Mother Board) とすることができる。マイクロプロセッサ 2 1 2 0、電源部 2 1 3 0、機能ユニット 2 1 4 0、及びディスプレイコントローラ 2 1 5 0 はボディ 2 1 1 0 に装着ポッドすることができる。ボディ 2 1 1 0 の内部あるいはボディ 2 1 1 0 の外部にディスプレイ 2 1 6 0 を配置する。例えば、ディスプレイ 2 1 6 0 はボディ 2 1 1 0 の表面に配置されてディスプレイコントローラ 2 1 5 0 によりプロセスされたイメージを表示する。

30

【 0 0 9 0 】

電源部 2 1 3 0 は外部バッテリーなどから所定電圧が印加され、これを要求される電圧レベルに分岐してマイクロプロセッサ 2 1 2 0、機能ユニット 2 1 4 0、ディスプレイコントローラ 2 1 5 0 などに供給する役割をする。マイクロプロセッサ 2 1 2 0 は、電源部 2 1 3 0 から電圧を印加して機能ユニット 2 1 4 0 とディスプレイ 2 1 6 0 を制御する。機能ユニット 2 1 4 0 は多様な電子システム 2 1 0 0 の機能を実行する。例えば、電子システム 2 1 0 0 がスマートフォンの場合、機能ユニット 2 1 4 0 はダイヤリング、または外部装置 (External Apparatus) 2 1 7 0 との通信によりディスプレイ 2 1 6 0 への映像出力、スピーカへの音声出力などの携帯電話機能を実行する多様な構成要素を含み、カメラと一緒に装着された場合にカメライメージプロセッサ (Camera Image Processor) の役割をする。

40

【 0 0 9 1 】

応用実施形態において、電子システム 2 1 0 0 が容量拡張のためにメモ리카ードなどと接続される場合、機能ユニット 2 1 4 0 はメモ리카ードコントローラとなる。機能ユニット 2 1 4 0 は有線あるいは無線の通信ユニット (Communication Unit) 2 1 8 0 を介して外部装置 2 1 7 0 と信号を交信する。さらに、電子システム 2 1 0 0 が機能拡張のために USB (Universal Serial Bus) などを必要とする場合、機能ユニット 2 1 4 0 は、インタフェースコントローラ (Interface Controller) の役割をする。さらに、機能ユニット 2 1 4 0 は大容量保存装

50

置を含み得る。

【 0 0 9 2 】

図 1 ないし図 2 5 を参照し説明したものと類似の半導体素子は、機能ユニット 2 1 4 0 またはマイクロプロセッサ 2 1 2 0 に適用できる。例えば、マイクロプロセッサ 2 1 2 0 は、導電性パッド 2 3、高温半田 3 1、バリア層 4 5、及び低温半田 5 1 を含む。

【 0 0 9 3 】

図 2 7 を参照すると、電子システム 2 4 0 0 は、本発明の技術的思想の多様な実施形態に係る半導体素子のうちの少なくとも 1 つを含む。電子システム 2 4 0 0 は、モバイル機器またはコンピュータを製造するために用いられる。例えば、電子システム 2 4 0 0 は、メモリシステム 2 4 1 2、マイクロプロセッサ 2 4 1 4、RAM 2 4 1 6、バス 2 4 2 0、及びユーザインタフェース 2 4 1 8 を含む。マイクロプロセッサ 2 4 1 4、メモリシステム 2 4 1 2、及びユーザインタフェース 2 4 1 8 はバス 2 4 2 0 を経由して相互接続される。ユーザインタフェース 2 4 1 8 は、電子システム 2 4 0 0 にデータを入力したり、電子システム 2 4 0 0 からデータを出力したりするのに用いられる。マイクロプロセッサ 2 4 1 4 は、電子システム 2 4 0 0 をプログラム及びコントロールする。RAM 2 4 1 6 は、マイクロプロセッサ 2 4 1 4 の動作メモリとして用いられる。マイクロプロセッサ 2 4 1 4、RAM 2 4 1 6 及び/または他の構成要素は単一パッケージ内に組立できる。メモリシステム 2 4 1 2 は、マイクロプロセッサ 2 4 1 4 の動作コード、マイクロプロセッサ 2 4 1 4 により処理されたデータ、または外部入力データを保存する。メモリシステム 2 4 1 2 はコントローラ及びメモリを含む。

【 0 0 9 4 】

図 1 ないし図 2 5 を参照し説明したものと類似の半導体素子は、マイクロプロセッサ 2 4 1 4、RAM 2 4 1 6、またはメモリシステム 2 4 1 2 に適用できる。

【 0 0 9 5 】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

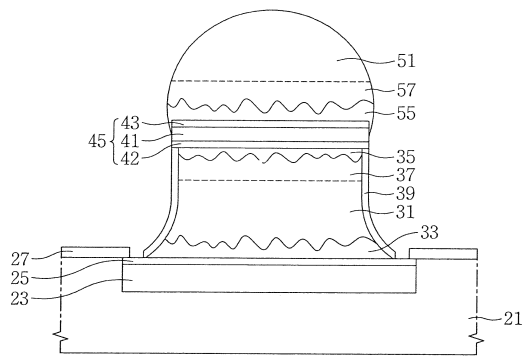
【 符号の説明 】

【 0 0 9 6 】

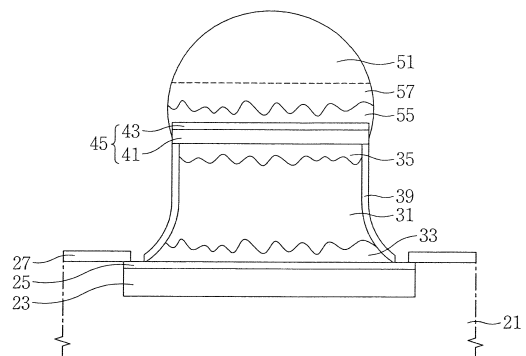
- 1 3 犠牲プレート
- 1 4 フィルム
- 2 1、2 2、1 2 1、1 2 2 半導体パッケージ
- 2 3、1 2 3 導電性パッド
- 2 5、1 2 5 仕上げ層
- 2 7、1 2 7 パッケージ絶縁膜
- 3 1、1 3 1 高温半田
- 3 3、3 5、5 5、1 3 3、1 3 5、1 5 5 金属間化合物
- 3 7、5 7、1 3 7、1 5 7 拡散領域
- 3 9、1 3 9 側面酸化物
- 4 1、4 2、4 3、4 5、1 4 1、1 4 2、1 4 3、1 4 5 バリア層
- 5 1 低温半田
- 1 3 8 フラックス残渣
- 2 1 0 0 電子システム
- 2 1 1 0 ボディ
- 2 1 2 0、2 4 1 4 マイクロプロセッサ
- 2 1 3 0 電源部
- 2 1 4 0 機能ユニット
- 2 1 5 0 ディスプレイコントローラ

2 1 6 0 ディスプレイ
 2 1 7 0 外部装置
 2 1 8 0 通信ユニット
 2 4 0 0 電子システム
 2 4 1 2 メモリシステム
 2 4 1 6 R A M
 2 4 1 8 ユーザインタフェース
 2 4 2 0 バス

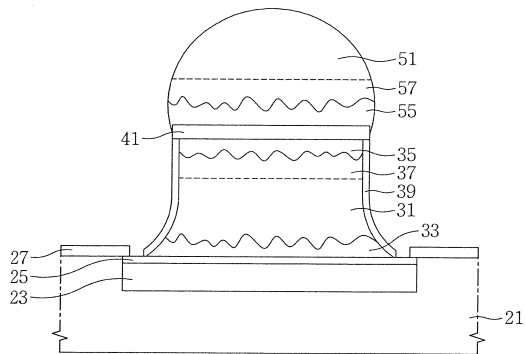
【図 1】



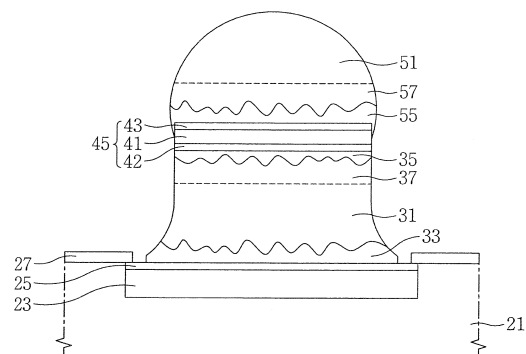
【図 3】



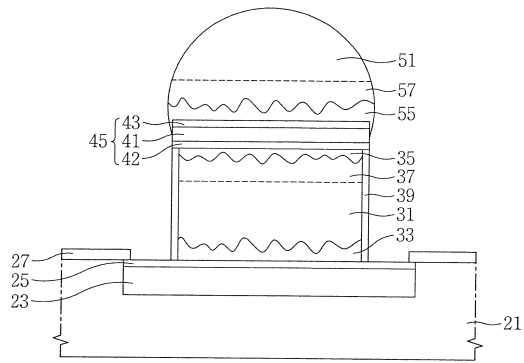
【図 2】



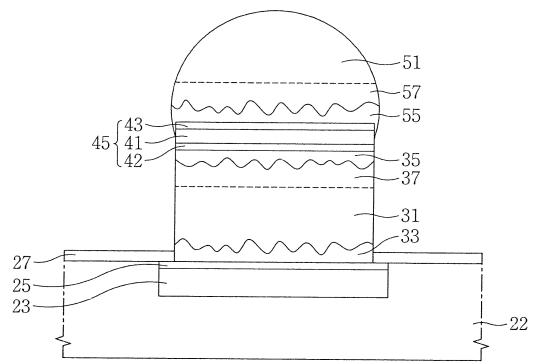
【図 4】



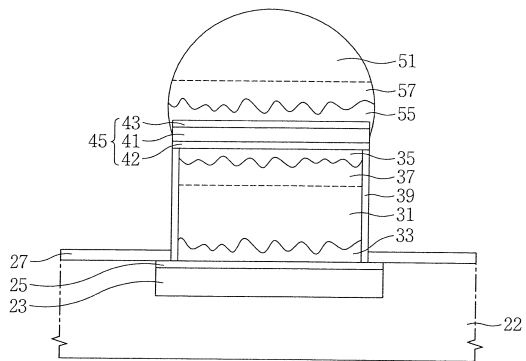
【図 5】



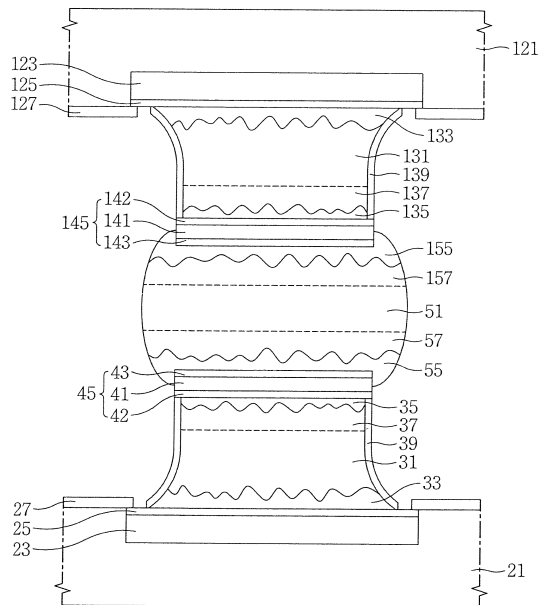
【図 7】



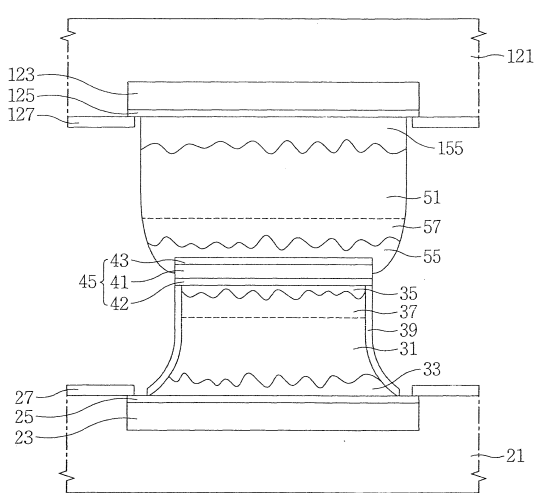
【図 6】



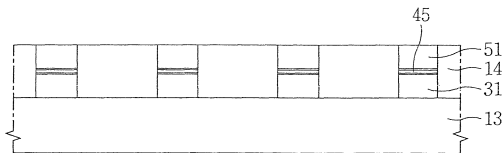
【図 8】



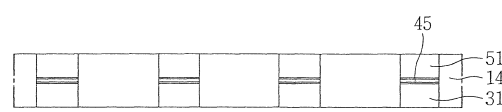
【図 9】



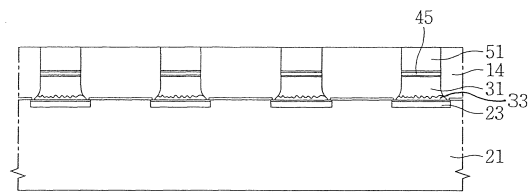
【図 15】



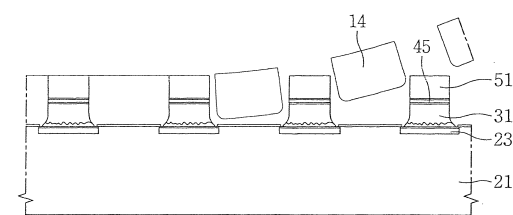
【図 16】



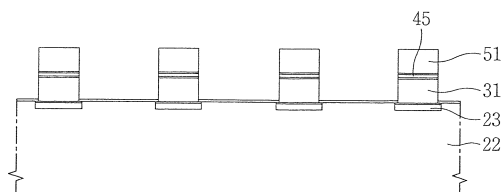
【図 17】



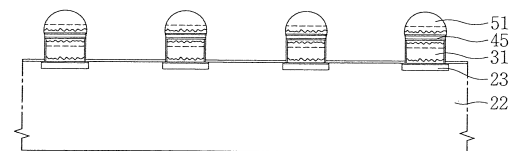
【図 18】



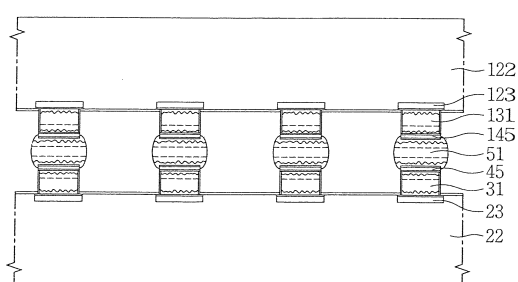
【図 22】



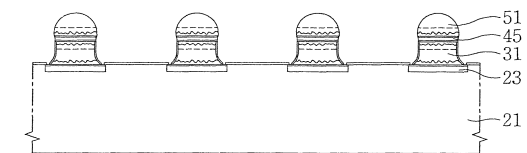
【図 23】



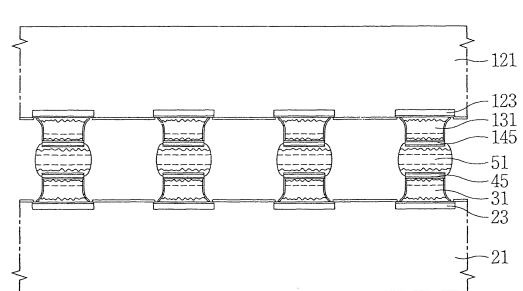
【図 24】



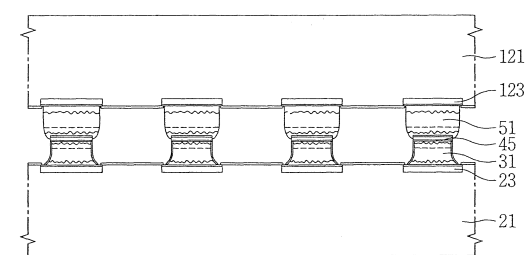
【図 19】



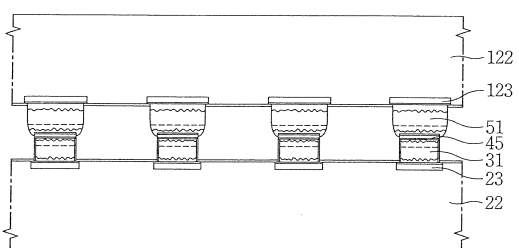
【図 20】



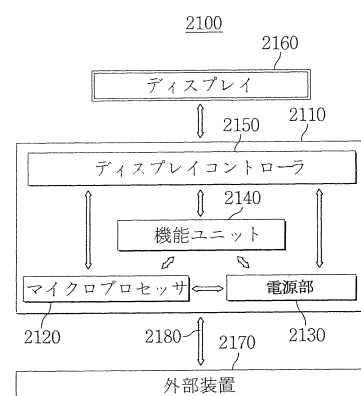
【図 21】



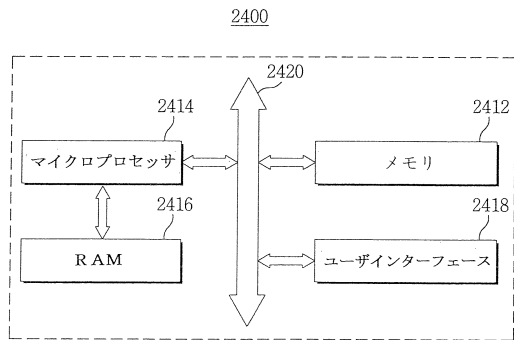
【図 25】



【図 26】



【図 27】



フロントページの続き

(72)発明者 金 兌 垠

大韓民国 京畿道 華城市 露雀路 175、905号

(72)発明者 朴 恩 惠

大韓民国 京畿道 華城市 餅店東路 88-14、206号

審査官 小池 英敏

(56)参考文献 特開2013-042018(JP,A)

米国特許出願公開第2014/0144971(US,A1)

米国特許第05251806(US,A)

特開2004-260157(JP,A)

特開2005-011838(JP,A)

特開2005-109496(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60

H01L 23/00