

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178376

(P2012-178376A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 1 0
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 7 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	

審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2011-39110 (P2011-39110)
 (22) 出願日 平成23年2月25日 (2011. 2. 25)

(71) 出願人 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (72) 発明者 町田 修
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 (72) 発明者 金子 信男
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 Fターム(参考) 5F102 GB01 GC01 GD10 GJ02 GJ03
 GJ04 GJ10 GK04 GK08 GL04
 GM04 GQ01 GR12 GS02 GT03

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

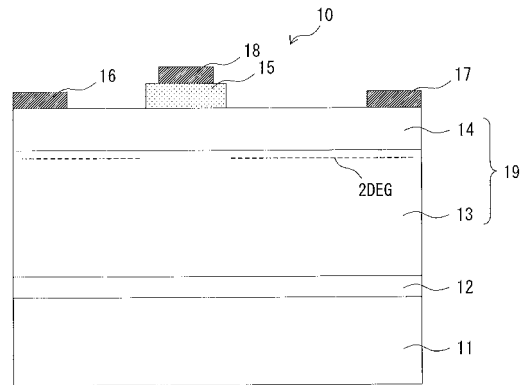
(57) 【要約】

【課題】ゲート部におけるリーク電流が低減できる反面、プロセス上の制約があるため製造が困難で、ゲートリーク電流を安定して低減させることが困難だった。

【解決手段】基板と、前記基板上に形成され且つ二次元キャリアガスを有する半導体機能層と、前記半導体機能層上において互いに離間して形成される第1及び第2の主電極と、前記半導体機能層上における前記第1及び第2の主電極間に形成される制御電極と、前記半導体機能層と前記制御電極との間に形成される金属酸化膜と、を備え、

前記金属酸化膜と前記半導体機能層との接合界面における結晶格子は不連続であることを特徴とする半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、前記基板上に形成され且つ二次元キャリアガスを有する半導体機能層と、前記半導体機能層上において互いに離間して形成される第 1 及び第 2 の主電極と、前記半導体機能層上における前記第 1 及び第 2 の主電極間に形成される制御電極と、前記半導体機能層と前記制御電極との間に形成される金属酸化膜と、を備え、前記金属酸化膜と前記半導体機能層との接合界面における結晶格子は不連続であることを特徴とする半導体装置。

【請求項 2】

前記金属酸化膜は、酸化ニッケル、酸化鉄、酸化コバルト、酸化マンガン及び酸化銅のうち少なくとも 1 つを含む単層又は積層構造を有することを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記金属酸化膜は、3 ~ 1000 nm の厚みを有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記半導体機能層は、 $Al_x In_y Ga_{1-x-y} N$ (但し $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$) を含むキャリア走行層と、 $Al_a In_b Ga_{1-a-b} N$ (但し $0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$ 、 $x < a$) を含むキャリア供給層と、を備えることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

20

【請求項 5】

基板を用意する工程と、

前記基板上に $Al_x In_y Ga_{1-x-y} N$ (但し $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$) を含むキャリア走行層を形成する工程と、

前記キャリア走行層上に $Al_a In_b Ga_{1-a-b} N$ (但し $0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$ 、 $x < a$) を含むキャリア供給層を形成し、半導体機能層を得る工程と、

前記半導体機能層上に第 1 及び第 2 の主電極を互いに離間して形成する工程と、

前記半導体機能層上における前記第 1 及び第 2 の主電極間に金属酸化膜を結晶格子が不連続になるように形成する工程と、

前記金属酸化膜上に制御電極を形成する工程と、を備える半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、詳細には、スイッチング素子として使用される半導体装置及びその製造方法に関する。

【背景技術】

【0002】

窒化ガリウム (GaN) 系化合物半導体を用いた高電子移動度トランジスタ (HEMT: high electron mobility transistor) が知られている。HEMT は、低いオン抵抗を有し且つ高い降伏電圧を有するので、電力変換用のスイッチング電源回路に使用されている。スイッチング電源回路におけるスイッチング素子として HEMT を用いる場合、制御の容易性と安全性とを考慮してノーマリオフ (エンハンスメント) 型の HEMT が求められる。

40

【0003】

特許文献 1 は、ノーマリオフ型 HEMT の動作時、即ちゲート電極に正のゲートバイアスを印加した時にリーク電流を低減できる従来の半導体装置を開示する。従来の半導体装置 100 は、図 3 に示すように、基板 101 とパッファ層 102 と GaN 層 103 (電子走行層) と AlGaN 層 104 (電子供給層) と InGaN 層 105 (バリア層) とが積層された構成を有する。また、AlGaN 層 104 上にソース電極 106 及びドレイン電極 107 が形成され、InGaN 層 105 上にショットキ接合をなすゲート電極 108 が形

50

成される。

【0004】

従来の半導体装置100において、InGa_{1-x}N_y層105の水平面内の格子定数（a軸格子定数）はGa_{1-a}N_b層103のそれよりも大きいため、面内圧縮歪みが生じる。このため、InGa_{1-x}N_y層105の（0001）面側（図中上側）に正の電荷が発生するようにピエゾ効果が働く。従って、ゲート電極108とInGa_{1-x}N_y層105との界面から遠ざかるにつれて電子の感じる障壁高さが高くなり、従来の半導体装置100は、ノーマリオフ型HEMTの動作時にショットキ接合におけるゲートリーク電流を低減することができる。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開2002-17087号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、従来の半導体装置100において、InGa_{1-x}N_y層105によるピエゾ効果を生じさせるためには、InGa_{1-x}N_y層105をAlGa_{1-a}N_b層104上にコヒーレント成長（coherent growth）させなければならない。即ち、InGa_{1-x}N_y層105は、その結晶格子が歪むことによって、AlGa_{1-a}N_b層104との接合界面で格子の連続性を保って成長することが必要となる。そのため、InGa_{1-x}N_y層105を形成する工程において、エピタキシャル成長法等の限られたプロセスを用いなければならない。また、リーク電流を十分に低減させるためには、InGa_{1-x}N_y層105を十分な厚みに形成することが必要とされるが、上記の格子歪みによる転位発生を防止するため、InGa_{1-x}N_y層105は臨界膜厚以下の限定された範囲で形成しなければならない。

20

【0007】

このように、従来のノーマリオフ型半導体装置は、ゲート部におけるリーク電流が低減できる反面、プロセス上の制約があるため製造が困難で、ゲートリーク電流を安定して低減させることが困難だった。

【課題を解決するための手段】

【0008】

30

本発明の一態様によれば、基板と、前記基板上に形成され且つ二次元キャリアガスを有する半導体機能層と、前記半導体機能層上において互いに離間して形成される第1及び第2の主電極と、前記半導体機能層上における前記第1及び第2の主電極間に形成される制御電極と、前記半導体機能層と前記制御電極との間に形成される金属酸化膜と、を備え、前記金属酸化膜と前記半導体機能層との接合界面における結晶格子は不連続であることを特徴とする半導体装置が提供される。

また、本発明の別の態様によれば、基板を用意する工程と、前記基板上にAl_{1-x}In_yGa_{1-x-y}N（但し0 < x < 1、0 < y < 1、0 < x + y < 1）を含むキャリア走行層を形成する工程と、前記キャリア走行層上にAl_aIn_bGa_{1-a-b}N（但し0 < a < 1、0 < b < 1、0 < a + b < 1、x < a）を含むキャリア供給層を形成し、半導体機能層を得る工程と、前記半導体機能層上に第1及び第2の主電極を互いに離間して形成する工程と、前記半導体機能層上における前記第1及び第2の主電極間に金属酸化膜を結晶格子が不連続になるように形成する工程と、前記金属酸化膜上に制御電極を形成する工程と、を備える半導体装置の製造方法が提供される。

40

【発明の効果】

【0009】

本発明によれば、製造が容易でゲートリーク電流を安定して低減させることができるノーマリオフ型半導体装置が提供される。

【図面の簡単な説明】

【0010】

50

【図1】本発明の実施形態に係る半導体装置の構造を示す断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を示すプロセス断面図である。

【図3】従来の半導体装置の構造を示す断面図である。

【発明を実施するための形態】

【0011】

次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

10

【0012】

また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる

【0013】

図1は、本発明の実施形態に係る半導体装置10の構造を示す断面図である。本発明の実施形態に係る半導体装置10は、基板11と、基板11上に形成される半導体機能層19と、半導体機能層19上に形成されるソース電極（第1の主電極）16及びドレイン電極（第2の主電極）17と、半導体機能層19上に形成されるゲート電極18（制御電極）と、半導体機能層19と制御電極18との間に形成される金属酸化膜15と、を備える。なお、金属酸化膜15と半導体機能層19との接合界面における結晶格子は不連続になるように形成される。

20

【0014】

また、本発明の実施形態に係る半導体装置10は、基板11とバッファ層12と電子走行層13（キャリア走行層）と電子供給層14（キャリア供給層）と金属酸化膜15とが積層された構成を有する。電子供給層14上にソース電極16及びドレイン電極17が形成され、金属酸化膜15上にゲート電極18が形成される。本実施形態における電子走行層13と電子供給層14とは、半導体機能層19を構成する。また、電子走行層13と電子供給層14とはヘテロ接合をなし、電子走行層13のヘテロ接合界面付近にはHEMTの主電流経路となる二次元電子ガス（2DEG：two-dimensional electron gas）が形成される。

30

【0015】

基板11は、シリコン（Si）、シリコンカーバイド（SiC）、窒化ガリウム（GaN）等の半導体や、サファイア、セラミック等の絶縁体から構成される。本実施形態における基板11は、大口径化が容易で半導体装置10の低コスト化に寄与できるシリコン基板からなる。

【0016】

バッファ層12は、基板11上に形成され、基板11と半導体機能層19との間の格子不整合を緩和し、半導体機能層19を厚膜化するために設けられる。図1では、バッファ層12を1つの層として図示しているが、バッファ層12を複数の層で形成してもよい。例えば、バッファ層12を窒化アルミニウム（AlN）からなる第1の層と窒化ガリウム（GaN）からなる第2の層とを交互に積層した多層構造バッファとしてもよい。また、化合物半導体装置10がHEMTとして動作する場合、バッファ層12はHEMTの動作に直接には関係しないため、バッファ層12を省いてもよい。また、バッファ層12の材料として、AlN、GaN以外の窒化物半導体、又はIII-V族化合物半導体を採用してもよい。基板11とバッファ層12とを組み合わせた構造を基板とみなすこともできる。バッファ層12の構造、配置は、基板11及び半導体機能層19の材料等に応じて決定される。

40

50

【0017】

電子走行層13は、本発明におけるキャリア走行層であり、チャンネル層と換言しても良い。電子走行層13は、基板11上に直接形成することもできるが、本実施形態においてはバッファ層12を介して形成される。また、本実施形態における電子走行層13はアンドープの $\text{Ga}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$) から構成することもできる。なお、ここでいうアンドープとは、意図的に不純物が添加されていないことを意味する。

【0018】

電子供給層14は、本発明におけるキャリア供給層であり、バリア層と換言しても良い。本実施形態における電子供給層14は、電子走行層13上に直接形成されるが、 AlGa_aN または $\text{Al}_b\text{Ga}_{1-a-b}\text{N}$ を含む周知のスペーサ層を介して形成されても良い。また、本実施形態における電子供給層14は、電子走行層13よりも大きいバンドギャップを有するアンドープの $\text{Al}_a\text{In}_b\text{Ga}_{1-a-b}\text{N}$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$ 、 $x < a$) から構成することもできる。

10

【0019】

電子走行層13と電子供給層14とは、ヘテロ接合界面を有する半導体機能層19を構成する。電子走行層13のヘテロ接合界面近傍には二次元電子ガスが形成される。二次元電子ガスは、本発明における二次元キャリアガスである。即ち、電子に代わりホール(正孔)がキャリアとなるように、半導体機能層19を構成しても良い。

20

【0020】

金属酸化膜15は、ゲートリーク電流を低減させ、且つ、半導体装置10のゲート閾値を高めるために半導体機能層19とゲート電極18との間に形成される。本実施形態における金属酸化膜15は、酸化ニッケル(NiO_x)を含む単層構造を有するが、酸化鉄(FeO_x)、酸化コバルト(CoO_x)、酸化マンガン(MnO_x)、酸化銅(CuO_x)を含む単層又は多層構造を有しても良い。金属酸化膜15は、電子供給層14との間に働く応力を低減するように電子供給層14との界面において格子が不連続になるように形成される。また、金属酸化膜15は、 $1 \times 10^9 \text{ cm}^{-2}$ 以上の密度で転位を含む結晶構造或いはアモルファス(非晶質)構造や多結晶構造を有する。

30

【0021】

ソース電極16及びドレイン電極17は、本発明における第1及び第2の主電極であり、金属酸化膜15を間に挟み、且つ、互いに離間するように半導体機能層19上に形成される。本実施形態におけるソース電極16及びドレイン電極17は、電子供給層14上において、電子供給層14とオーミック接合するようにチタン(Ti)及びアルミニウム(Al)の積層構造により形成される。なお、電子供給層14とソース電極16との間及び電子供給層14とドレイン電極17との間に周知のコンタクト層を形成しても良い。また、電極形成箇所の電子走行層13を露出させるように電子供給層14をエッチング除去し、ソース電極16及びドレイン電極17を電子走行層13とオーミック接続するように形成しても良い。

40

【0022】

ゲート電極18は、本発明における制御電極であり、ソース電極16及びドレイン電極17の間において、金属酸化膜15を介して半導体機能層19上に形成される。本実施形態におけるゲート電極18は、金属酸化膜15に隣接して配置され、ニッケル(Ni)とチタン(Ti)とアルミニウム(Al)との積層構造を含む。ゲート電極18は、自身に印加されるバイアス電圧に応じて、その直下における二次元電子ガスのキャリア濃度を制御し、ソース電極16とドレイン電極17との間の電流経路を導通/遮断する。

【0023】

図2(a)~(d)は、本発明の実施形態に係る半導体装置10の製造方法を示す工程断面図である。

まず、単結晶シリコン基板からなる基板11をCVD(chemical vapor deposition)装

50

置のチャンバ内に設置し、基板 11 を加熱しながらチャンバ内に原料ガスを供給する。本実施形態における原料ガスは、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA) 及びアンモニア (NH₃) が用いられる。上記の原料ガスの供給量、流量等を適宜制御することで、AlN 層及び GaN 層を交互に積層した多層構造を有するバッファ層 12 が基板 11 上に形成され、GaN 層を含む電子走行層 13 と Al_{0.3}Ga_{0.7}N 層を含む電子供給層 14 とを有する半導体機能層 19 がバッファ層 12 上に形成される (図 2 (a))。バッファ層 12 を構成する AlN 層及び GaN 層はそれぞれ 1 ~ 30 nm の厚みに形成され、電子走行層 13 は 1 ~ 10 μm の厚みに形成され、電子供給層 14 は電子走行層 13 よりも薄く 5 ~ 50 nm の厚みに形成される。

【0024】

次に、上記の工程において得られた半導体機能層 19 が形成された基板 11 (ウェハ) をスパッタリング装置のチャンバ内に設置し、チタンをターゲットとしたスパッタリング及びアルミニウムをターゲットとしたスパッタリングを連続的に行う。このスパッタ工程により、一様の厚みを有し Ti/Al 積層構造を有する金属膜 20 が、半導体機能層 19 の表面上に形成される。その後、金属膜 20 をパターンニングするためのマスク 21 が、金属膜 20 上に形成される (図 2 (b))。マスク 21 は、周知の酸化膜及びフォトリソ材料から選択され、ソース電極 16 及びドレイン電極 17 が形成される位置に対応して形成される。

【0025】

次に、ウェットエッチングにより金属膜 20 の一部が除去され、ソース電極 16 及びドレイン電極 17 が半導体機能層 19 の表面上に形成される。マスク 21 を除去した後、金属酸化膜 15 を形成するためのマスク 22 が、半導体機能層 19、ソース電極 16 及びドレイン電極 17 の表面上に形成される。マスク 22 は、周知の酸化膜及びフォトリソ材料から選択され、金属酸化膜 15 が形成される位置に対応して形成される。即ち、半導体機能層 19 の一部は、マスク 22 の開孔により露出される。その後、マスク 22 が形成された基板 11 (ウェハ) を反応性スパッタリング装置のチャンバ内に設置し、酸素雰囲気においてニッケルをターゲットとしたスパッタリングを行う。このスパッタ工程により、一様の厚みを有し NiO_x を含む金属酸化膜 23 が、マスク 22 と半導体機能層 19 の一部との表面上に形成される (図 2 (c))。上記チャンバ内の酸素濃度に応じて、NiO または NiO₂ 等の組成を有する金属酸化膜 23 が得られる。金属酸化膜 23 の厚みは、3 ~ 1000 nm 程度、好ましくは 10 ~ 500 nm 程度に設定される。金属酸化膜 23 が 3 nm よりも薄い場合、ノーマリオフ特性やゲートリーク電流低減効果が弱くなることがあり、金属酸化膜 23 が 1000 nm よりも厚い場合、ターンオン速度等のスイッチング特性が低下することがある。

【0026】

次に、リフトオフ工程により、マスク 22 の表面上に形成された金属酸化膜 23 が、マスク 22 と共に除去され、金属酸化膜 15 が半導体機能層 19 の表面上に形成される。本実施形態に係る金属酸化膜 15 は、スパッタ工程により形成されるため、半導体機能層 19 の結晶格子に対して不連続に形成される。その後、上記ソース電極 16 及びドレイン電極 17 と同様の工程 (パターンニング工程) により、ゲート電極 18 が金属酸化膜 15 上に形成され、本実施形態に係る半導体装置 10 が得られる (図 2 (d))。

【0027】

本実施形態に係る半導体装置 10 は、以下の作用効果を有する。

(1) 酸化ニッケルを含む金属酸化膜 15 は、その酸素濃度に応じて高い正孔濃度を有するため、金属酸化膜 15 直下及びゲート電極 18 直下のポテンシャルを引き上げ、金属酸化膜 15 直下及びゲート電極 18 直下における電子走行層 13 に二次元電子ガスが生成されることを抑制する。即ち、ソース電極 16 とドレイン電極 17 との間のチャネルが、ゲート電極 18 にゲートバイアスが印加されていない状態 (ノーマリ時) において分断される。従って、ノーマリ時において、半導体装置 10 の主電極間には電流が流れない。

一方、ドレイン電極 17 の電位がソース電極 16 の電位よりも高い状態で、ゲート電極 1

10

20

30

40

50

8に閾値電圧より高いゲートバイアスが印加されると、金属酸化膜15直下及びゲート電極18直下の電子走行層13にチャンネルが形成される。従って、ノーマリ時において分断されていたチャンネルが導通され、半導体装置10はオン状態となり、ソース電極16とドレイン電極17との間に電流が流れる。このように、本実施形態に係る半導体装置10は、スイッチング電源回路におけるスイッチング素子として有用なノーマリオフ（エンハンスメント）特性を有する。

(2)金属酸化膜15は、上記のようにp型の導電性を有する酸化膜と見なすことができるため、半導体機能層19に形成された2DEGとの間にpn接合が形成される従って、ショットキゲート構造を有する従来の半導体装置に比べ、半導体装置の動作時におけるゲートリーク電流を低減させることができる。

(3)本実施形態に係る半導体装置のノーマリオフ特性は、金属酸化膜15の酸素濃度を高めることで得られるため、金属酸化膜15と半導体機能層19との接合界面における格子の連続性に影響されない。従って、本実施形態に係る半導体装置は、従来の半導体装置に比べ安定した特性を有し、且つ、容易な製造プロセスにより製造することができる。

(4)金属酸化膜15は、半導体機能層19上にコヒーレント成長させる必要がなく、スパッタ等の厚膜化が容易な製造方法により形成することができるため、容易に厚膜化することができる。従って、良好なノーマリオフ特性を有しつつ金属酸化膜15の抵抗値を高めてゲートリーク電流を抑制することができる。

【0028】

以上の実施形態で説明された構成、形状、大きさおよび配置関係については、本発明が理解・実施できる程度に概略的に示したものにすぎない。従って本発明は、説明された実施形態に限定されるものではなく、特許請求の範囲に示される技術的思想の範囲を逸脱しない限り様々な形態に変更することができる。

【符号の説明】

【0029】

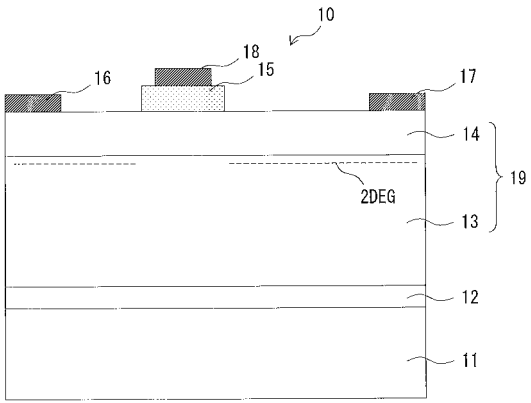
- 1 半導体装置
- 11 基板
- 12 バッファ層
- 13 電子走行層
- 14 電子供給層
- 15 金属酸化膜
- 16 ソース電極
- 17 ドレイン電極
- 18 ゲート電極
- 19 半導体機能層

10

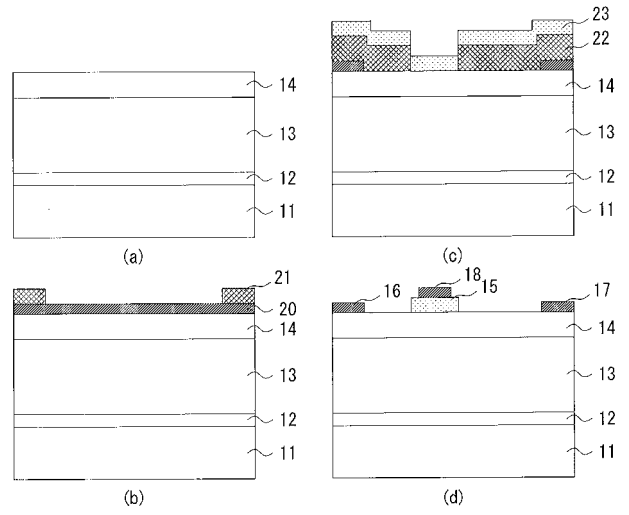
20

30

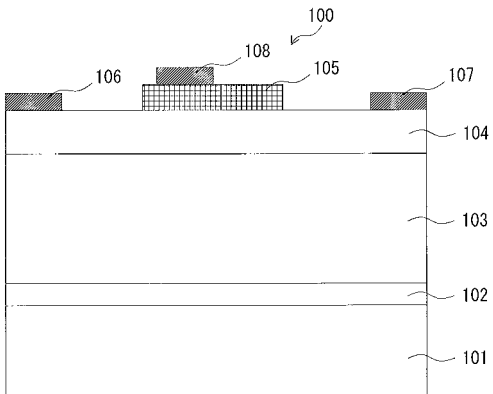
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/786 (2006.01)

Fターム(参考) 5F110 AA12 AA16 BB13 CC01 DD04 EE02 EE03 EE04 EE15 EE44
FF01 FF09 FF28 GG04 GG12 GG19 GG24 GG25 GG44 HK03
HK04 HK21 HK33 QQ14
5F140 AA19 AA24 AA40 AC36 BA01 BA02 BA06 BA09 BA16 BA17
BB06 BB18 BC12 BD11 BE09 BE13 BF05 BF07 BF15 BF17
BF21 BF23 BF25 BF27 BG30 BG37 BJ05 BJ07 BJ11 BJ15
BJ17 BK29 CE02