



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 195

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 23 12 80
(21) PV 9251 - 80

(51) Int. Cl.³ H 03 K 3/033

(40) Zveřejněno 31 08 81
(45) Vydáno 01 02 84

(75)
Autor vynálezu KRISTEN JIŘÍ , VOVES FRANTIŠEK, PRAHA

(54) Zapojení monostabilního klopného obvodu sestávajícího z pevné polovodičové paměti

Vynález patří do oboru výpočetní techniky. Vynález řeší generování výstupního impulsu o různé délce trvání v závislosti na přiváděné binární kombinaci vstupních signálů. Podstata vynálezu spočívá v postupném vybavování jednotlivých adres pevné polovodičové paměti zavedených ve zpětné vazbě, ve které jsou navíc zařazeny časovací členy pro jednotlivé spoje zpětné vazby. Vynález se uplatní v oblastech měřicí a regulační techniky.

Vynález se týká zapojení monostabilního klopného obvodu sestávajícího z pevné polovodičové paměti, který umožňuje nastavovat dobu překlopení signály s logickou úrovní přivedenými na nastavovací vstupy monostabilního klopného obvodu.

Dosud užívaná zapojení monostabilních klopných obvodů umožňovala nastavit dobu překlopení změnou hodnot použitých časovacích odporů a kondenzátorů. Při požadavku na řízení doby překlopení logickými úrovněmi řídicích signálů bylo nutno realizovat větší počet monostabilních klopných obvodů a řízeným výběrem příslušného výstupu pak bylo možno získat vhodnou dobu překlopení. Za předpokladu většího počtu nastavitelných překlopení pak vznikalo velmi složité zapojení s velkým počtem užitých součástí.

Tyto nevýhody odstraňuje zapojení monostabilního klopného obvodu sestávající z pevné polovodičové paměti nejméně s dvěma vstupy a jedním výběrovým vstupem s nejméně čtyřmi výstupy, dále ze spínače s nejméně dvěma nastavovacími výstupy a se spouštěcím výstupem, a konečně z obvodu časových konstant s nejméně dvěma vstupy, podle vynálezu, jehož podstatou je, že první vstup je spojen s prvním nastavovacím vstupem spínače, zatímco první nastavovací výstup spínače je propojen na první výstup první paměti a nadto je připojen na první vstup obvodu časových konstant až konečně n-tý vstup je spojen s n-tým nastavovacím vstupem spínače, přičemž n-tý nastavovací výstup spínače je připojen na n-tý adresový vstup pevné polovodičové paměti a současně je připojen na n-tý výstup pevné polovodičové paměti a nadto je propojen na n-tý vstup obvodu časových konstant, přičemž hlavní spouštěcí vstup je spojen se spouštěcím vstupem spínače, zatímco spouštěcí výstup spínače je spojen s výběrovým vstupem pevné polovodičové paměti je spojen s koncovým výstupem, přičemž hradlovací výstup pevné polovodičové paměti je spojen s hradlovacím vstupem spínače.

Uvedené příkladné zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti organizace 32×8 a obvodu časových konstant umožňuje nastavovat dobu překlopení podle binární vstupní informace logickými úrovněmi v 31 stupních po časových intervalech z oblasti desítek nanosekund. Vhodným výběrem časovacích součástí lze zaručit rovnoměrný přírůstek nastavování doby odpovídající číslu v binárním kódu přivedeného na nastavovací vstupy monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodu časových konstant.

Příkladné provedení je zřetelně na příloženém výkrese, kde obr. 1 znázorňuje zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodu časových konstant sestávajícího z pevné polovodičové paměti s n vstupy, minimálně dvěma a jedním výběrovým vstupem a s n plus dvěma výstupy, minimálně čtyřmi, dále ze spínače s n nastavovacími vstupy, minimálně dvěma, a s dalším spouštěcím a s hradlovým vstupem a s n nastavovacími výstupy, minimálně dvěma, a se spouštěcím výstupem a konečně z obvodu časových konstant s n vstupy, minimálně dvěma. Obr. 2 znázorňuje příkladné zapojení monostabilního klopného obvodu, sestaveného z pevné polovodičové paměti s organizací 32×8 s otevřenými kolektorovými výstupy a s jedním výběrovým vstupem, dále ze spínače s pěti nastavovacími vstupy, spouštěcím vstupem

213 185

a hradlovacím vstupem a pěti nastavivacími výstupy a spouštěcím výstupem a dále z obvodu časových konstant vytvořeném pěti časovacími kondenzátory a pěti zakončovacími odpory a konečně, ze tří zakončovacích odporů pro zbývající otevřené kolektorové výstupy pevné paměti.

Dále v textu je uvedena tabulka obsahu pevné polovodičové paměti s organizací 32 x 8 užitá v popisovaném příkladném zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodů časových konstant.

Tabulka obsahu pevné paměti 100 z příkladného zapojení monostabilního klopného obvodu:

Dek.	E D C B A	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8
0	0 0 0 0 0	1	0	0	0	0	1	0	0
1	0 0 0 0 1	1	1	0	0	0	1	0	0
2	0 0 0 1 0	1	1	0	0	0	1	0	0
3	0 0 0 1 1	1	1	1	0	0	1	0	0
4	0 0 1 0 0	1	0	1	0	0	1	0	0
5	0 0 1 0 1	1	1	1	0	0	1	0	0
6	0 0 1 1 0	1	1	1	0	0	1	0	0
7	0 0 1 1 1	1	1	1	1	0	1	0	0
8	0 1 0 0 0	1	0	0	1	0	1	0	0
9	0 1 0 0 1	1	1	0	1	0	1	0	0
10	0 1 0 1 0	1	1	0	1	0	1	0	0
11	0 1 0 1 1	1	1	1	1	0	1	0	0
12	0 1 1 0 0	1	0	1	1	0	1	0	0
13	0 1 1 0 1	1	1	1	1	0	1	0	0
14	0 1 1 1 0	1	1	1	1	0	1	0	0
15	0 1 1 1 1	1	1	1	1	1	1	0	0
16	1 0 0 0 0	1	0	0	0	1	1	0	0
17	1 0 0 0 1	1	1	0	0	1	1	0	0
18	1 0 0 1 0	1	1	0	0	1	1	0	0
19	1 0 0 1 1	1	1	1	0	1	1	0	0
20	1 0 1 0 0	1	0	1	0	1	1	0	0
21	1 0 1 0 1	1	1	1	0	1	1	0	0
22	1 0 1 1 0	1	1	1	0	1	1	0	0
23	1 0 1 1 1	1	1	1	1	1	1	0	0
24	1 1 0 0 0	1	0	0	1	1	1	0	0
25	1 1 0 0 1	1	1	0	1	1	1	0	0
26	1 1 0 1 0	1	1	0	1	1	1	0	0
27	1 1 0 1 1	1	1	1	1	1	1	0	0
28	1 1 1 0 0	1	0	1	1	1	1	0	0
29	1 1 1 0 1	1	1	1	1	1	1	0	0
30	1 1 1 1 0	1	1	1	1	1	1	0	0
31	1 1 1 1 1	1	1	1	1	1	0	0	1

Obecné zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodu časových konstant podle vynálezu je uvedeno na obr. 1 a je sestavené z pevné polovodičové paměti 100 s n vstupy, minimálně dvěma a jedním strobovacím vstupem a s n plus dvěma výstupy, minimálně čtyřmi, dále ze spínače 200 s n nastavovacími vstupy, minimálně dvěma a s dalším spouštěcím a hradlovým výstupem a s n nastavovacími výstupy, minimálně dvěma a se spouštěcím výstupem a konečně z obvodu časových konstant 300 s n vstupy, minimálně dvěma.

Obecné zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodu časových konstant podle vynálezu je vytvořeno tak, že první vstup 1 je spojen s prvním nastavovacím vstupem 21 spínače 200, zatímco první nastavovací výstup 211 spínače 200 je propojen na první adresový vstup 11 pevné paměti 100 a současně je propojen na první výstup 111 pevné paměti 100 a nadto je propojen na první vstup 31 obvodu časových konstant 300 až konečně n - tá vstupní špička N je spojena s n - tým nastavovacím vstupem 2N spínače 200, zatímco n - tý nastavovací výstup 21N spínače 200 je propojen na n - tý adresový vstup 1N pevné paměti 100 a současně je propojen na n - tý výstup 11N pevné paměti 100 a nadto je propojen na n - tý vstup 3N obvodu časových konstant 300, přičemž hlavní spouštěcí vstup 50 je spojen se spouštěcím vstupem 250 spínače 200, zatímco spouštěcí výstup 252 spínače 200 je spojen se strobovacím vstupem 150 pevné paměti 100, zatímco ovládaný výstup 152 pevné paměti 100 je spojen s výstupní špičkou 500, přičemž hradlovací výstup 151 pevné paměti 100 je spojen s hradlovacím vstupem 251 spínače 200.

Po připravení kombinace logických úrovní na vstupní nastavovací špičky 1 až 1N a přes nastavovací vstupy 21 až 2N spínače 200 je připraven průchod informace na vstupy 31 až 3N obvodu časových konstant 300 a potom spouštěcím impulsem na vstupní spouštěcí špičku 50 a přes spouštěcí vstup 250 spínače 200 se jednak provede nastavení kombinace logických úrovní přes nastavovací výstupy 211 až 21N spínače 200 na vstupy 31 až 3N obvodu časových konstant 300 a zároveň je strobovacím signálem ze spouštěcího výstupu 252 spínače 200 přes strobovací vstup 150 otevřena pevná paměť 100. Pevná paměť 100 provede jednak změnu logické úrovně na ovládaném výstupu 152 pevné paměti 100 a zároveň provede změnu logické úrovně na hradlovacím výstupu 151 pevné paměti 100, čímž signál projde i na hradlovací vstup 251 spínače 200. Spínač 200 je ze svého hradlovacího vstupu 251 uzavřen a svými nastavovacími výstupy 211 až 21N uvolní vstupy 31 až 3N obvodu časových konstant 300 pro signály přicházející z výstupů 111 až 11N pevné paměti 100. Výstupy 111 až 11N jsou postupně uvolňovány v závislosti na přechodu signálů daným časovými konstantami vstupů 31 až 3N obvodu časových konstant 300 přes adresové vstupy 11 až 1N pevné paměti 100. Po uvolnění všech výstupů 111 až 11N pevné paměti 100 je v konečném stavu změněna logická úroveň na hradlovacím výstupu 151 pevné paměti 100. Změnou hradlovacího signálu na hradlovacím vstupu 251 spínače 200 je vyvolána změna strobovacího signálu na spouštěcím výstupu 252 spínače 200. Strobovacím signálem je přes strobovací vstup 150 pevná paměť 100 uzavřena a tím vyvolá i zpětnou změnu logické úrovně na ovládaném výstupu 152 pevné paměti 100.

Příkladné zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti a obvodu časových konstant uvedeného na obr.2 sestává z pevné polovodičové paměti 100 organizace 32×8 s otevřenými kolektorovými výstupy a jedním strobovacím vstupem, dále ze spínače s pěti nastavovacími vstupy, spouštěcím vstupem a hradlovacím vstupem a pěti nastavovacími výstupy a spouštěcím výstupem vytvořeným pěti dvouvstupovými součinovými hradly 201, 202, 203, 204 a 205 s negovanými otevřenými kolektorovými výstupy a třemi dvouvstupovými součinovými hradly 206, 207 a 208 s negovanými výstupy

a dále z obvodu časových konstant vytvořeným pěti časovými kondenzátory 310, 320, 330, 340 a 350 a pěti zakončovacími odpory 301, 302, 303, 304 a 305 a konečně ze tří zakončovacích odporů 306, 307 a 308 pro zbývající otevřené kolektorové výstupy pevné paměti 100. Příkladné zapojení monostabilního klopného obvodu vytvořeného z pevné polovodičové paměti je vytvořeno tak, že první vstupní špička 1 je spojena s prvním nastavovacím vstupem 21 prvního součinnového hradla 201 spínače, zatímco nastavovací negovaný otevřený kolektorový výstup 211 prvního součinnového hradla 201 spínače je spojen s prvním adresovým A vstupem 11 pevné paměti 100 a současně je spojen s prvním otevřeným kolektorovým Y1 výstupem 111 pevné paměti 100 a nadto je spojen s prvním přívodem prvního zakončovacího odporu 301 obvodu časových konstant a současně je spojen s prvním přívodem prvního časovacího kondenzátoru 310 obvodu časových konstant, přičemž druhá vstupní špička 2 je spojena s prvním nastavovacím vstupem 22 druhého součinnového hradla 202 spínače, zatímco nastavovací negovaný otevřený kolektorový výstup 212 druhého součinnového hradla 202 spínače je spojen s druhým adresovým B vstupem 12 pevné paměti 100 a současně je spojen s druhým otevřeným kolektorovým Y2 výstupem 112 pevné paměti 100 a nadto je spojen s prvním přívodem druhého zakončovacího odporu 302 obvodu časových konstant a současně je spojen s prvním přívodem druhého časovacího kondenzátoru 320 obvodu časových konstant, přičemž třetí vstupní špička 3 je spojena s prvním nastavovacím vstupem 23 třetího součinnového hradla 203 spínače, zatímco nastavovací negovaný otevřený kolektorový výstup 213 třetího součinnového hradla 203 spínače je spojen s třetím adresovým C vstupem 13 pevné paměti 100 a současně je spojen s třetím otevřeným kolektorovým Y3 výstupem 113 pevné paměti 100 a nadto je spojen s prvním přívodem třetího zakončovacího odporu 303 obvodu časových konstant a současně je spojen s prvním přívodem třetího časovacího kondenzátoru 330 obvodu časových konstant, přičemž čtvrtá vstupní špička 4 je spojena s prvním nastavovacím vstupem 24 čtvrtého součinnového hradla 204 spínače, zatímco nastavovací negovaný otevřený kolektorový výstup 214 čtvrtého součinnového hradla 204 spínače je spojen s čtvrtým adresovým D vstupem 14 pevné paměti 100 a současně je spojen se čtvrtým otevřeným kolektorovým Y4 výstupem 114 pevné paměti 100 a nadto je spojen s prvním přívodem čtvrtého zakončovacího odporu 304 obvodu časových konstant a současně je spojen s prvním přívodem čtvrtého časovacího kondenzátoru 340 obvodu časových konstant, přičemž pátá vstupní špička 5 je spojena s prvním nastavovacím vstupem 25 pátého součinnového hradla 205 spínače, zatímco nastavovací negovaný otevřený kolektorový výstup 215 pátého součinnového hradla 205 spínače je spojen s pátým adresovým E vstupem 15 pevné paměti 100 a současně je spojen s pátým otevřeným kolektorovým Y5 výstupem 115 pevné paměti 100 a nadto je spojen s prvním přívodem pátého zakončovacího odporu 305 obvodu časových konstant a současně je spojen s prvním přívodem pátého časovacího kondenzátoru 350 obvodu časových konstant, přičemž druhé vstupy 221, 222, 223, 224 a 225 prvních pěti součinnových hradel 201, 202, 203, 204 a 205 spínače jsou spojeny na negovaný výstup 217 sedmého součinnového hradla 207 spínače, přičemž první a druhý vstup 227 a 237 sedmého součinnového hradla 207 spínače je spojen s negovaným výstupem 216 šestého sou-

činového hradla 206 spínače a tento je zároveň propojen na první a druhý vstup 228 a 238 osmého součinnového hradla 208 spínače, zatímco spouštěcí negovaný výstup 252 osmého součinnového hradla 208 spínače je spojen se strobovacím vstupem 150 pevné paměti 100 přičemž hradlovací výstup 151 pevné paměti 100 je spojen s druhým hradlovacím vstupem 251 šestého součinnového hradla 206 spínače a zároveň je spojen s prvním přívodem osmého zakončovacího odporu 308, zatímco první spouštěcí vstup 250 šestého součinnového hradla 206 spínače je spojen se vstupní spouštěcí špičkou 50, přičemž ovládaný výstup 152 pevné paměti 100 je spojen s prvním přívodem sedmého zakončovacího odporu 307 a zároveň je spojen s výstupní špičkou 502, přičemž ovládaný výstup 153 pevné paměti 100 je spojen s prvním přívodem šestého zakončovacího odporu 306 a zároveň je spojen s výstupní špičkou 503 zatímco druhé přívody zakončovacích odporů 301, 302, 303, 304, 305, 306, 307 a 308 jsou spojeny se vstupní napěťovou U špičkou 55, přičemž druhé přívody časovacích kondenzátorů 310, 320, 330, 340 a 350 obvodu časových konstant jsou propojeny na zemní potenciál.

Po přivedení libovolné kombinace logických úrovní, třeba všech v úrovni H, na vstupní nastavovací špičky 1, 2, 3, 4 a 5 a tedy i na nastavovací vstupy 21, 22, 23, 24 a 25 součinnových hradel 201, 202, 203, 204 a 205, spouštěcím impulsem na vstupní spouštěcí špičku 50 a přes spouštěcí vstup 250 šestého součinnového hradla 206 spínače se jednak provede nastavení kombinace nízkých logických úrovní L přes nastavovací negované otevřené kolektorové výstupy 211, 212, 213, 214 a 215 součinnových hradel 201, 202, 203, 204 a 205 na společné body časovacích kondenzátorů a zakončovacích odporů obvodu časových konstant a zároveň je strobovacím signálem ze spouštěcího výstupu 252 osmého součinnového hradla 208 spínače přes strobovací vstup 150 pevné paměti 100 otevřená paměť 100. Pevná paměť provede jednak změnu ve vysokých logických úrovních na ovládaných výstupech 152 a 153 pevné paměti 100 a zároveň provede změnu vysoké logické úrovně na hradlovacím výstupu 151 pevné paměti 100, přičemž signál projde i na hradlovací vstup 151 pevné paměti 100, čímž signál projde i na hradlovací vstup 251 šestého součinnového hradla 206 spínače. Tím jsou součinnová hradla 201, 202, 203, 204 a 205 se svými vstupy 221, 222, 223, 224 a 225 z negovaného výstupu 217 sedmého součinnového hradla 207 spínače uzavřena, přičemž nastavovací negované otevřené kolektorové výstupy 211, 212, 213, 214 a 215 součinnových hradel 201, 202, 203, 204 a 205 uvolní společné body časovacích kondenzátorů a zakončovacích odporů obvodu časových konstant pro ovládání přicházející z otevřených kolektorových výstupů 111, 112, 113, 114 a 115 pevné paměti 100. Tím, že otevřený kolektorový Y1 výstup 111 pevné paměti 100 je podle tabulky obsahu pevné paměti 100 uvolněn začne v něm měnit výstupní úroveň v závislosti na průchodu signálu danou časovou konstantou časovacího kondenzátoru 310 a zakončovacího odporu 301 obvodu časových konstant, a tak se na prvním adresovém A vstupu 11 pevné paměti 100 objeví vysoká logická úroveň. Podle obsahu pevné paměti 100 uvedeného v tabulce se uvolní otevřený kolektorový Y2 výstup 112 pevné paměti 100, který byl v nízké logické úrovni v závislosti na průchodu signálu daném časovacím kondenzátorem 320 a zakončovacím odporem 302

213 185

obvodu časových konstant, a tak se i na druhém adresovém B vstupu 12 pevné paměti 100 objeví vysoká logická úroveň. Podle obsahu pevné paměti 100 uvedeného v tabulce se uvolní otevřený kolektorový Y3 výstup 113 pevné paměti 100, který byl v nízké logické úrovni v závislosti na průchodu signálu daném časovacím kondenzátorem 330 a zakončovacím odporem 303 obvodu časových konstant, a tak se i na třetím adresovém C vstupu 13 pevné paměti 100 objeví vysoká logická úroveň. Podle obsahu pevné paměti 100 uvedeného v tabulce se uvolní otevřený kolektorový Y4 výstup 114 pevné paměti 100, který byl v nízké logické úrovni v závislosti na průchodu signálu daném časovacím kondenzátorem 340 a zakončovacím odporem 304 obvodu časových konstant, a tak se na čtvrtém adresovém D vstupu 14 pevné paměti 100 objeví vysoká logická úroveň. Podle obsahu pevné paměti 100 uvedeného v tabulce se uvolní otevřený kolektorový Y5 výstup 115 pevné paměti 100, který byl v nízké logické úrovni v závislosti na průchodu signálu daném časovacím kondenzátorem 350 a zakončovacím odporem 305 obvodu časových konstant a tak se i na pátém adresovém E vstupu 15 pevné paměti 100 objeví vysoká logická úroveň. Po uvolnění všech výstupů 111, 112, 113, 114 a 115 pevné paměti 100 je v konečném stavu změněna logická úroveň na hradlovacím Y8 výstupu 151 pevné paměti 100. Změnou hradlovacího signálu na hradlovacím vstupu 251 šestého součinnového hradla 206 spínače je vyvolána změna strobovacího signálu na spouštěcím výstupu 252 osmého součinnového hradla 208 spínače. Strobevacím signálem je přes strobovací vstup 150 pevné paměti 100 uzavřena a tím vyvolá i změnu logické úrovně na ovládaných výstupech 152 a 153 pevné paměti 100.

Řešením podle vynálezu lze pomocí ovládaného výstupu Y6 řídit další monostabilní obvod vytvořený z pevné polovodičové paměti a obvodu časových konstant. Tím se získá možnost řídit dobu spouštění výstupního impulsu od spouštěcího impulsu pomocí binární informace přiváděné na v pořadí první monostabilní obvod vytvořený z pevné polovodičové paměti a obvodu časových konstant a současně řídit dobu trvání impulsu pomocí lineární informace přiváděné na v pořadí druhý monostabilní klopný obvod vytvořený z pevné polovodičové paměti a obvodu časových konstant.

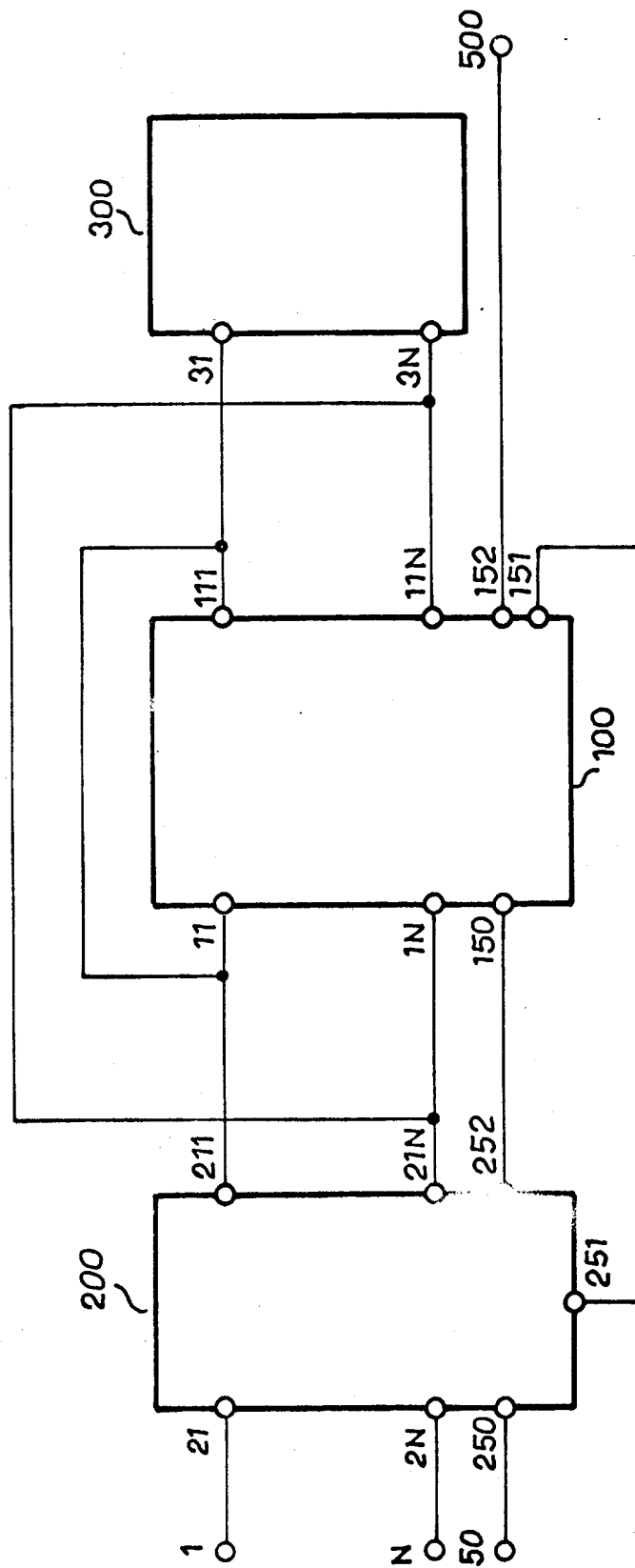
Vynálezu lze s výhodou využít zejména v oboru výpočetní techniky, měřicí a regulační technice.

P R Ě D M Ě T V Y N Á L E Z U

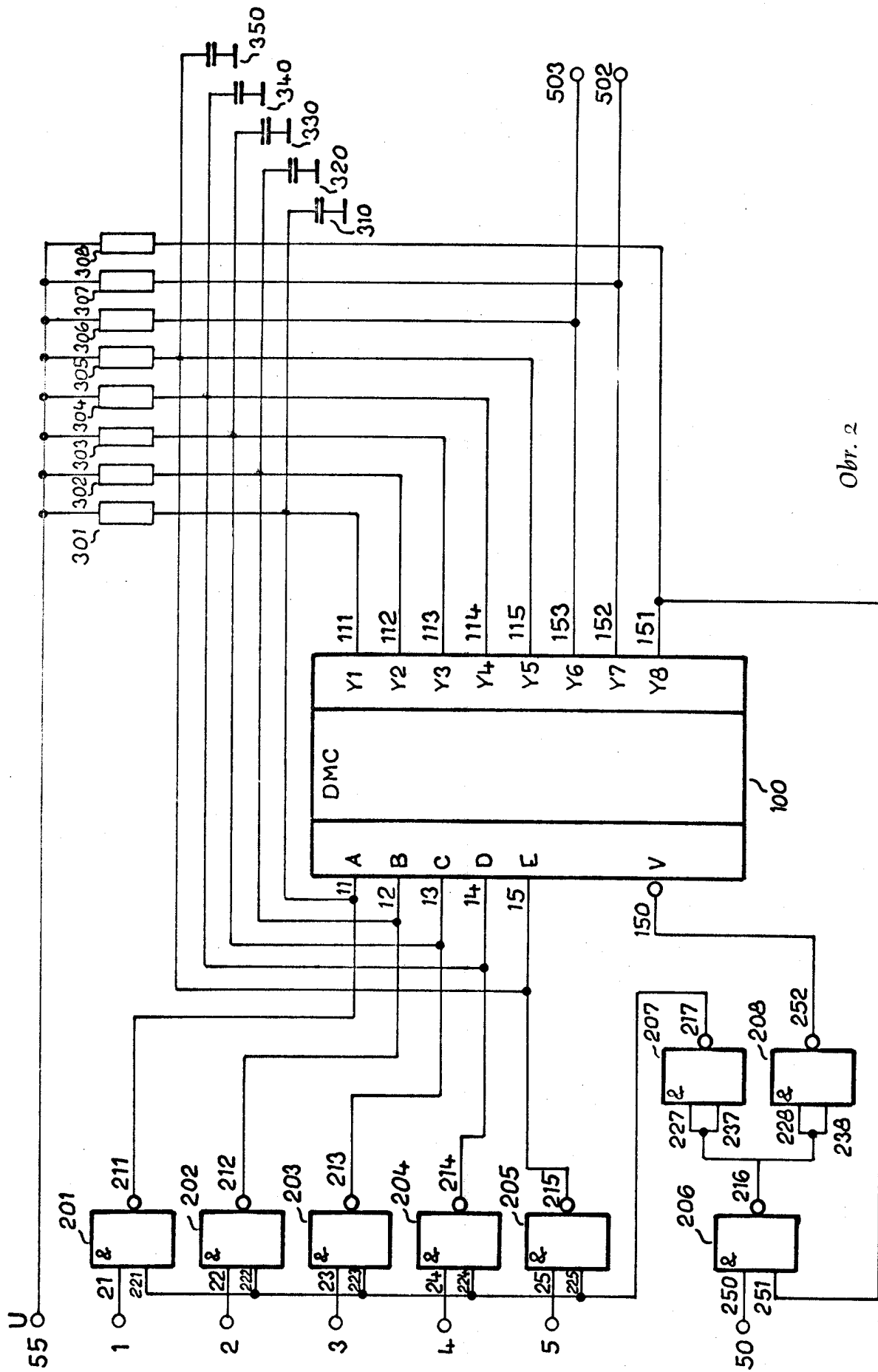
Zapojení monostabilního klopného obvodu sestávajícího z pevné polovodičové paměti nejméně se dvěma vstupy a jedním výběrovým vstupem s nejméně čtyřmi výstupy, dále ze spínače nejméně dvěma nastavovacími vstupy a se spouštěcím a hradlovacím vstupem a s nejméně dvěma nastavovacími výstupy a se spouštěcím výstupem, a konečně z obvodu časových konstant s nejméně dvěma vstupy, vyznačené tím, že první vstup (1) je spojen s prvním nastavovacím vstupem (21) spínače (200), zatím co první nastavovací výstup (211) spínače (200) je propojen na první adresový vstup (11) první paměti (100) a nadto je připojen na první vstup (31) obvodu (300) časových konstant až konečně n-tý vstup (N) je spojen s n-tým nastavovacím vstupem (2N) spínače (200), přičemž n-tý

nastavovací výstup (21N) spínače (200) je připojen na n-tý adresový vstup (1N) polovodičové paměti (100) a současně je připojen na n-tý výstup (11N) pevné polovodičové paměti (100) a nadto je propojen na n-tý vstup (30N) obvodu (300) časových konstant, přičemž hlavní spouštěcí vstup (50) je spojen se spouštěcím vstupem (250) spínače (200), zatímco spouštěcí výstup (252) spínače (200) je spojen s výběrovým vstupem (150) pevné polovodičové paměti (100), zatímco ovládaný výstup (152) pevné polovodičové paměti (100) je spojen s koncovým výstupem (500), přičemž hradlovací výstup (151) pevné polovodičové paměti (100) je spojen s hradlovacím vstupem (251) spínače (200).

2 výkresy



Obr. 1



Obr. 2