



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I568264 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：101134834

(22)申請日：中華民國 101 (2012) 年 09 月 21 日

(51)Int. Cl. : **H04N5/335 (2011.01)**

(30)優先權：2011/09/21 美國 61/537,167

2012/09/18 美國 13/622,155

(71)申請人：克萊譚克公司 (美國) KLA-TENCOR CORPORATION (US)

美國

(72)發明人：布朗 大衛 L BROWN, DAVID L. (US)；莊 勇和 艾力克斯 CHUANG, YUNG-HO ALEX (US)；鄭國武 ZHENG, GUOWU (CA)；伊爾 凡卡特曼 IYER, VENKATRAMAN (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200801497

US 6204506B1

US 6225837B1

US 6426991B1

US 8098312B2

US 2008/0111086A1

US 2010/0330728A1

US 2011/0175185A1

審查人員：游象甫

申請專利範圍項數：33 項 圖式數：9 共 52 頁

(54)名稱

用於高速影像擷取之以內插器為基礎的影像感測裝置、用於製造以內插器為基礎的感光陣列感測器裝置之方法、及檢視系統

INTERPOSER-BASED IMAGE SENSING DEVICE FOR HIGH-SPEED IMAGE ACQUISITION, METHOD FOR FABRICATING INTERPOSER-BASED LIGHT SENSING ARRAY SENSOR DEVICE, AND INSPECTION SYSTEM

(57)摘要

本發明包含：一內插器，其安置於一基板之一表面上；一感光陣列感測器，其安置於該內插器上，該感光陣列感測器經背部薄化且經組態用於背部照明，該感光陣列感測器包含像素行；一或多個放大電路元件，其經組態以放大該感光陣列感測器之一輸出，該等放大電路以操作方式連接至該內插器；一或多個類比轉數位轉換電路元件，其經組態以將該感光陣列感測器之一輸出轉換成一數位信號，該等 ADC 電路元件以操作方式連接至該內插器；一或多個驅動器電路元件，其經組態以驅動該陣列感測器之一時脈或控制信號；該內插器經組態以電耦合該感光陣列感測器、該等放大電路、該等轉換電路、該等驅動器電路或一或多個額外電路中之至少兩者。

The present invention includes an interposer disposed on a surface of a substrate, a light sensing array sensor disposed on the interposer, the light sensing array sensor being back-thinned and configured for back illumination, the light sensing array sensor including columns of pixels, one or more amplification circuitry elements configured to amplify an output of the light sensing array sensor, the amplification circuits being operatively connected to the interposer, one or more analog-to-digital conversion circuitry elements configured to convert an output of the light sensing array sensor to a digital signal, the ADC circuitry elements

being operatively connected to the interposer, one or more driver circuitry elements configured to drive a clock or control signal of the array sensor, the interposer configured to electrically couple at least two of the light sensing array sensor, the amplification circuits, the conversion circuits, the driver circuits, or one or more additional circuits.

指定代表圖：

符號簡單說明：

- 100 . . . 裝置/成像裝置/成像感測器裝置/影像感測裝置
- 102 . . . 內插器/矽內插器
- 104 . . . 感光陣列感測器/感測器/光敏陣列感測器/陣列感測器/影像感測器/光敏陣列偵測器/光敏影像感測器/成像感測器/光感測器陣列/光敏陣列/光敏感測器/時域積分感測器
- 106 . . . 驅動器電路/照明源/數位轉化器/驅動器
- 108 . . . 驅動器電路/數位轉化器電路/數位轉化器/轉換電路
- 110 . . . 基板
- 112 . . . 互連件
- 116 . . . 焊料球/焊料凸塊或銅柱

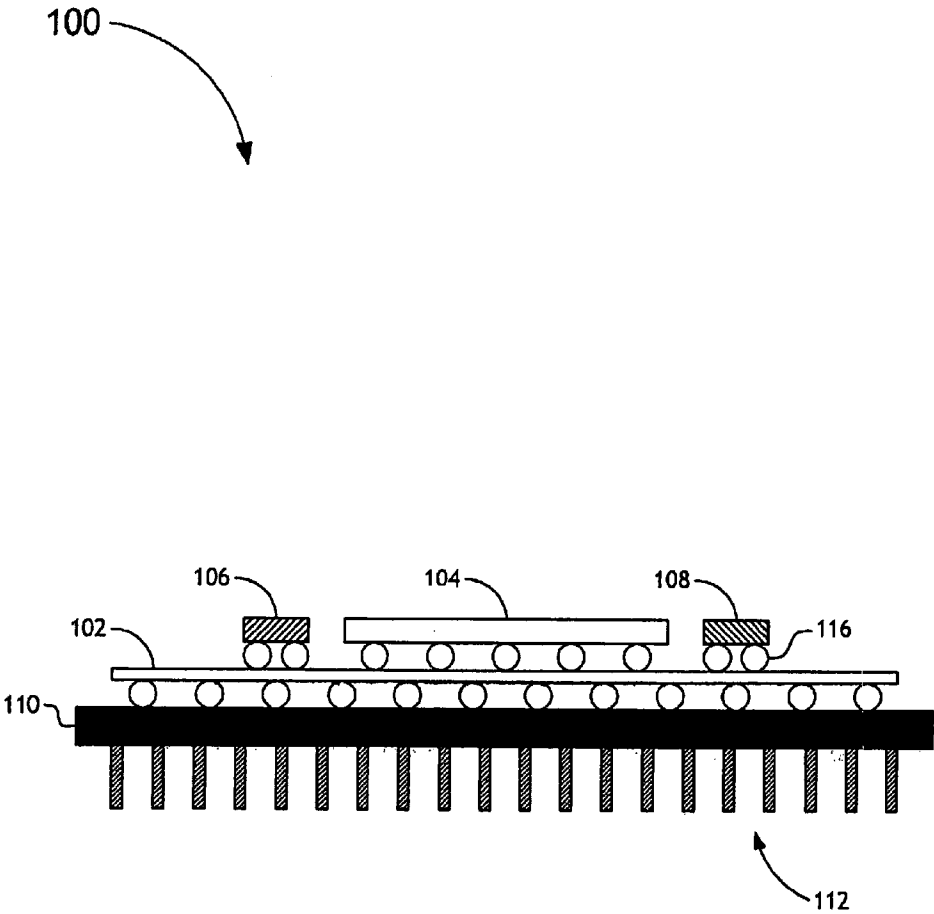


圖 1A

發明專利說明書

中文說明書替換頁(105年9月26日)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101134834

※申請日：101年9月21日

※IPC 分類：H01L

H04N 5/35

105年9月26日修正替換頁

一、發明名稱：(中文/英文)

用於高速影像擷取之以內插器為基礎的影像感測裝置、用於製造以內插器為基礎的感光陣列感測器裝置之方法、及檢視系統

INTERPOSER-BASED IMAGE SENSING DEVICE FOR HIGH-SPEED IMAGE ACQUISITION, METHOD FOR FABRICATING INTERPOSER-BASED LIGHT SENSING ARRAY SENSOR DEVICE, AND INSPECTION SYSTEM

二、中文發明摘要：

本發明包含：一內插器，其安置於一基板之一表面上；一感光陣列感測器，其安置於該內插器上，該感光陣列感測器經背部薄化且經組態用於背部照明，該感光陣列感測器包含像素行；一或多個放大電路元件，其經組態以放大該感光陣列感測器之一輸出，該等放大電路以操作方式連接至該內插器；一或多個類比轉數位轉換電路元件，其經組態以將該感光陣列感測器之一輸出轉換成一數位信號，該等ADC電路元件以操作方式連接至該內插器；一或多個驅動器電路元件，其經組態以驅動該陣列感測器之一時脈或控制信號；該內插器經組態以電耦合該感光陣列感測器、該等放大電路、該等轉換電路、該等驅動器電路或一或多個額外電路中之至少兩者。

三、英文發明摘要：

The present invention includes an interposer disposed on a surface of a substrate, a light sensing array sensor disposed on the interposer, the light sensing array sensor being back-thinned and configured for back illumination, the light sensing array sensor including columns of pixels, one or more amplification circuitry elements configured to amplify an output of the light sensing array sensor, the amplification circuits being operatively connected to the interposer, one or more analog-to-digital conversion circuitry elements configured to convert an output of the light sensing array sensor to a digital signal, the ADC circuitry elements being operatively connected to the interposer, one or more driver circuitry elements configured to drive a clock or control signal of the array sensor, the interposer configured to electrically couple at least two of the light sensing array sensor, the amplification circuits, the conversion circuits, the driver circuits, or one or more additional circuits.

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

100	裝置/成像裝置/成像感測器裝置/影像感測裝置
102	內插器/矽內插器
104	感光陣列感測器/感測器/光敏陣列感測器/陣列感測器/影像感測器/光敏陣列偵測器/光敏影像感測器/成像感測器/光感測器陣列/光敏陣列/光敏感測器/時域積分感測器
106	驅動器電路/照明源/數位轉化器/驅動器
108	驅動器電路/數位轉化器電路/數位轉化器/轉換電路
110	基板
112	互連件
116	焊料球/焊料凸塊或銅柱

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於適合在半導體檢視系統中實施之成像感測器，且更特定而言，係關於在一矽內插器架構中製造之以電荷耦合裝置為基礎的成像感測器。

本申請案係關於且依據35 USC § 119(e)主張來自以下所列申請案（「相關申請案」）之最早可用有效申請日期之權益（例如，主張除臨時專利申請案以外之最早可用優先權日期或主張臨時專利申請案、相關申請案之任一及所有父代申請案、祖父代申請案、曾祖父代申請案等之權益）。

出於USPTO非法定要求之目的，本申請案構成於2011年9月21日提出申請、發明人為David L. Brown、Yung-Ho Alex Chuang、Guowu Zheng及Iyer Venkatraman、標題為「Si Interposer for High-Speed Image Acquisition and Inspection Systems Using a High-Speed Image Acquisition Sensor」、申請案序號為61/537,167之美國臨時專利申請案之一正式(非臨時)專利申請案。

【先前技術】

隨著改良檢視能力之要求不斷增加，因此亦將要求改良影像感測器裝置。通常，檢視系統利用每個感測器配備有多個讀出暫存器之區域感測器，藉此每一讀出暫存器順序地輸出16、32或更多行。就這一點而言，一典型檢視系統可使用一個或兩個感測器陣列。由於電荷耦合裝置(CCD)之低雜訊及高量子效率，因此當前檢視技術中所包含之影

像感測器通常包含電荷耦合裝置。另外，一典型感測器陣列可經背部薄化且自背部照明，以便最大化量子效率，此在短(深UV)波長處係特別有利的。一典型陣列感測器沿感測器之每一側可由數百至數千像素組成。像素維度通常近似為約 $10\text{ }\mu\text{m}$ 與約 $20\text{ }\mu\text{m}$ 之間。

通常，每一影像感測器安裝於一電路板上或連接至一電路板。該電路板可含有用於驅動各種時脈及閘極信號之驅動器、放大器、雙重相關取樣電路及用於將類比信號轉換成數位信號之數位轉化器。該電路板亦可包含用於將數位信號傳輸至相關聯影像處理電腦之傳輸器。在某些情形中，可將多達16個數位轉化器與一影像感測器安裝在一總成內部以便與將數位轉化器安裝在電路板上相比幫助減少感測器之輸出與數位轉化器之輸入之間的電容。然而，先前技術之檢視系統之速度限制為約每秒 10^9 個像素，且縮放能力接近每秒 10^{10} 個像素。超出此位準之連續縮放係不實際的。如此，期望修正先前技術之缺陷且提供能夠延伸以影像感測器陣列為基礎的檢視技術之速度之方法及系統。

【發明內容】

本發明揭示一種以內插器為基礎的影像感測裝置。在一項態樣中，該裝置可包含(但不限於)：至少一個內插器，其安置於一基板之一表面上；至少一個感測陣列感測器，其安置於該至少一個內插器上，該一或多個感光陣列感測器經背部薄化，一或多個感光陣列感測器經組態用於背部

照明，該一或多個感光陣列感測器包含複數個像素行；至少一個放大電路元件，其經組態以放大一或多個感光陣列感測器之一輸出，該一或多個放大電路以操作方式連接至該內插器；至少一個類比轉數位轉換電路元件，其經組態以將一或多個感光陣列感測器之一輸出轉換成一數位信號，該一或多個類比轉數位轉換電路以操作方式連接至該內插器；至少一個驅動器電路元件，其經組態以驅動一或多個光敏陣列感測器之一時脈信號或控制信號中之至少一者，該一或多個驅動器電路元件以操作方式連接至該內插器；及至少一個額外電路元件，其以操作方式連接至該一或多個內插器，該內插器經組態以電耦合該一或多個感光陣列感測器、該一或多個放大電路、該一或多個轉換電路、該一或多個驅動器電路或該一或多個額外電路中之至少兩者。

本發明揭示一種用於製造一以內插器為基礎的影像感測裝置之方法。在一項態樣中，該方法可包含(但不限於)：提供一基板；將至少一個內插器安置於該基板之一表面上；及將一光敏陣列感測器安置於該至少一個內插器之一表面上，該光敏陣列感測器經背部薄化且經組態用於背部照明，該至少一個內插器包括以下各項中之至少一者：一或多個放大電路元件，其經組態以放大該一或多個感光陣列感測器之一輸出；一或多個類比轉數位轉換電路元件，其經組態以將一或多個感光陣列感測器之一輸出轉換成一數位信號；一或多個驅動器電路元件；或一或多個額外電

路元件。

本發明揭示一種併入一以內插器為基礎的成像裝置之檢視系統。在一項態樣中，該系統可包含(但不限於)：一照明源，其經組態以朝向安置於一樣本載臺上之一目標物件之一表面引導照明；一偵測器，該偵測器包括至少一個光敏陣列裝置，該至少一個光敏陣列裝置包括安置於至少一個內插器上之至少一個經背部薄化之光敏陣列感測器，該至少一個經背部薄化之光敏陣列感測器進一步經組態用於背部照明，該至少一個內插器包括一或多個放大電路元件、一或多個類比轉數位轉換電路元件、一或多個驅動器電路元件或一或多個額外電路元件中之至少一者；一組聚焦光學器件，其經組態以將照明聚焦至晶圓之表面上；及一組集光光學器件，其經組態以將自目標物件之表面反射之照明引導至偵測器。

應理解，前述大體說明及以下詳細說明兩者皆僅為例示性及闡釋性且未必限制所主張之本發明。併入本說明書中並構成本說明書之一部分的附圖圖解說明本發明之實施例，並與該大體說明一起用於闡釋本發明之原理。

【實施方式】

熟習此項技術者可藉由參考附圖來更好地理解本揭示內容之眾多優點。

現在將詳細參考所揭示之標的物，該標的物圖解說明於附圖中。

大體參考圖1A至圖9，根據本發明闡述基於一內插器架

構之一成像裝置100。

圖1A及圖1B圖解說明利用一內插器102構造之一影像感測裝置100之簡化示意圖。在本發明之一項態樣中，以內插器為基礎的成像裝置100可包含安置於一內插器102之表面上之一或多個光敏感測器104。在某些實施例中，隨著本文中將進一步更詳細地論述，裝置100之一或多個內插器102可包含(但不限於)一矽內插器。在本發明之又一態樣中，裝置100之一或多個光敏感測器104經背部薄化且進一步經組態用於背部照明。熟習此項技術者可認識到，一經背部薄化之感測器104當以一背部照明組態配置時，可增加一入射光束之光子捕獲率，藉此增加影像感測裝置100之總效率。

在本發明之另一態樣中，影像感測裝置100之各種電路元件可安置於內插器102上或構建至內插器102中。在一項實施例中，一或多個放大電路(例如，電荷轉換放大器)(圖1A或圖1B中未展示)可安置於內插器102上或構建至內插器102中。在另一實施例中，一或多個轉換電路108(例如，類比轉數位轉換電路(亦即，數位轉化器108))可安置於內插器102上或構建至內插器102中。在另一實施例中，一或多個驅動器電路106可安置於內插器102上或構建至內插器102中。舉例而言，一或多個驅動器電路106可包含一時序/串列驅動電路。舉例而言，一或多個驅動器電路106可包含(但不限於)一時脈驅動器電路元件或一重設驅動器電路元件。在另一實施例中，一或多個像素閘極驅動器電

路元件114可安置於內插器102上或構建至內插器102中。舉例而言，一或多個像素閘極驅動器電路元件114可包含一CCD/TDI像素閘極驅動器電路元件。在另一實施例中，一或多個光學收發器115可安置於內插器102上或構建至內插器102中。在另一實施例中，一或多個解耦合電容器(未展示)可安置於內插器102上或構建至內插器102中。在又一實施例中，一或多個串列傳輸器(圖1A或圖1B中未展示)可安置於內插器102上或構建至內插器102中。

本文中進一步認識到，各種額外電路元件可安置於裝置100之內插器102上或直接構建至裝置100之內插器102中。舉例而言，安置於內插器102上或構建至內插器102中之各種電路元件可進一步包含(但不限於)閘極信號控制電路、相關雙重取樣器及信號調節電路(例如，濾波器、多工器、串列資料輸出裝置、緩衝器、數位信號處理器、電壓調節器及電壓轉換器)。作為另一實例，裝置100之內插器102可進一步包含諸如(但不限於)電晶體(例如，場效應電晶體、雙極電晶體及諸如此類)、二極體、電容器、電感器及電阻器之額外電路元件。本文中進一步預計，在一般意義上，適用於在一成像感測器上下文中接收、處理、調節、控制及/或傳輸信號之任何一或多個電路元件可在本發明之範疇內實施。如此，關於安置於內插器102上或構建至內插器102中之各種電路元件之以上說明並非限制性的，而應視為僅係說明性的。

在又一實施例中，本文中所闡述之電路元件(例如，驅

動器 106 或數位轉化器 108) 中之一或多者可如同內插器 102 中之電路一般構建至裝置 100 中。另一選擇係，本文中所闡述之一或多個電路元件可包括安置於內插器 102 之表面上之多個晶粒。

在本發明之又一態樣中，內插器 102 可進一步包含經組態以將多個類比轉數位轉換器之兩個或兩個以上輸出組合成用於裝置 100 輸出之一或多個高速串列位元串流之邏輯。

在本發明之另一態樣中，一或多個支撐結構可安置於光敏陣列感測器 104 之底部表面與內插器 102 之頂部表面之間以便為感測器 104 提供實體支撐。在一項實施例中，複數個焊料球 116 可安置於光敏陣列感測器 104 之底部表面與內插器 102 之頂部表面之間以便為感測器 104 提供實體支撐。本文中認識到，當感測器 104 之成像區可不包含外部電連接時，感測器 104 之背部薄化致使感測器 104 變得越來越撓性。如此，可利用焊料球 116 以增強感測器 104 之成像部分之一方式將感測器 104 連接至內插器 102。在一替代實施例中，可將一底填充材料安置於光敏陣列感測器 104 之底部表面與內插器 102 之頂部表面之間以便為感測器 104 提供實體支撐。舉例而言，可將一環氧樹脂安置於光敏陣列感測器 104 之底部表面與內插器 102 之頂部表面之間。

在另一實施例中，感光陣列感測器 104 可包含一紫外線 (UV) 抗反射塗層。在又一實施例中，該抗反射塗層可安置於陣列感測器 104 之背部表面上。就這一點而言，抗反射

塗層可生長於陣列感測器104之背部表面上。在一項實施例中，UV抗反射塗層可包含直接生長於陣列感測器104之一矽表面上之一熱氧化物(例如，氧化矽)。在另一實施例中，諸如在一極UV(EUV)檢視系統(參見圖9)之上下文中，一EUV抗反射塗層可包含一種以氮化物為基礎的材料(例如，氮化矽)。在又一實施例中，一或多個額外介電層可沈積或生長於熱氧化物層或氮化物層之表面上。

在本發明之另一態樣中，內插器102及各種額外電路元件(例如，放大電路、驅動器電路106、數位轉化器電路108及諸如此類)安置於一基板110之一表面上。在又一態樣中，基板110包含具有高熱導率之一基板(例如，陶瓷基板)。就這一點而言，基板110經組態以便為感測器104/內插器102總成提供實體支撐，同時亦為裝置100提供一構件以將熱有效地傳導離開成像感測器104及各種其他電路元件(例如，數位轉化器106、驅動器電路108、放大器及諸如此類)。本文中認識到，該基板可包含此項技術中習知之任一剛性高導熱基板材料。舉例而言，基板110可包含(但不限於)一陶瓷基板。舉例而言，基板110可包含(但不限於)氮化鋁。

在又一態樣中，在其中裝置100包含一以半導體為基礎的內插器102(例如，以矽為基礎的內插器)之設定中，內插器102自身可包含內建式主動及被動電路組件(諸如電阻器、電容器及電晶體)。此外，與類比轉數位轉換(ADC)電路元件及其他讀出電路元件相比，驅動器電路108要求可

具有不同電壓要求。在此情形中，實施經由為驅動器電路最佳化之一製造程序而構造之一內插器且然後使用此項技術中習知之方法(諸如覆晶或線接合總成)將ADC電路附接至內插器102可係有利的。驅動器電路通常需要較高電壓能力，需要產生多伏擺動(multiple-volt swing)，且可包含負電壓能力及正電壓能力兩者。

在另一實施例中，基板110可經組態以提供對一插座或一下伏印刷電路板(PCB)之一介面。舉例而言，如圖1A中所展示，基板110可經由互連件112提供內插器102與一插座或一PCB之間的互連。熟習此項技術者將認識到，基板110可以操作方式耦合至一下伏PCB且進一步以各種方式電耦合至一插座或PCB，以上所有皆視為在本發明之範疇內。

圖1C圖解說明根據本發明之一項實施例適合在成像感測器裝置100中使用之一個二維光敏感測器之一俯視圖。在本發明之一項實施例中，該二維光敏感測器陣列可包括一電荷耦合裝置(CCD)陣列。在又一實施例中，用作本發明之裝置100之陣列感測器104之二維感測器陣列可包含(但不限於)一時域積分(TDI)裝置。就這一點而言，如圖1C中所展示之一像素陣列構成成像區121。舉例而言，一TDI感測器可含有具有 256×2048 個像素或更大之一大小之一陣列。熟習此項技術者可認識到，一照明源可用以照明半導體晶圓表面(參見圖9之908)。然後晶圓將照明反射至一或多個TDI感測器104上。然後所接收光子在感測器104上之

入射點處產生光電子。

隨著TDI感測器104掃描晶圓，TDI感測器可連續地累積電荷。TDI感測器繼而可以與感測器104相對於感測器影像移動之速率大體相同之速率沿一像素行122傳送電荷。在又一實施例中，TDI感測器104可包含一或多個通道截斷123。通道截斷123防止電子或電荷自一成像區121內之一個行移動至另一行。以TDI為基礎的陣列感測器大體闡述於2009年10月27日發佈之美國專利第7,609,309號中，該美國專利以引用方式併入本文中。

在本發明之一項實施例中，與一陣列感測器104相關聯之一放大器120經組態以接收感光陣列感測器104之一單個像素行之一輸出。在一替代實施例中，與一陣列感測器104相關聯之一單個放大器120經組態以接收感光陣列感測器104之兩個或兩個以上像素行之一輸出。在又一實施例中，與一感測器104相關聯之一或多個緩衝器放大器可在一內插器102上接近於感測器之一或多個輸出120來製造。

圖2圖解說明裝置100之內插器102之一部分之一示意性剖面圖。在一項態樣中，內插器102可安置於一晶圓201(例如，矽晶圓)上。在又一態樣中，兩個或兩個以上互連層202可形成於晶圓201之頂部表面上。儘管圖2中所圖解說明之實施例繪示兩個此等互連層，但本文中應注意，可在本發明之上下文內實施任一數目個互連層。舉例而言，裝置100之內插器102可包含安置於晶圓201之頂部表面上之三、四個、五個、六個、七個或八個(等等)互連層。

在又一態樣中，一或多個襯墊204可安置於一或多個互連層202之頂部表面上。熟習此項技術者將認識到，內插器102之襯墊204可允許將各種電路組件及晶粒附接至內插器102。此等電路組件及晶粒可利用焊料凸塊或銅柱(參見圖1A之116)連接至襯墊。在一額外態樣中，內插器102可包含經組態以將一或多個襯墊204與其他電路組件電耦合在一起之一或多個導電導通體206。在某些實施例中，導電導通體206可包含(但不限於)銅導通體或鎢導通體。此外，內插器102可包含經組態以將一或多個導通體206電耦合在一起之一或多個導電互連件208。在某些實施例中，導電互連件208可包含(但不限於)銅互連件、鋁互連件、金互連件或鎢互連件。在一般意義上，本文中認識到，內插器102之導電導通體206及導電互連件208可利用此項技術中習知之適合在影像感測電路組件之上下文中實施之任一導電材料來製造。

在又一態樣中，內插器102可包含經組態以將安置於晶圓203之頂部表面上之一或多個電路元件電耦合至安置於晶圓201之底部表面205上之襯墊212之一或多個穿晶圓導通體210(亦即，穿矽導通體)。在某些實施例中，在將電路元件安置於內插器102之晶圓201之底部205上之前，晶圓201可經薄化至厚度介於大致100 μm 與200 μm 之間。在又一實施例中，焊料球214可附著至襯墊212，藉此允許內插器102附接及電連接至裝置100之基板110(參見圖1A及圖1B)。

本文中預計，本發明之以內插器為基礎的架構允許感測器104及相關聯電路元件(驅動器、放大器、信號處理及數位化電路)利用不同製造技術來製造，但緊接近於彼此安置，藉此相對於習用基板產生較高互連密度。

此外，矽之高热導率允許將來自裝置之電子器件之熱有效傳送至一相關聯基板或額外散熱器。

圖3圖解說明根據本發明之一實施例之一電荷轉換放大器300之一電路圖。在本發明之某些實施例中，裝置100可經組態以使得每一電荷轉換放大器120與光感測器陣列104之一單個輸出相關聯。在替代實施例中，裝置100可經組態以使得每一電荷轉換放大器120與光感測器陣列104之兩個或兩個以上(例如，2個或4個)輸出相關聯，如本發明揭示內容之圖1C中所展示。

在本發明之一項態樣中，自裝置100之光敏陣列104之一輸出傳送之電荷在連接302處被輸入至放大器120中。在一項例項中，藉此確證重設308，電晶體304可將信號位準箝位至參考電壓 V_{ref} 306。在另一例項中，當未確證重設308時，來自輸入302之電荷被傳送至感測節點電容器310，藉此更改電容器之電壓。在又一態樣中，電晶體304及312用以緩衝電容器310上之電壓，因此放大輸出電流。在另一態樣中，電阻器316及318用以設定各別電晶體312及314之汲極電流。此外，放大器120之輸出320可進一步經組態用於輸入至裝置100之下一階段中。本文中認識到，放大器120之以上說明並非限制性的且應視為僅係說明性的。本

文中預計，其他放大器組態亦可適合在本發明之上下文中實施。舉例而言，儘管圖3圖解說明一個雙電晶體放大器，但本文中應注意，放大器120之單電晶體及三電晶體組態亦可適合在本發明中實施。

在某些實施例中，本發明之電荷轉換放大器120可併入至光敏陣列感測器104中。以此方式，一或多個緩衝器(未展示)可緊毗鄰於自感光陣列感測器104輸出之每一信號放置於內插器102中(或其上)。在此一實施例中，加負載於輸出320之電容通常遠小於其中未實施一矽內插器之例項中之情形，藉此允許電晶體314更小或將其完全省略。較小電晶體314繼而允許增加用於裝置100之感測器104之輸出通道之數目。

圖4A圖解說明根據本發明之以內插器為基礎的裝置100之關鍵電路元件之一種配置之一方塊圖。在一項實施例中，內插器102之電路功能可藉由在內插器102上製造之一或多個電路元件實施。在另一實施例中，內插器之電路功能可藉由在內插器102之頂部表面上接合之多個晶粒中之一或多個電路元件來實施。進一步認識到，內插器102之電路功能可經由在內插器102上製造相關聯之電路元件及經由在內插器102之表面上接合多個晶粒來同時實施。本文中進一步認識到，由於當相比於一典型積體電路裝置時一矽內插器之相對大區域，因此良率可受影響，除非內插器上之電路密度保持低。如此，在某些實施例中，內插器102可經構造以含有一低電路密度。舉例而言，內插器102

可經構造以包含互連件及非關鍵緩衝器電路元件。在又一實施例中，所有複雜或進階設計規則電路元件可在經製造且在附著至內插器102之前經測試之單獨晶粒中實施。

在一項態樣中，來自光敏陣列感測器104之一或多個輸出信號可在402處輸入至內插器102電路中。在此意義上，輸入信號(亦即，來自感測器104之輸出信號)可發源自一或多個電荷轉換放大器120，諸如圖1C中所繪示之彼等放大器或圖3中所繪示之放大器120之實施例。在一第一步驟中，可將信號傳輸至一緩衝器404。本文中認識到，緩衝器404放置於自光敏陣列感測器104輸出之信號上之電容性負載之最小化係相對重要的。在某些實施例中，緩衝器404可在內插器102中製造以使得緩衝器404緊接近於將饋送至緩衝器404中之感測器104之輸出連接器定位。然後，將緩衝器404之輸出耦合至一相關雙重取樣模組406。此外，利用類比轉數位轉換器408將雙重相關取樣模組406之輸出轉換成一數位信號。接下來，可經由一FIFO緩衝器410緩衝類比轉數位轉換器408之輸出。然後來自FIFO緩衝器410之經緩衝數位信號可作為一個輸入412傳輸至一多工器414中。

在又一實施例中，可多次複製處理鏈416(亦即，上文所闡述之電路元件)以適應來自光敏陣列感測器104之多個輸出，其中每一處理鏈416連接至多工器414之一單獨輸入(例如，輸入416、輸入418、輸入420等等)。本文中認識到，圖4A中所繪示之多工器414並非限制性的且應視為僅

係說明性的。舉例而言，應注意，多工器414可包含少於四個輸入或四個以上輸入。此外，藉由串列轉換器及驅動器422將來自多工器414之輸出轉換成一高速串列信號且然後在輸出連接器424處自內插器輸出。

在又一實施例中，來自高速串列驅動器422之串列輸出424可藉由一或多個光纖電纜傳輸至一檢視工具之影像處理電腦(參見圖9)。在某些實施例中，光纖傳輸器可安裝於矽內插器102上。在替代實施例中，光纖傳輸器可安裝於基板110上。在額外實施例中，光纖傳輸器可安裝於接近於基板110之連接器之一印刷電路板(PCB)上。由於串列傳輸之高速度，必須最小化串列資料驅動器422之輸出與光纖傳輸器之間的電容。將光纖傳輸器安裝在內插器102上或基板110上允許將光纖傳輸器靠近串列資料驅動器422放置，而使得連接信號上之電容最小化。本文中認識到，電容之減少有助於減少驅動裝置100之一或多個信號所需之驅動電流，藉此減少裝置100所消耗之總電力。

在圖4B中所圖解說明之另一實施例中，內插器102可包含用於時脈信號之一或多個緩衝器及/或驅動器。舉例而言，可將時脈信號430傳輸至時脈驅動器432且然後作為信號434發送至光敏影像感測器104。在進一步實施例中，可針對每一感測器104存在多個(例如，兩個、三個、四個或更多個)時脈信號，在此情形下可利用多個驅動器432。作為圖4C中所圖解說明之另一實例，控制信號440可藉由緩衝器/驅動器442緩衝且然後作為信號444發送至光敏陣列

感測器104。同樣，可存在多個控制信號，藉此需要多個相關聯緩衝器/驅動器442。在又一實施例中，用於時脈及控制信號之緩衝器及驅動器可實施為附接至內插器102之電路裝置或實施為內插器102內之電路。在另一實施例中，用於時脈及控制信號之緩衝器及驅動器可在一PCB上實施且經組態以將信號透過內插器102傳送至光敏影像感測器104。

本文中認識到，圖4A至圖4C之說明並非限制性的且應視為僅係說明性的。本文中進一步認識到，上文所展示之所有功能可在內插器總成中或在其上實施。此外，預計額外實施例可包含圖4A至圖4C中未展示之額外功能。此外，進一步認識到，圖4A至圖4C中所圖解說明之特定序列並非限制性的，此乃因預計圖4A至圖4C之功能可以自圖4A至圖4C中所展示之一序列連接。舉例而言，在藉由類比轉數位轉換器408將信號數位化之後，存在將多個數位信號組合成一或多個高速串列資料串流之各種方式。

圖5圖解說明適合於驅動裝置100之光敏陣列感測器104之一多相時脈信號。儘管圖5圖解說明一個三相時脈信號，但應認識到，額外信號可適合在本發明中實施。舉例而言，取決於光敏陣列偵測器104之設計，時脈信號可包含(但不限於)一個2相或4相時脈信號。如圖5中所展示，在某些較佳實施例中，時脈信號係大致正弦形狀。在其他實施例中，本發明中所利用之時脈信號可包含額外波形，諸如(但不限於)方形波形或梯形波形。如此，圖5中所圖解說

明之以正弦波為基礎的時脈信號並非限制性的且應視為僅係說明性的。適合在本發明中實施之時脈信號波形之實例大體闡述於在2009年10月27日發佈之美國專利第7,609,309號中，該美國專利以引用方式併入本文中。

圖6A至圖8B圖解說明裝置100中之多個光敏陣列感測器104之實施方案。圖6A至圖6C圖解說明一以單TDI為基礎的光敏感測器模組600之俯視圖及側視圖。以TDI為基礎的感測器模組600可包含(但不限於)局部化驅動及信號處理電路。舉例而言，感測器模組600可包含一TDI感測器602、經組態以處理來自感測器602之信號之處理電路604、時序及串列驅動電路606及像素閘極驅動器電路608。如圖6B中所展示，感測器模組600可進一步包含光纖610，其附接至模組600之資料收發器612(例如，光學收發器)以便允許驅動/處理資料在一實施檢視系統之TDI感測器模組600與檢視組件614之間的通信(參見圖9)。在一替代實施例中，如圖6C中所展示，光纖610可附接至安置於模組600之內插器之與感測器602相同側上之資料收發器612。

圖7圖解說明以多TDI為基礎的影像感測器模組600在一影像感測器模組陣列700中之實施方案。在一項實施例中，毗鄰列之模組600之TDI感測器602當用於一連續掃描組態中時可經對準以使得達成大致100%影像覆蓋區。舉例而言，在圖7中所展示之實施例中，上部列702可相對於下部列704偏移以使得一系列之TDI感測器602定位於由一毗鄰列之驅動/處理電路產生之間隙中。此外，為了確保在

影像覆蓋區中不存在間隙，每一TDI感測器602之寬度等於或大於TDI感測器之間的空間。在此組態中，隨著所檢視之晶圓/遮罩/光罩沿一TDI影像掃描方向706移動，感測器模組陣列700可有助於最大化EUV波長影像擷取。

圖8A圖解說明以多TDI為基礎的影像感測器模組600在一影像感測器模組陣列800中之一替代實施方案。在此實施例中，所偵測資料之積分可透過TDI感測器模組600之行之對準而增加。舉例而言，感測器模組600之列802、804及806可擷取及處理相同或類似光學影像之影像資料樣本。如此，陣列800可為一所檢視晶圓、遮罩或光罩之每一條區提供一資料串流。以此方式，積分可最小化與一電漿光源相關聯之波動。陣列800亦可用以減少一實施檢視系統(參見圖9)中所需要之電漿光源之均勻性及穩定性要求，藉此改良實施檢視系統之可製造性及操作壽命。

圖8B圖解說明以多TDI為基礎的影像感測器模組600在一非矩形影像感測器模組陣列850中之一替代實施方案。在此實施例中，感測器模組600之列854及856可在內插器852上配置成一非矩形柵格圖案，諸如圖8B中所圖解說明。此外，列854及856之模組可經組態以使得其輸出交錯影像輸出資料串流。感測器模組600之非矩形配置可改良其中照明在視場中不均勻之設定中之均勻性且可有助於減少像差。預期非矩形影像感測器模組陣列可用以偵測各種照明類型。特定而言，預期非矩形影像感測器陣列850在EUV申請案中可特別有利。

以TDI為基礎的感測器、感測器模組及感測器模組陣列大體闡述於在2010年6月18日提出申請之美國專利申請案第12/812,950號中，該專利申請案以引用方式併入本文中。

在又一實施例中，本文中預計多個影像感測器104(例如，TDI感測器)可安裝於一個矽內插器102上，或多個內插器102可並排安裝，或兩者皆有，以便增加集光區域。陣列700、800及850圖解說明本發明揭示內容之以內插器為基礎的感測器104可藉以延伸之感測器模組陣列。本文中進一步應注意，模組陣列700、800及850實例並非限制性且應視為僅係說明性的。本文中預期，本發明揭示內容通篇所闡述之光敏陣列感測器104可實施於各種感測器模組陣列圖案中。

圖9圖解說明併入有本發明揭示內容通篇所闡述之以內插器為基礎的成像裝置100中之一或多者之一檢視系統900。

在一項態樣中，檢視系統900經組態以偵測安置於一樣本載台912上之一半導體晶圓908上之缺陷。檢視系統900可包含此項技術中習知之任一適當檢視系統，諸如(但不限於)一明視場檢視系統或一暗視場檢視系統。在又一態樣中，檢視系統900可經組態以便以明視場與暗視場模式兩者操作。在另一態樣中，檢視系統900可組態有反射光學器件以操作為在一EUV波長處操作之一極UV(EUV)光遮罩檢視系統。舉例而言，檢視系統900可經組態以在13.5

nm之一波長或5 nm之波長處或接近該等波長處操作。在一般意義上，儘管未圖解說明，但檢視系統900可包含適用於檢視一或多個晶圓、光罩或光遮罩之任一檢視系統。

在又一態樣中，檢視系統900可包含一照明源902、配備有一以內插器為基礎的成像裝置906之一偵測器904及一分光器910。本文中認識到，如本文中先前所闡述及本發明揭示內容通篇所闡述之以內插器為基礎的成像裝置100可用作檢視系統900之一或多個成像裝置906。如此，光敏陣列感測器104及成像裝置100之說明應視為適用於系統900之成像裝置906。在此意義上，成像裝置906之TDI感測器包含安裝於一矽內插器上之一個二維光敏陣列。該矽內插器可包含連接至自光敏陣列輸出之每一行之放大器電路。矽內插器總成可進一步包含用於驅動光敏陣列之時脈及其他控制信號之驅動器、相關雙重取樣及用於將該等放大器之輸出轉換成一數位信號且輸出一串列位元串流之數位轉化器。驅動器及數位轉化器功能可作為電路內建於內插器中，或可由安置於矽內插器上之多個晶粒組成，或兩者之一組合。

照明源902可包含此項技術中習知之任一照明源。舉例而言，照明源106可包含一窄帶光源，諸如一雷射源。作為另一實例，照明源902可包含一寬帶源，諸如一Xenon燈。在進一步實施例中，照明源902可經組態以產生EUV光。舉例而言，EUV光源可包含經組態以產生在EUV範圍中之光之一放電引發電漿(DPP)光源或一雷射引發電漿

(LPP)光源。舉例而言，EUV照明源可產生在13.5 nm之一波長或5 nm之波長處或接近該等波長處之光。

在某些實施例中，如圖9中所圖解說明，照明源902可經組態以將光引導至一分光器910。繼而，分光器910可經組態以將來自照明源902之光引導至安置於樣本載台912上之晶圓908之表面。此外，分光器910可經組態以將自晶圓908反射之光透射至偵測器904。

偵測器904可包含此項技術中習知之任一適當偵測器。在一項態樣中，偵測器904可包含一以電荷耦合裝置為基礎的偵測器。就這一點而言，偵測器904可併入有如本發明揭示內容通篇所闡述之成像裝置100及光敏陣列感測器104。在其他實施例中，偵測器904可經組態以併入有經連續配置之多個陣列感測器。舉例而言，偵測器904可併入有感測器模組陣列，諸如本文中先前所闡述之感測器模組陣列700、800及850。

在另一實施例中，偵測器904之輸出可以通信方式耦合至一或多個計算系統914。就這一點而言，一或多個計算系統914可經組態以使用由偵測器904所收集及傳輸之偵測資料來偵測晶圓908上之實際缺陷。一或多個計算系統914可利用此項技術中所習知之任一方法及/或演算法來偵測晶圓上之缺陷。熟習此項技術者應認識到，檢視系統900可用以偵測跨越半導體晶圓分佈之缺陷。舉例而言，檢視系統900可經組態以偵測跨越晶圓908之多個晶粒分佈之多個缺陷。

此外，一或多個計算系統914可以任一適合之方式(例如，藉由由圖9中所展示之虛線指示之一或多個傳輸媒體，其可包含此項技術中所習知之任一適合之傳輸媒體)耦合至偵測器904，以使得計算系統914可接收由偵測器904產生之輸出。此外，若檢視系統900包含一個以上偵測器(未展示)，則一或多個計算系統914可如上文所闡述耦合至每一偵測器。在又一實施例中，晶圓908可安置於一樣本載台912上。樣本載台912可包含此項技術中所習知之任一適當機械及/或機器人總成。

在又一實施例中，檢視系統900可經組態以接受來自系統900之另一子系統之指令以便動態識別半導體晶圓908之缺陷。舉例而言，檢視系統900可接受來自系統900之一或多個計算系統914之指令。在接收到來自一或多個計算系統914之指令時，檢視系統900即可在所提供之指令中識別之半導體晶圓908之位置處執行一檢視處理程序。一或多個計算系統914可經組態以執行本文中所闡述之實施例中之任一者之任何(一或多個)其他步驟。

在另一實施例中，系統900之一或多個計算系統914可經組態以藉由可包含有線及/或無線部分之一傳輸媒體自其他系統接收及/或獲取資料或資訊(例如，來自一額外檢視系統之檢視結果或來自一量測系統之量測結果)。以此方式，傳輸媒體可用作系統900之一或多個計算系統914與其他子系統之間的一資料鏈結。此外，一或多個計算系統914可將資料經由一傳輸媒體發送至外部系統。

一或多個計算系統914可包含(但不限於)一個人電腦系統、主機電腦系統、工作站、影像電腦、平行處理器或此項技術中所習知之任一其他裝置。一般而言，術語「計算系統」可廣義地定義為囊括具有執行來自一記憶體媒體之指令之一或多個處理器之任一裝置。

實施諸如本文中所闡述之彼等方法之方法之程式指令918可經由載體媒體916傳輸或儲存於載體媒體916上。載體媒體916可係一傳輸媒體，諸如一導線、纜線或無線傳輸鏈結。該載體媒體916亦可包含諸如一唯讀記憶體、一隨機存取記憶體、一磁碟或光碟或一磁帶之一儲存媒體。

雖然已展示並闡述了本文中所闡述之本發明標的物之特定態樣，但熟習此項技術者將基於本文中之教示而明瞭：可在不背離本文中所闡述之標的物及其較廣闊態樣之情形下作出改變及修改，且因此，隨附申請專利範圍欲將所有此等改變及修改囊括於其範疇內，如同此等改變及修改歸屬於本文中所闡述之標的物之真正精神及範疇內一般。此外，應理解，本發明係由隨附申請專利範圍定義。

【圖式簡單說明】

圖1A圖解說明根據本發明之一實施例之一以內插器為基礎的成像裝置之一剖面示意圖。

圖1B圖解說明根據本發明之一實施例之一以內插器為基礎的成像裝置之一俯視圖。

圖1C圖解說明根據本發明之一實施例之一TDI陣列感測器之一俯視圖。

圖2圖解說明根據本發明之一實施例之一以內插器為基礎的成像裝置之一剖面圖。

圖3圖解說明根據本發明之一實施例之一以內插器為基礎的光敏陣列感測器之一電荷轉換放大器。

圖4A圖解說明根據本發明之一實施例之一以內插器為基礎的成像裝置之選擇電路元件之一處理鏈。

圖4B圖解說明根據本發明之一實施例用於以內插器為基礎的成像裝置之時脈信號之內插器之一或多個緩衝器及驅動器。

圖4C圖解說明根據本發明之一實施例用於以內插器為基礎的成像裝置之控制信號之內插器之一或多個緩衝器及驅動器。

圖5圖解說明根據本發明之一實施例用以驅動成像裝置之光敏陣列感測器之一多相時脈信號。

圖6A圖解說明根據本發明之一實施例之TDI感測器模組之一俯視圖。

圖6B圖解說明根據本發明之一實施例之TDI感測器模組之一側視圖。

圖6C圖解說明根據本發明之一實施例之TDI感測器模組之一側視圖。

圖7圖解說明根據本發明之一實施例之一TDI感測器模組陣列之一俯視圖。

圖8A圖解說明根據本發明之一實施例之一TDI感測器模組陣列之一俯視圖。

圖 8B 圖解說明根據本發明之一實施例之一非矩形 TDI 感測器模組陣列之一俯視圖。

圖 9 圖解說明根據本發明之一實施例具有併入有一以內插器為基礎的成像裝置之一偵測器之一檢視系統。

【主要元件符號說明】

100	裝置/成像裝置/成像感測器裝置/影像感測裝置
102	內插器/矽內插器
104	感光陣列感測器/感測器/光敏陣列感測器/陣列感測器/影像感測器/光敏陣列偵測器/光敏影像感測器/成像感測器/光感測器陣列/光敏陣列/光敏感測器/時域積分感測器
106	驅動器電路/照明源/數位轉化器/驅動器
108	驅動器電路/數位轉化器電路/數位轉化器/轉換電路
110	基板
112	互連件
114	像素閘極驅動器電路元件
115	光學收發器
116	焊料球/焊料凸塊或銅柱
120	電荷轉換放大器/放大器/輸出
121	成像區
122	像素行
123	通道截斷
201	晶圓

202	互連層
203	晶圓
204	襯墊
205	底部/底部表面
206	導電導通體/導通體
208	導電互連件
210	穿晶圓導通體
212	襯墊
214	焊料球
302	連接/輸入
304	電晶體
306	參考電壓
308	重設
310	感測節點電容器/電容器
312	電晶體
314	電晶體
316	電阻器
318	電阻器
320	輸出
404	緩衝器
406	相關雙重取樣模組/雙重相關取樣模組
408	類比轉數位轉換器
410	先入先出緩衝器
412	輸入

414	多工器
416	處理鏈/輸入
418	輸入
420	輸入
422	串列轉換器及驅動器/串列資料驅動器/高速串 列驅動器
424	輸出連接器/串列輸出
430	時脈信號
432	時脈驅動器/驅動器
434	信號
440	控制信號
442	緩衝器/驅動器
444	信號
600	感測器模組/模組/影像感測器模組/光敏感測器 模組/時域積分感測器模組
602	時域積分感測器/感測器
604	處理電路
606	時序及串列驅動電路
608	像素閘極驅動器電路
610	光纖
612	資料收發器
614	檢視組件
700	模組陣列/感測器模組陣列/陣列/影像感測器模 組陣列

702	上部列
704	下部列
706	時域積分影像掃描方向
800	模組陣列/感測器模組陣列/陣列/影像感測器模 組陣列
802	列
804	列
806	列
850	模組陣列/感測器模組陣列/陣列/非矩形影像感 測器陣列/非矩形影像感測器模組陣列
852	內插器
854	列
856	列
900	檢視系統/系統
902	照明源
904	偵測器
906	成像裝置
908	晶圓/半導體晶圓
910	分光器
912	樣本載台
914	計算系統
916	載體媒體
918	程式指令
V_{REF}	參考電壓

七、申請專利範圍：

1. 一種以內插器為基礎的影像感測裝置，其包括：

105年9月26日修正本

至少一個內插器，其安置於一基板之一表面上；

至少一個感光陣列感測器，其安置於該至少一個內插器上，該至少一個感光陣列感測器經背部薄化，該至少一個感光陣列感測器經組態用於背部照明，該至少一個感光陣列感測器包含複數個像素行，該至少一個內插器定位在該基板與該至少一個感光陣列感測器之間；

至少一個放大電路元件，其經組態以放大該至少一個感光陣列感測器之一輸出，該至少一個放大電路以操作方式連接至該內插器；

至少一個類比轉數位轉換電路元件，其經組態以將該至少一個感光陣列感測器之一輸出轉換成一數位信號，該至少一個類比轉數位轉換電路以操作方式連接至該內插器；

至少一個驅動器電路元件，其經組態以驅動該至少一個感光陣列感測器之一時脈信號或控制信號中之至少一者，該至少一個驅動器電路元件以操作方式連接至該內插器；及

至少一個額外電路元件，其以操作方式連接至該一或多個內插器，該內插器經組態以電耦合該至少一個感光陣列感測器、該一或多個放大電路、該一或多個轉換電路、該一或多個驅動器電路或該一或多個額外電路中之至少兩者。

2. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個放大電路元件係在該內插器上製造。
3. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個類比轉數位轉換電路元件、該至少一個驅動器電路元件或該至少一個額外電路元件中之至少一者係在該內插器上製造。
4. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個類比轉數位轉換電路元件、該至少一個驅動器電路元件或該至少一個額外電路元件中之至少一者係在一單獨晶粒中製造且安置於該內插器上。
5. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個放大器耦合至該感光陣列感測器之一第一像素行之一輸出。
6. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個放大器耦合至該至少一個感光陣列感測器之一第一像素行之一輸出及/或耦合至該至少一個感光陣列感測器之至少一第二像素行。
7. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個放大器包括：
至少一個電荷轉換放大器。
8. 如請求項1之以內插器為基礎的影像感測裝置，其中安置於該至少一個內插器上之該至少一個感光陣列感測器包括：
兩個或兩個以上感測陣列感測器，其安置於一單個內

插器上。

9. 如請求項8之以內插器為基礎的影像感測裝置，其中安置於一單個內插器上之該兩個或兩個以上感測陣列感測器包括：

兩個或兩個以上感測陣列感測器，其安置於一單個內插器上，該兩個或兩個以上感測陣列感測器配置成一矩形柵格圖案。

10. 如請求項8之以內插器為基礎的影像感測裝置，其中安置於一單個內插器上之該兩個或兩個以上感測陣列感測器包括：

兩個或兩個以上感測陣列感測器，其安置於一單個內插器上，該兩個或兩個以上感測陣列感測器配置成一非矩形柵格圖案。

11. 如請求項10之以內插器為基礎的影像感測裝置，其中該兩個或兩個以上感測陣列感測器安置於一單個內插器上，該兩個或兩個以上感測陣列感測器配置成一非矩形柵格圖案，該設備包括：

兩個或兩個以上感測陣列感測器，其安置於一單個內插器上，該兩個或兩個以上感測陣列感測器配置成一非矩形柵格圖案，該非矩形柵格圖案包含一第一系列之感測陣列感測器及一第二系列之感測陣列感測器，其中來自該第一系列之感測陣列感測器之一影像資料串流與來自該第二系列之感測陣列感測器之一影像資料串流交錯。

12. 如請求項1之以內插器為基礎的影像感測裝置，其中安置於該至少一個內插器上之該至少一個感光陣列感測器包括：

一第一感測陣列感測器，其安置於一第一內插器上，及至少一第二感測陣列，其安置於至少一第二內插器上，該第一內插器與該至少一第二內插器係連續地配置。

13. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個感光感測器陣列包括：

至少一個以電荷耦合裝置(CCD)為基礎的感光感測器陣列。

14. 如請求項13之以內插器為基礎的影像感測裝置，其中該至少一個以電荷耦合裝置為基礎的感光感測器陣列包括：

至少一個以時域積分(TDI)為基礎的感光感測器陣列。

15. 如請求項1之以內插器為基礎的影像感測裝置，其中該至少一個感光感測器陣列包括：

至少一個感光陣列，其具有至少500個像素行。

16. 如請求項1之以內插器為基礎的影像感測裝置，其進一步包括：

一紫外線(UV)抗反射塗層，其安置於該至少一個感光感測器陣列之一表面上。

17. 如請求項16之以內插器為基礎的影像感測裝置，其中安置於該至少一個感光感測器陣列之一表面上之該紫外線

(UV)抗反射塗層包括：

一熱氧化物層，該熱氧化物層生長於該內插器之一表面上。

18. 如請求項17之以內插器為基礎的影像感測裝置，其進一步包括：

一或多個介電層，其安置於該熱氧化物層之一表面上。

19. 如請求項1之以內插器為基礎的影像感測裝置，其中該內插器包括：

一矽內插器。

20. 如請求項1之以內插器為基礎的影像感測裝置，其進一步包括：

一支撐結構，其定位於該至少一個感光陣列感測器與該至少一個內插器之間，其中該支撐結構經組態以便為該至少一個感光陣列感測器提供支撐。

21. 如請求項20之以內插器為基礎的影像感測裝置，其中該支撐結構包括：

複數個焊料球。

22. 如請求項20之以內插器為基礎的影像感測裝置，其中該支撐結構包括：

一數量之環氧樹脂。

23. 如請求項1之以內插器為基礎的影像感測裝置，其中該基板具有高於一選定值之一熱導率。

24. 如請求項23之以內插器為基礎的影像感測裝置，其中該

基板包括：

一陶瓷基板。

25. 如請求項1之以內插器為基礎的影像感測裝置，其中該基板安置於一印刷電路板上。

26. 如請求項1之以內插器為基礎的影像感測裝置，其中該基板經組態以在該內插器與一印刷電路板或一或多個插座中之至少一者之間提供一介面。

27. 一種用於製造一以內插器為基礎的感光陣列感測器裝置之方法，該方法包括：

提供一基板；

將至少一個內插器安置於該基板之一表面上；及

將一感光陣列感測器安置於該至少一個內插器之一表面上以使得該至少一個內插器定位在該基板與至少一個該感光陣列感測器之間，該感光陣列感測器經背部薄化且經組態用於背部照明，

該至少一個內插器包括以下各項中之至少一者：一或多個放大電路元件，其經組態以放大該一或多個感光陣列感測器之一輸出；一或多個類比轉數位轉換電路元件，其經組態以將該一或多個感光陣列感測器之一輸出轉換成一數位信號；或一或多個驅動器電路元件；或一或多個額外電路元件。

28. 一種檢視系統，其包括：

一照明源，其經組態以朝向安置於一樣本載臺上之一目標物件之一表面引導照明；

一偵測器，該偵測器包括至少一個感光陣列裝置，該至少一個感光陣列裝置包括安置於至少一個內插器上之經背部薄化之至少一個感光陣列感測器，經背部薄化之該至少一個感光陣列感測器進一步經組態用於背部照明，該至少一個內插器定位在該基板與該至少一個感光陣列感測器之間，該至少一個內插器包括一或多個放大電路元件、一或多個類比轉數位轉換電路元件、一或多個驅動器電路元件或一或多個額外電路元件中之至少一者；

一組聚焦光學器件，其經組態以將照明聚焦至該目標物件之該表面上；及

一組集光光學器件，其經組態以將自該目標物件之該表面反射之照明引導至該偵測器。

29. 如請求項28之檢視系統，其中該檢視系統包括一明視場檢視系統或一暗視場檢視系統中之至少一者。
30. 如請求項28之檢視系統，其中該照明系統經組態以產生紫外線(UV)光、深UV光、極UV(EUV)光或超UV光中之至少一者。
31. 如請求項28之檢視系統，其中該一或多個驅動器電路元件經組態以藉助大於4伏特之一電壓擺動來操作。
32. 如請求項28之檢視系統，其中該一或多個驅動器電路元件經組態以藉助負電壓位準及正電壓位準兩者來操作。
33. 如請求項28之檢視系統，其中該目標物件包括：
 - 一半導體晶圓。

八、圖式：

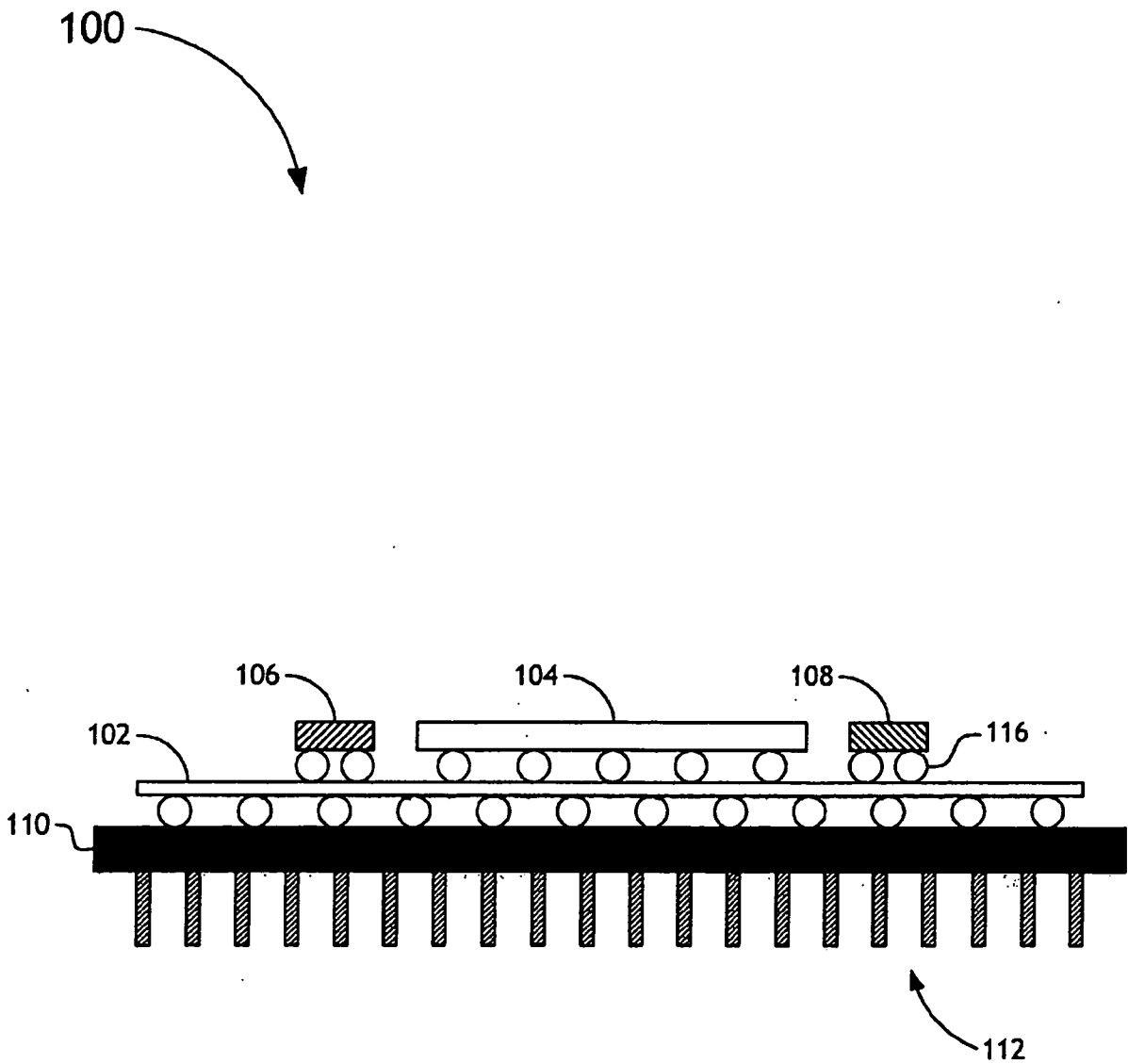


圖 1A

100

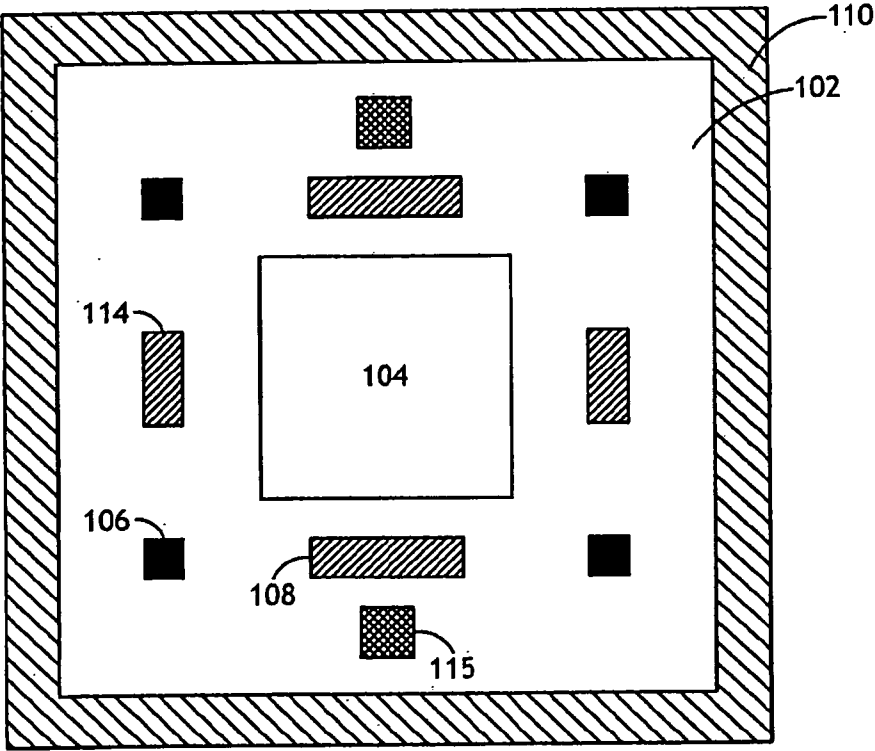


圖 1B

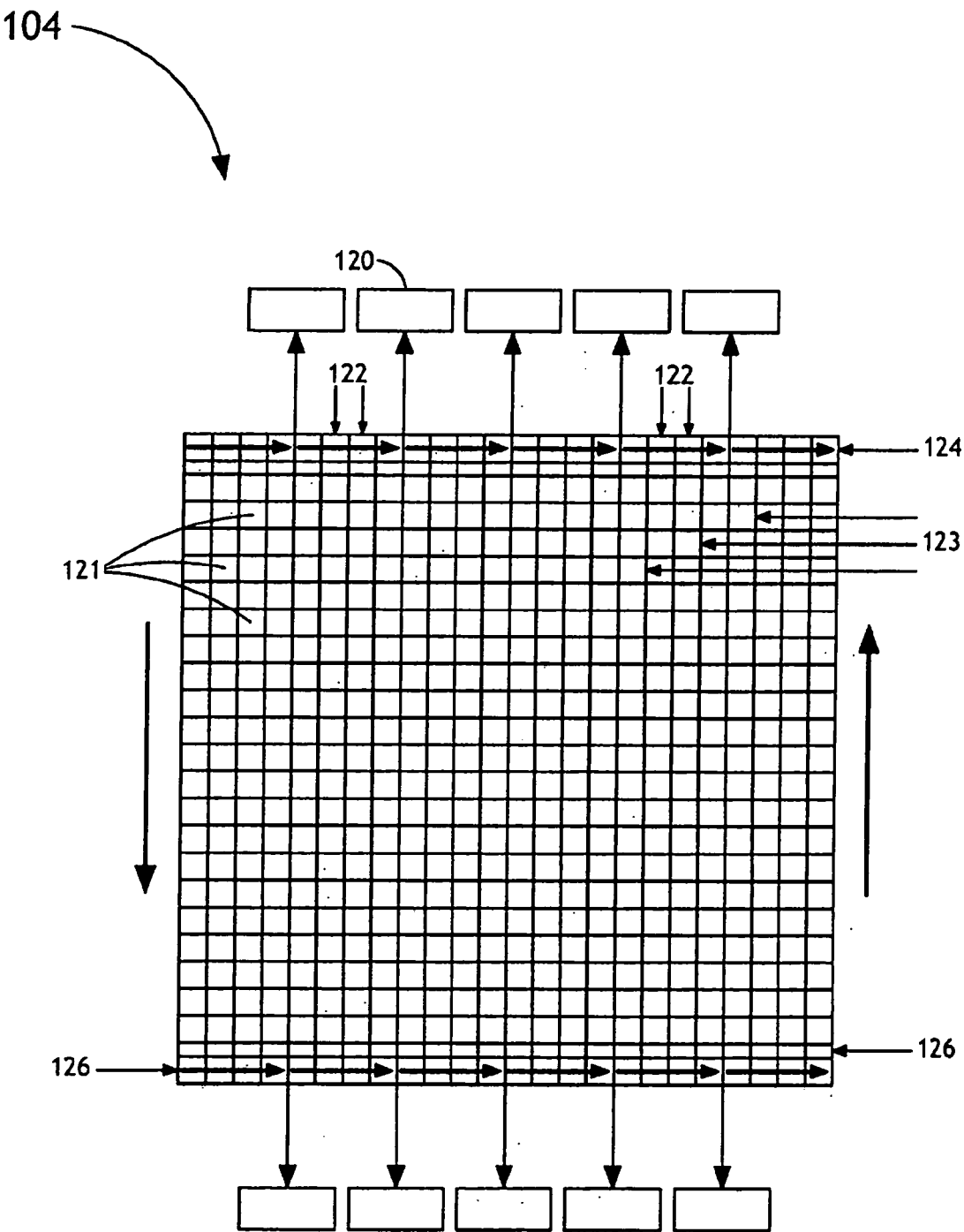


圖 1C

102

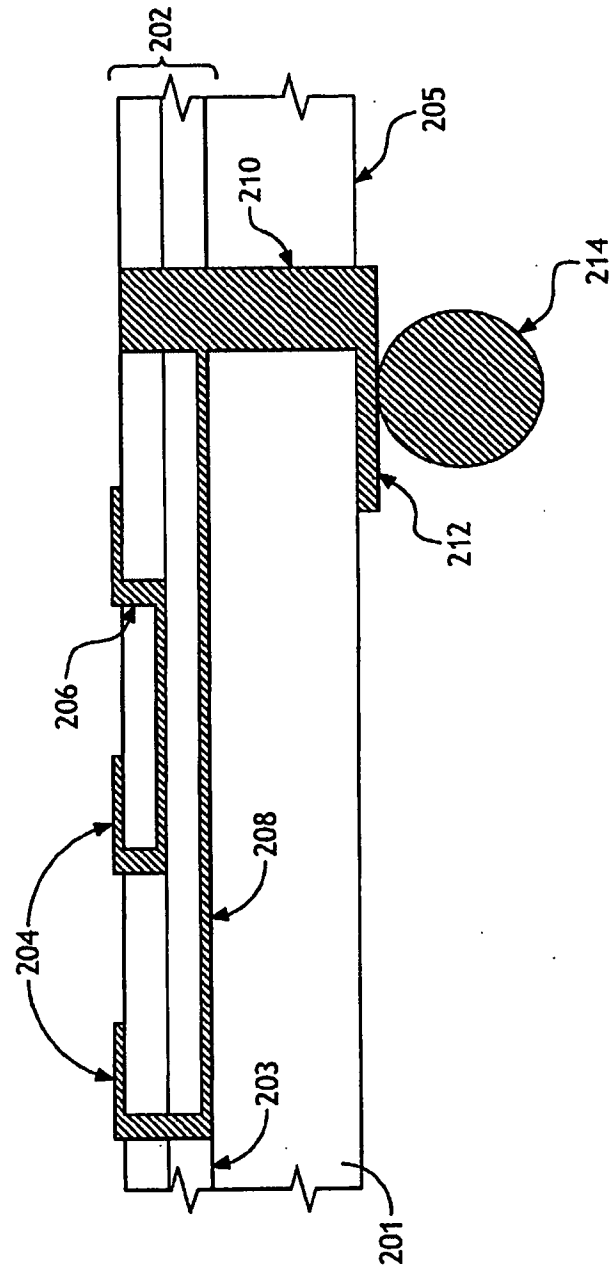


圖2

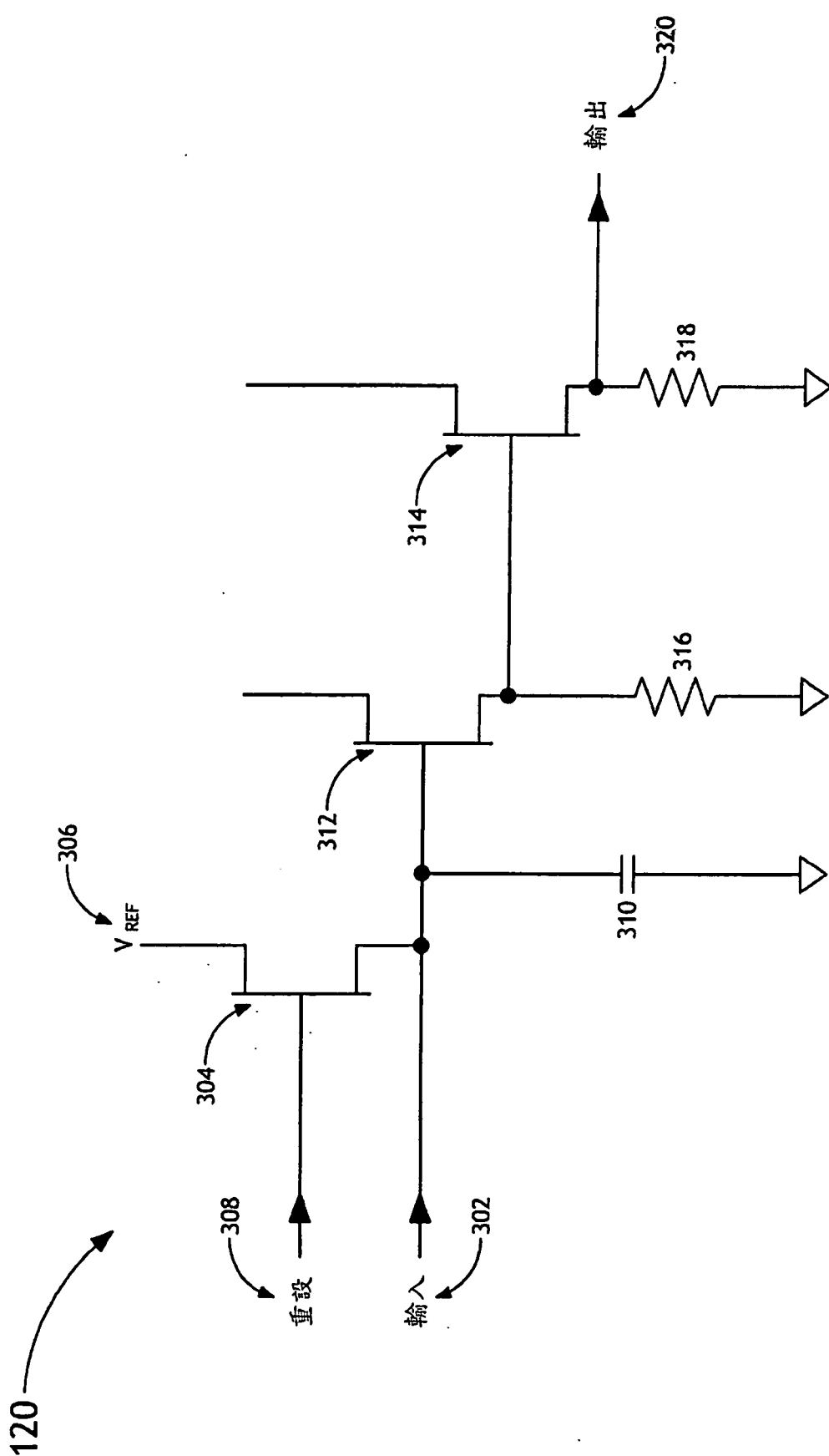


圖 3

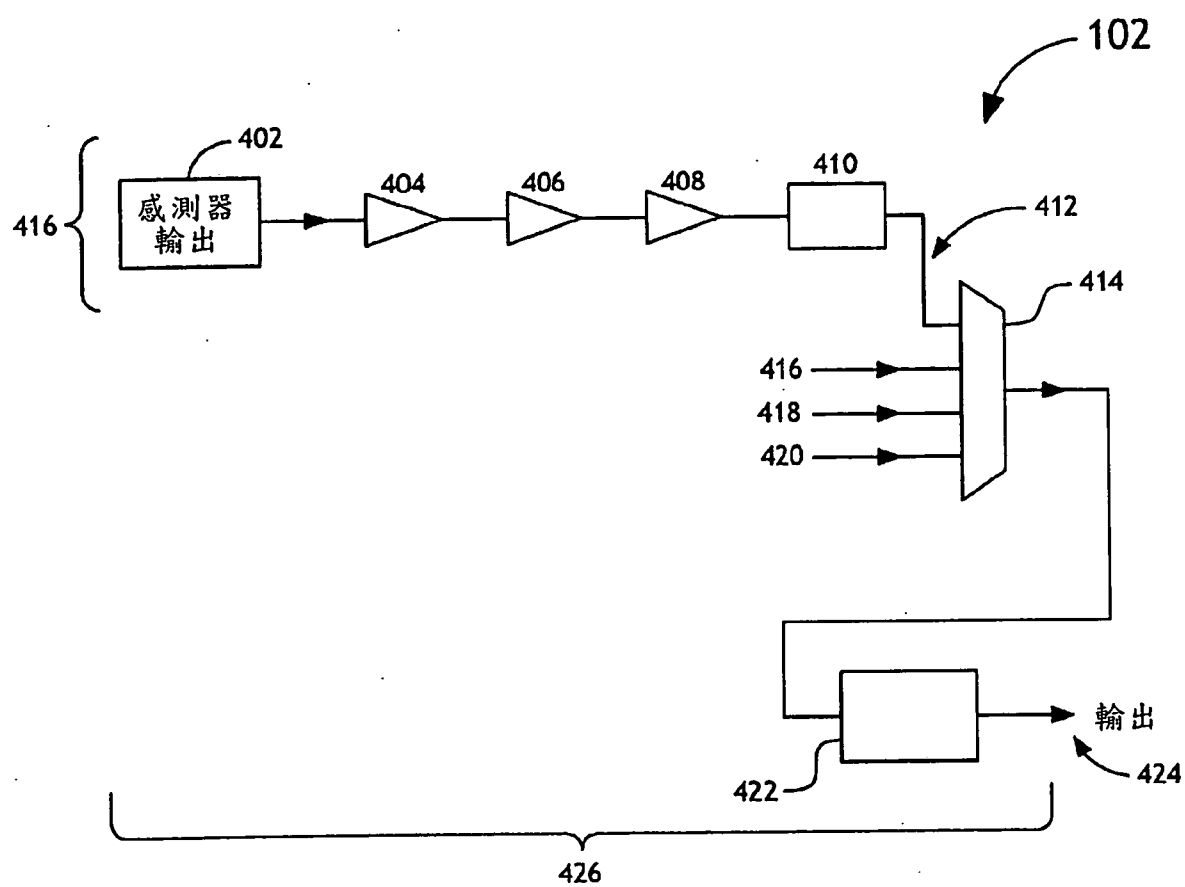


圖 4A

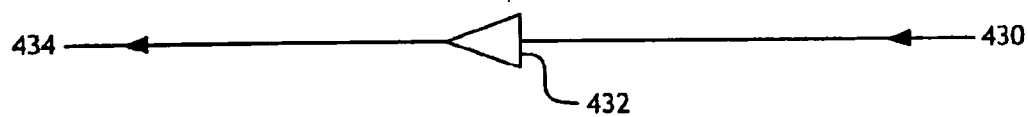


圖 4B

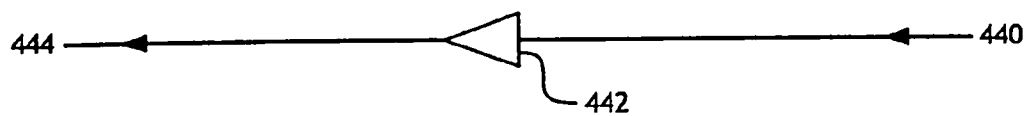


圖 4C

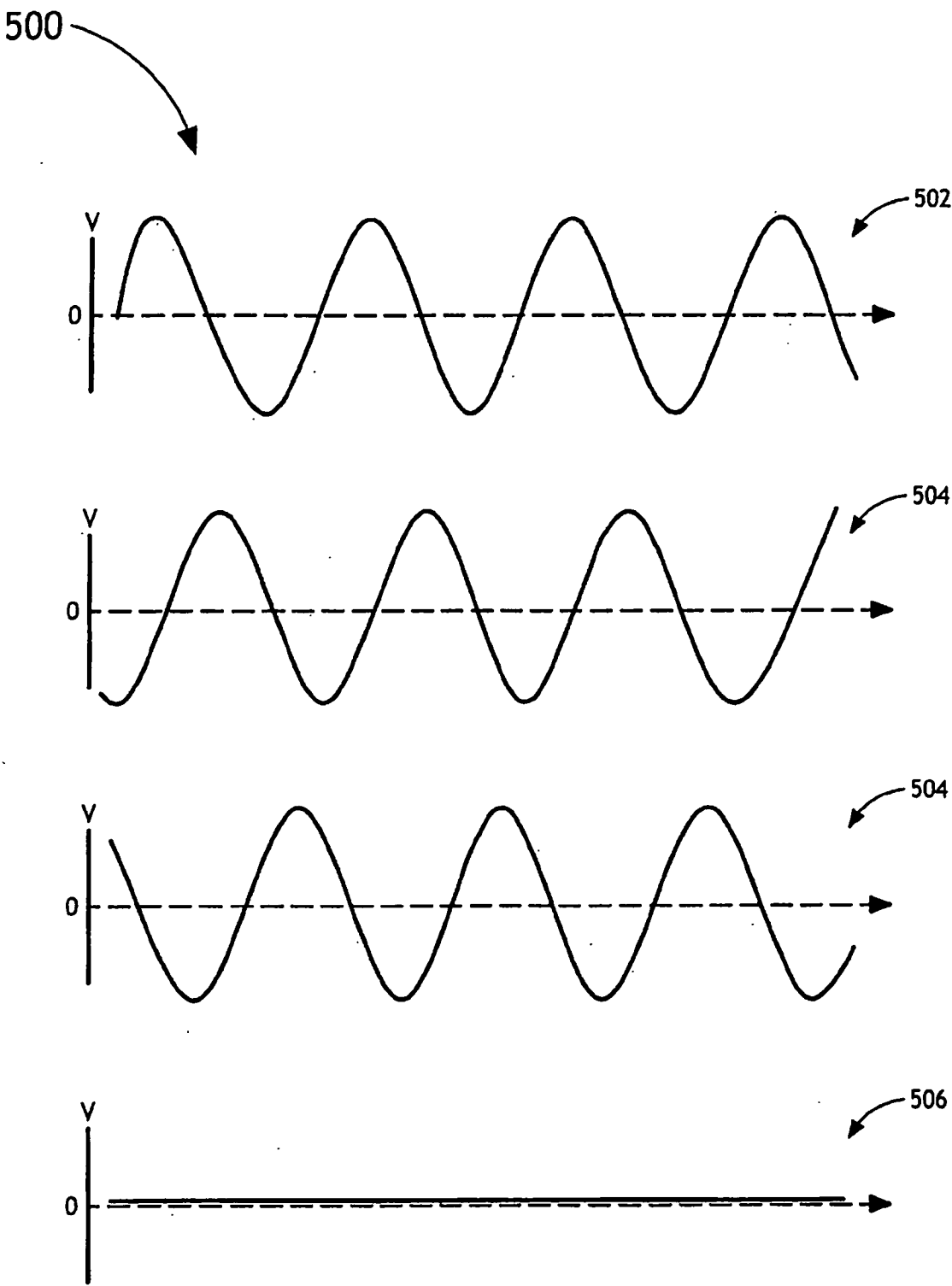


圖 5

600

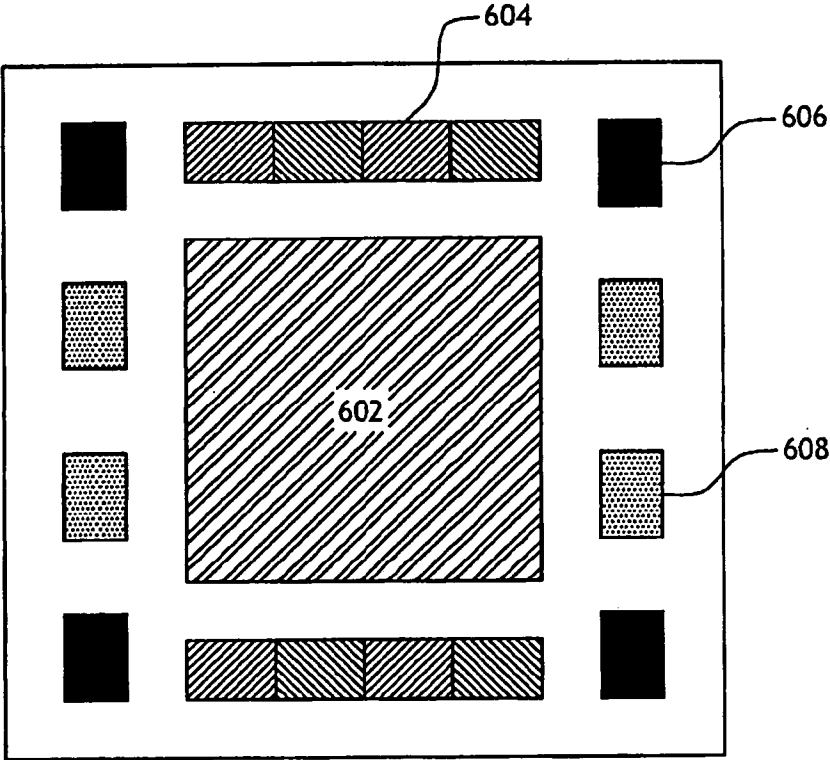


圖 6A

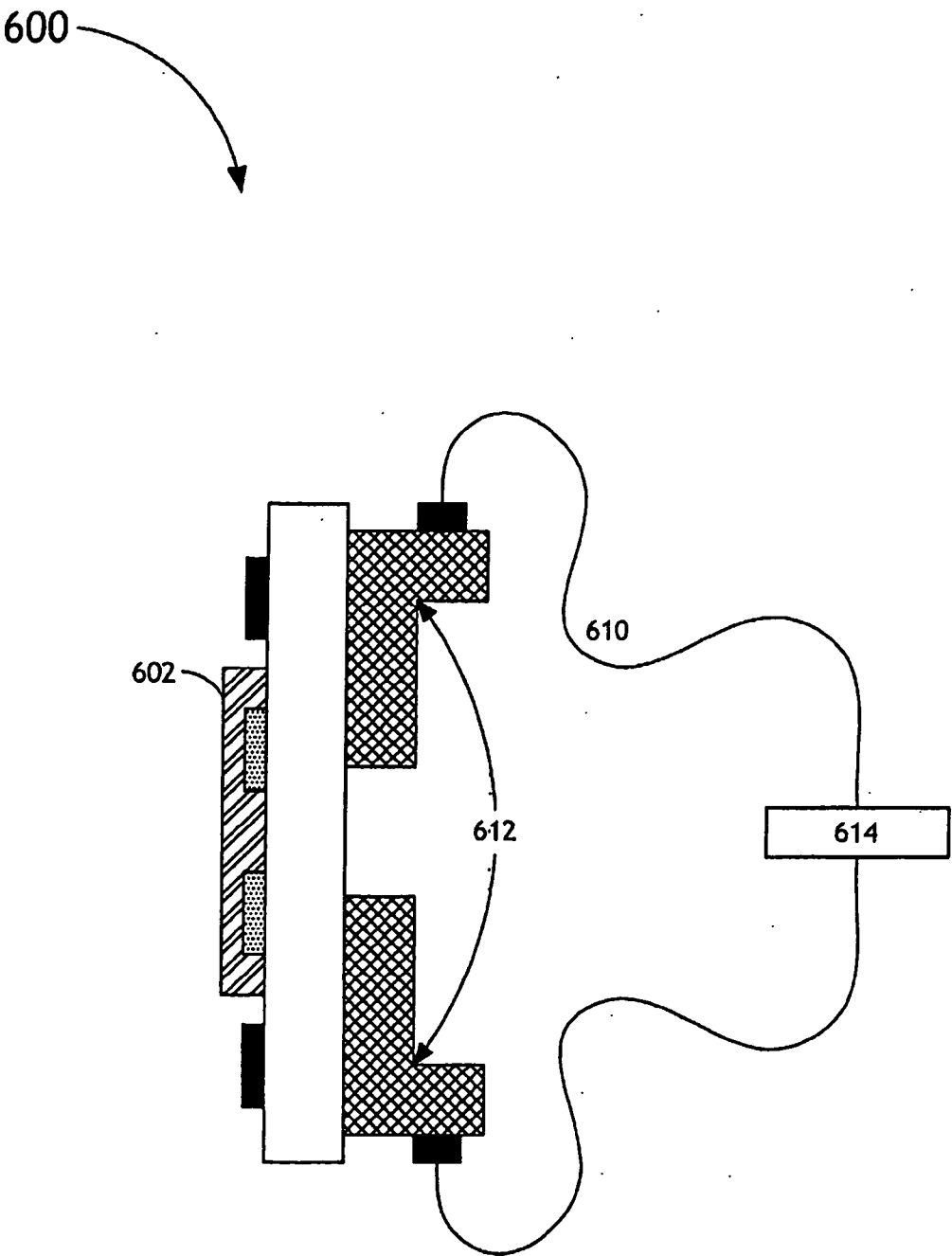


圖 6B

650

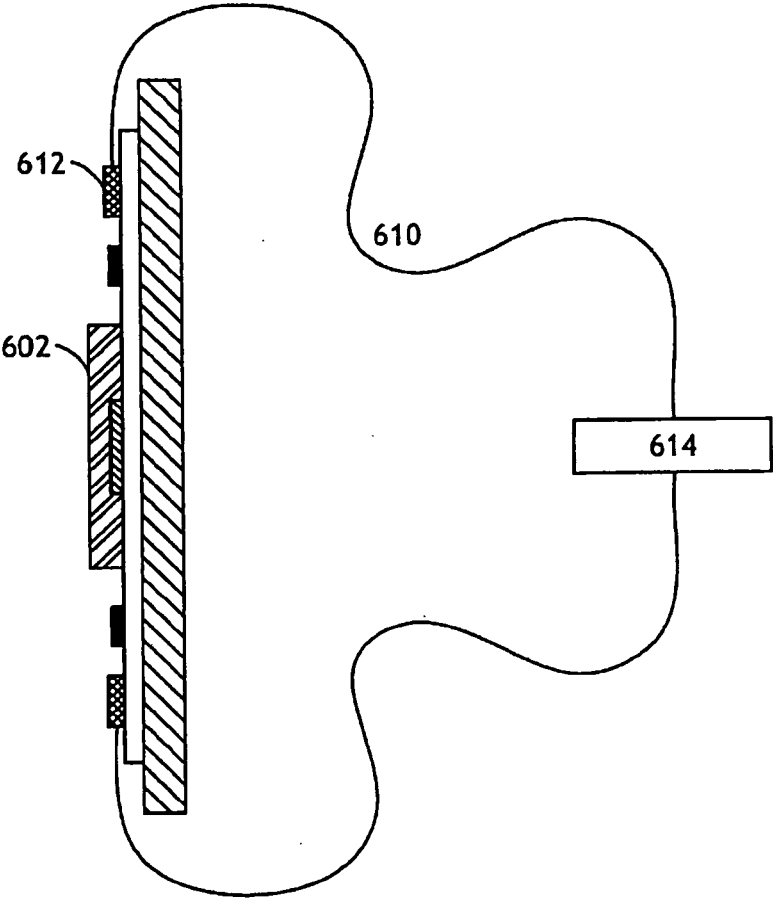
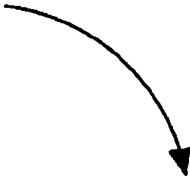


圖 6C

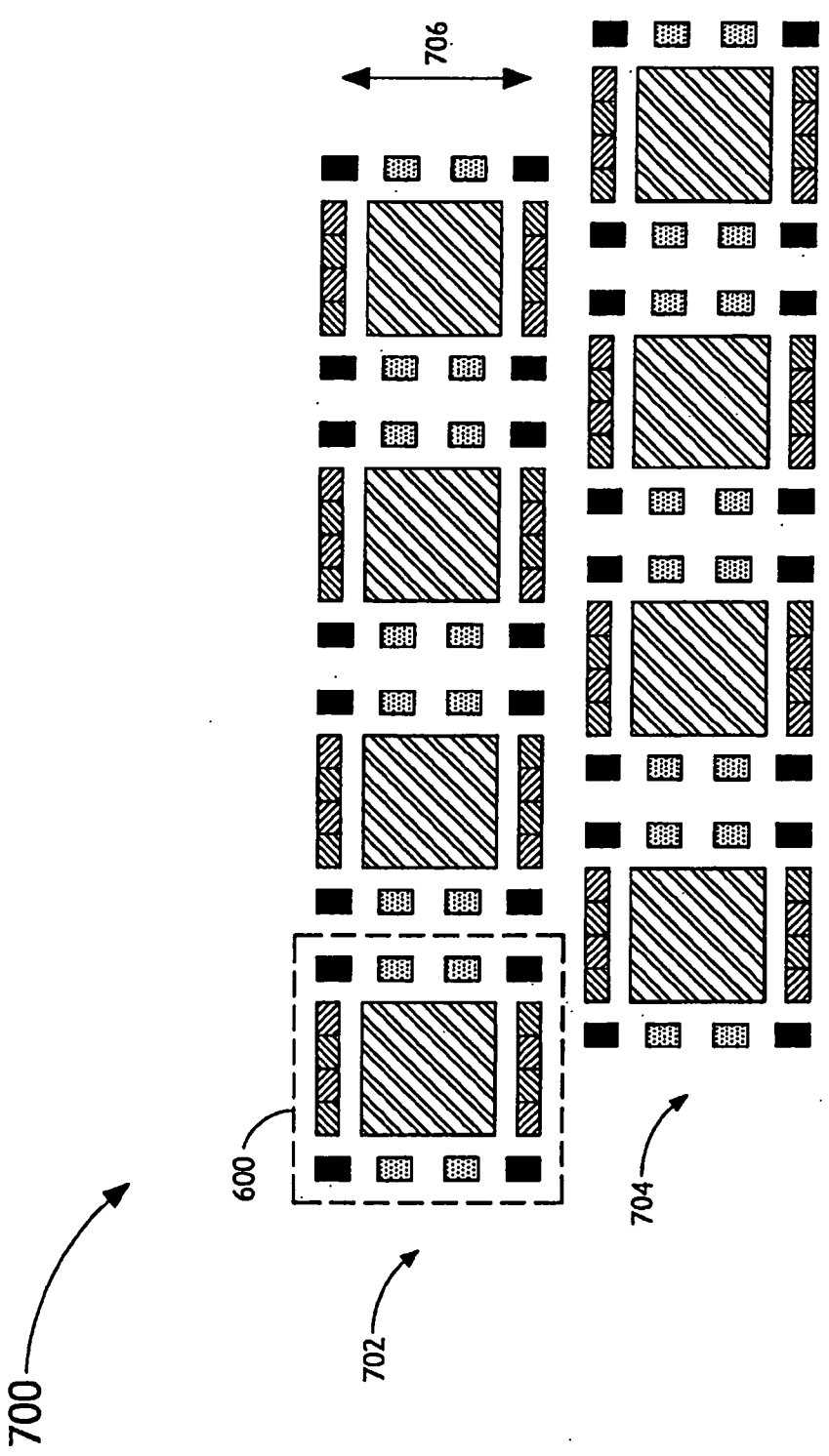


圖7

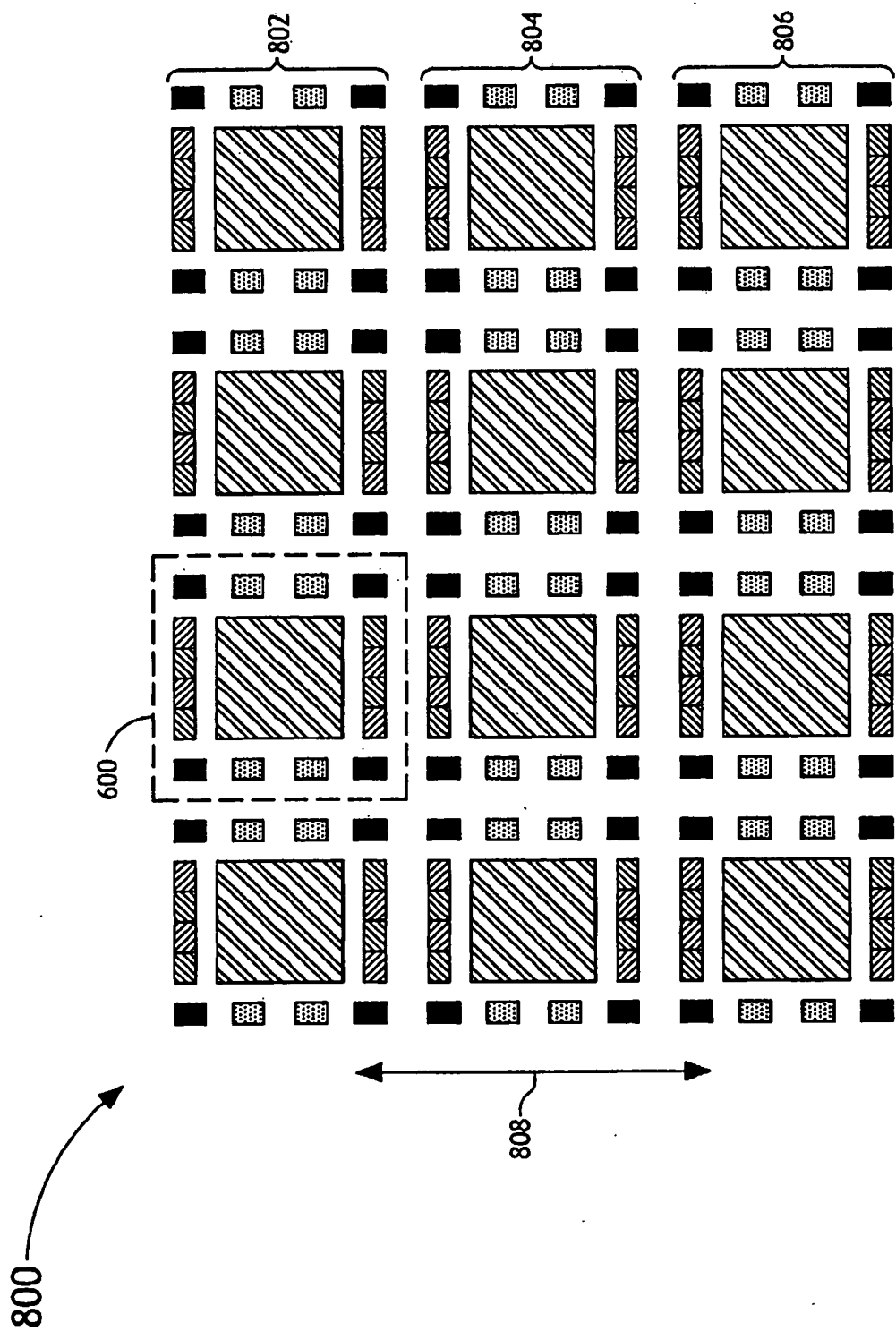


圖 8A

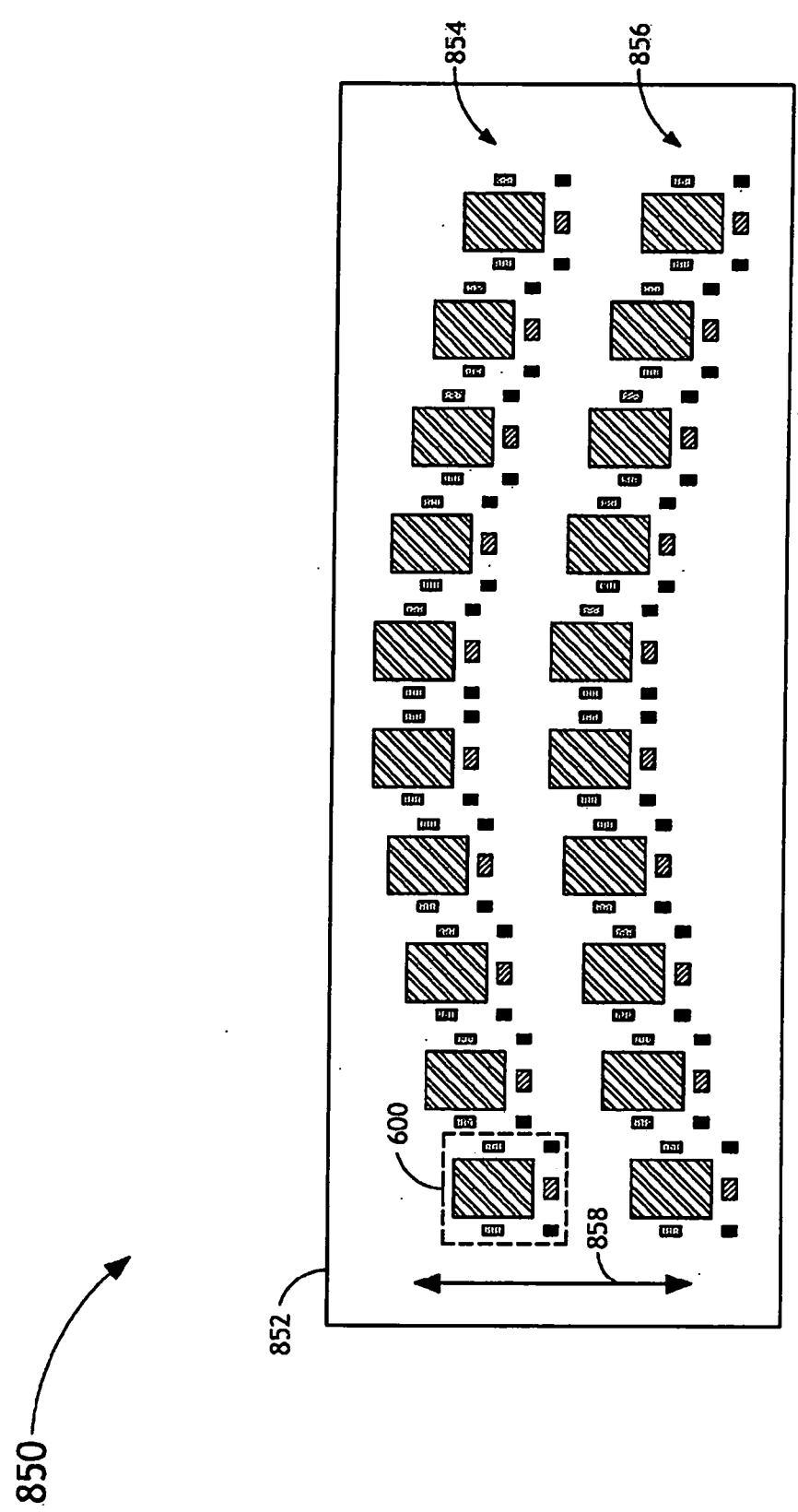


圖 8B

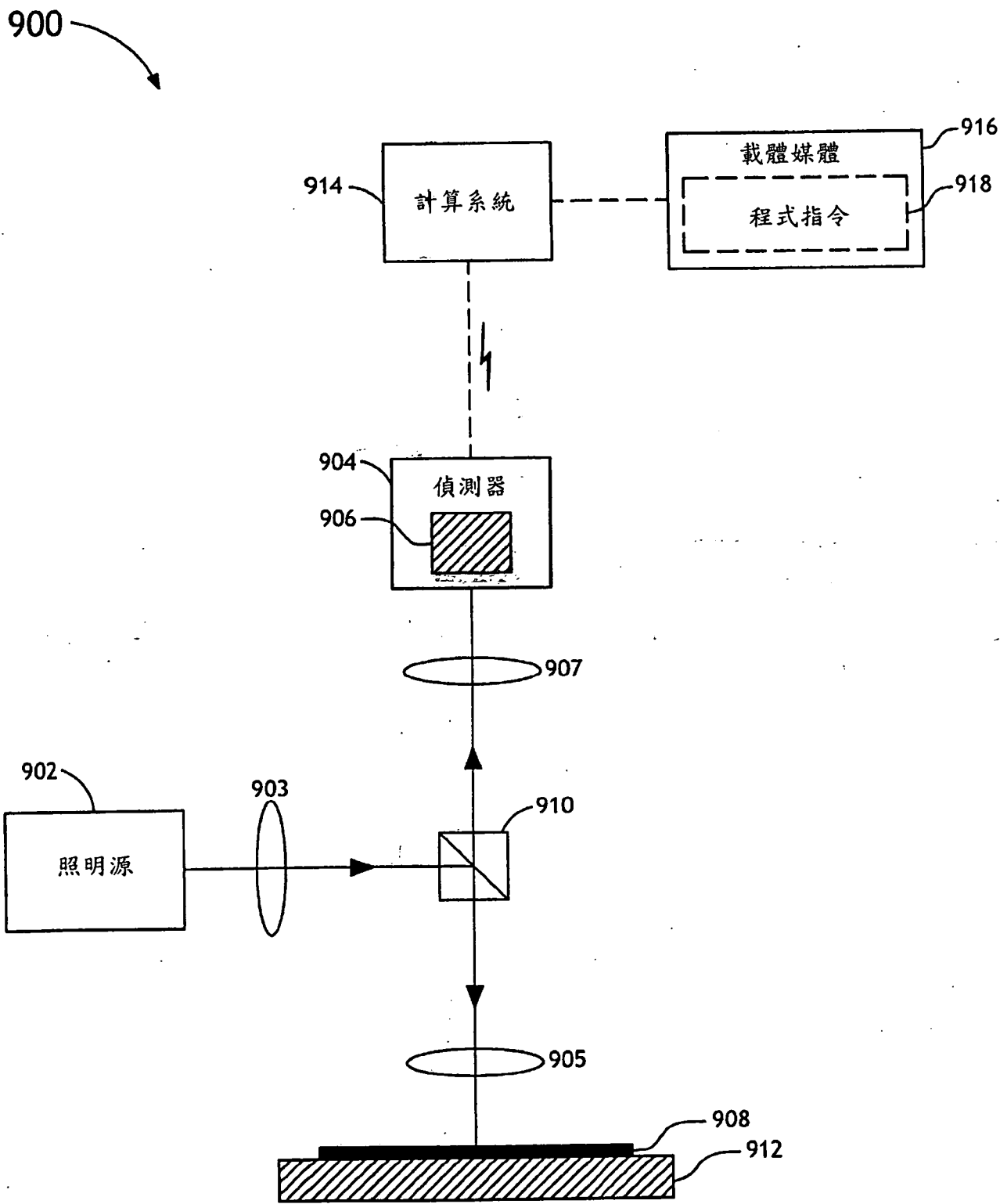


圖9