

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2017년 2월 2일 (02.02.2017)



(10) 국제공개번호  
**WO 2017/018706 A1**

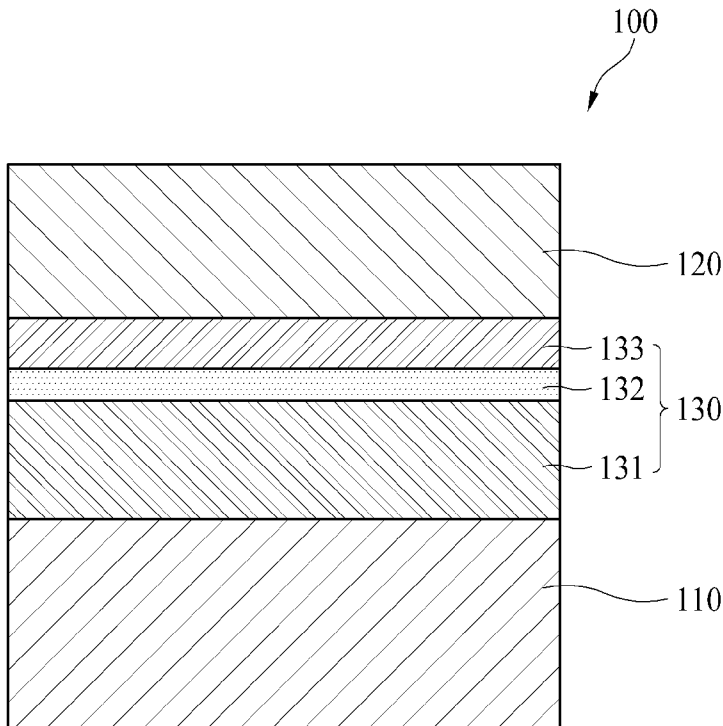
- (51) 국제특허분류:  
H01L 27/108 (2006.01) H01L 21/203 (2006.01)  
H01L 49/02 (2006.01) H01L 21/02 (2006.01)  
H01L 21/31 (2006.01)
- (21) 국제출원번호: PCT/KR2016/007783
- (22) 국제출원일: 2016년 7월 18일 (18.07.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:  
10-2015-0106099 2015년 7월 27일 (27.07.2015) KR  
10-2015-0155265 2015년 11월 5일 (05.11.2015) KR
- (71) 출원인: 주성엔지니어링(주) (JUSUNG ENGINEERING CO., LTD.) [KR/KR]; 12773 경기도 광주시 오폭읍 오폭로 240, Gyeonggi-do (KR).
- (72) 발명자: 서동원 (SEO, Dong Won); 12773 경기도 광주시 오폭읍 오폭로 240, Gyeonggi-do (KR). **박재찬 (KWAK, Jae Chan)**; 12773 경기도 광주시 오폭읍 오폭로 240, Gyeonggi-do (KR). **조병하 (CHO, Byoung Ha)**; 12773 경기도 광주시 오폭읍 오폭로 240, Gyeonggi-do (KR).

- (74) 대리인: 특허법인 천문 (ASTRAN INT'L IP GROUP); 06225 서울시 강남구 역삼로 233, 5층 (역삼동, 신성빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: CAPACITOR DEPOSITION APPARATUS AND DEPOSITION METHOD OF DIELECTRIC FILM USING SAME

(54) 발명의 명칭 : 커패시터 증착 장치와 이를 이용한 유전막 증착 방법



(57) Abstract: The embodiment of the present invention relates to a method for manufacturing a capacitor having a high dielectric constant, which can prevent surface deterioration of a dielectric film due to a vacuum break and prevent the quality of the dielectric film from lowering due to physical stress generated from the case of unloading and loading a semiconductor substrate

(57) 요약서: 본 발명의 실시예는 진공 브레이크 (vacuum break)로 인해 유전막의 표면이 열화되는 것을 방지할 수 있고, 반도체 기판을 언로딩 및 로딩하는 경우 발생하는 물리적 스트레스로 인해 유전막의 질이 낮아지는 것을 방지할 수 있는 고유전율의 커패시터의 제조방법에 관한 것이다.

WO 2017/018706 A1



---

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

## 명세서

### 발명의 명칭: 커패시터 증착 장치와 이를 이용한 유전막 증착 방법 기술분야

- [1] 본 발명의 실시예는 커패시터 증착 장치와 이를 이용한 유전막 증착 방법에 관한 것이다.

### 배경기술

- [2] 반도체 소자의 집적도가 점점 증가함에 따라 소자가 구현되는 면적은 점점 감소되고 있다. 반도체 메모리소자, 예를 들어 디램(DRAM) 소자의 경우 소자의 면적이 줄어들더라도 최소한으로 필요한 커패시터의 용량이 확보되어야 한다. 따라서, 소자의 면적 감소로 인한 커패시터의 용량 감소를 보충하기 위한 여러가지 방법들이 연구되고 있다.

- [3] 커패시터의 용량은 수학식 1과 같이 정의된다.

- [4] [수식1]

$$C = \epsilon \frac{A}{t}$$

- [5] 수학식 1에서,  $\epsilon$ 는 유전막의 유전율(dielectric constant), A는 전극의 면적, t는 유전막의 두께를 나타낸다. 커패시터의 용량을 높이기 위해서는 유전율이 높은 물질을 유전막으로 사용하거나, 유전막을 얇게 형성하거나, 전극의 면적을 증가시켜야 한다. 하지만, 앞서 언급하였듯이 최근에는 반도체 소자가 집적도가 높아짐으로써 소자의 면적이 줄어들고 있기 때문에, 전극의 면적을 넓히기는 어려우며, 유전막을 얇게 하거나 유전율이 높은 유전막을 사용함으로써 커패시터의 용량을 높이고 있다.

- [6] 한편, 커패시터는 하부 전극인 제1 전극, 상부 전극인 제2 전극, 및 제1 및 제2 전극들 사이에 형성되는 유전막을 포함한다. 제1 전극, 유전막, 및 제2 전극은 각각 서로 다른 챔버에서 형성된다. 이로 인해, 유전막을 형성한 후 제2 전극을 형성하기까지 진공 브레이크(vacuum break)가 존재하며, 이 경우 진공 브레이크 동안 유전막이 대기에 노출되며, 이로 인해, 유전막은 산화되거나 열화될 수 있다.

- [7] 또한, 반도체 기판을 언로딩 및 로딩하는 횟수가 많아질수록 반도체 기판이 받는 물리적 스트레스가 높아질 수 있으며, 이로 인해 유전막의 질이 낮아질 수 있다.

### 발명의 상세한 설명

### 기술적 과제

- [8] 본 발명은 진공 브레이크(vacuum break)로 인해 유전막의 표면이 열화되는 것을 방지할 수 있는 커패시터 증착 장치와 이를 이용한 유전막 증착 방법을 제공한다.

- [9] 또한, 본 발명은 반도체 기판을 언로딩 및 로딩하는 경우 발생하는 물리적 스트레스로 인해 유전막의 질이 낮아지는 것을 방지할 수 있는 커패시터 증착 장치와 이를 이용한 유전막 증착 방법을 제공한다.

### 과제 해결 수단

- [10] 본 발명의 일 실시예에 따른 커패시터 증착 장치는 전극이 형성된 기판 상에 제1 유전막, 제2 유전막, 및 제3 유전막을 형성하는 제1 챔버; 상기 제3 유전막 상에 금속막을 형성하는 제2 챔버; 및 상기 제1 챔버와 상기 제2 챔버를 진공 상태로 연결하는 제3 챔버를 포함한다.
- [11] 본 발명의 일 실시예에 따른 유전막 증착방법은 전극이 형성된 기판 상에 제1 유전막을 형성하는 제1 단계; 상기 제1 유전막 상부에 제2 유전막을 형성하는 제2 단계; 및 상기 제2 유전막 상부에 제3 유전막을 형성하는 제3 단계를 포함하며, 상기 제1 단계, 상기 제2 단계, 및 상기 제3 단계는 동일 챔버에서 진행되는 것을 특징으로 한다.
- [12] 본 발명의 또 다른 실시예에 따른 유전막 증착 방법은 전극이 형성된 기판 상에 제1 유전막을 형성하는 제1 단계; 상기 제1 유전막 상부에 제2 유전막을 형성하는 제2 단계; 상기 제2 유전막 상부에 제3 유전막을 형성하는 제3 단계; 및 상기 제3 유전막 상부에 금속막을 형성하는 제4 단계를 포함하고, 상기 제1 유전막, 상기 제2 유전막, 상기 제3 유전막, 및 상기 금속막은 대기에 노출되지 않고 형성되는 것을 특징으로 한다.
- [13] 상기 제1 단계, 상기 제2 단계, 및 상기 제3 단계는 반복적으로 증착 공정이 진행되는 것을 특징으로 한다.
- [14] 상기 제1 유전막과 상기 제3 유전막은 동일한 물질로 형성되는 것을 특징으로 한다.
- [15] 상기 제1 유전막과 상기 제2 유전막은 동일한 물질로 형성되는 것을 특징으로 한다.
- [16] 상기 제2 유전막과 상기 제3 유전막은 동일한 물질로 형성되는 것을 특징으로 한다.
- [17] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막은 열 공정, 플라즈마 파워가 높은 공정, 및 플라즈마 파워가 낮은 공정 중 하나의 공정으로 형성되는 것을 특징으로 한다.
- [18] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막은 산화막 증착 공정과 질화막 증착 공정 중 어느 하나의 공정으로 형성되는 것을 특징으로 한다.
- [19] 상기 제1 단계와 상기 제2 단계 사이에는 상기 제2 유전막을 플라즈마 처리하는 플라즈마 제1 단계를 더 포함한다.
- [20] 상기 제2 단계와 상기 제3 단계 사이에는 상기 제2 유전막을 플라즈마 처리하는 플라즈마 제2 단계를 더 포함한다.
- [21] 상기 제1 단계와 상기 플라즈마 제1 단계를 반복하는 단계를 더 포함한다.

- [22] 상기 제2 단계와 상기 플라즈마 제2 단계를 반복하는 단계를 더 포함한다.
- [23] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막은 결정 구조가 서로 다른 것을 특징으로 한다.
- [24] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 중 하나 이상을 반복하여 증착하는 것을 특징으로 한다.
- [25] 상기 제1 챔버는 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 것을 특징으로 한다.
- [26] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 각각은, 이산화 규소( $\text{SiO}_2$ ), 제2 유전막( $\text{Al}_2\text{O}_3$ ), 이산화 게르마늄( $\text{GeO}_2$ ), 산화 스트론튬( $\text{SrO}$ ),  $\text{HfSiOx}$ , 산화이트륨( $\text{Y}_2\text{O}_3$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 탄탈륨( $\text{Ta}_2\text{O}_5$ ), 산화 세륨( $\text{CeO}_2$ ), 산화란탄( $\text{La}_2\text{O}_3$ ),  $\text{LaAlO}_3$ , NMD, 이산화 티타늄( $\text{TiO}_2$ ), 및 STO 중에 하나의 물질로 형성되는 것을 특징으로 한다.
- [27] 상기 제3 단계와 상기 제4 단계 사이에는 상기 제3 유전막을 플라즈마 처리하는 플라즈마 제3 단계를 더 포함한다.
- [28] 상기 제3 단계와 상기 플라즈마 제3 단계를 반복하는 단계를 더 포함한다.
- [29] 상기 제1 단계와 상기 제3 단계는 동일 챔버에서 진행된다.
- [30] 본 발명의 또 다른 실시예에 따른 커패시터 증착 장치는 전극이 형성된 기판 상에 제1 유전막과 제3 유전막을 형성하는 제1 챔버; 상기 제1 유전막과 상기 제3 유전막 사이의 제2 유전막을 형성하는 제2 챔버; 상기 제3 유전막 상에 금속막을 형성하는 제3 챔버; 및 상기 제1 챔버, 상기 제2 챔버, 및 상기 제3 챔버를 진공 상태로 연결하는 제4 챔버를 포함한다.
- [31] 상기 제1 챔버의 공정 온도와 상기 제2 챔버의 공정 온도는 서로 다른 것을 특징으로 한다.
- [32] 상기 제1 챔버의 공정 온도는  $350^\circ\text{C}$ 이고, 상기 제2 챔버의 공정 온도는  $410^\circ\text{C}$ 인 것을 특징으로 한다.
- [33] 상기 제1 유전막, 상기 제2 유전막, 상기 제3 유전막, 및 상기 금속막은 대기에 노출되지 않고 형성되는 것을 특징으로 한다.
- [34] 상기 제1 및 제2 챔버들 각각은 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 것을 특징으로 한다.
- [35] 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 각각은, 이산화 규소( $\text{SiO}_2$ ), 제2 유전막( $\text{Al}_2\text{O}_3$ ), 이산화 게르마늄( $\text{GeO}_2$ ), 산화 스트론튬( $\text{SrO}$ ),  $\text{HfSiOx}$ , 산화이트륨( $\text{Y}_2\text{O}_3$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 탄탈륨( $\text{Ta}_2\text{O}_5$ ), 산화 세륨( $\text{CeO}_2$ ), 산화란탄( $\text{La}_2\text{O}_3$ ),  $\text{LaAlO}_3$ , NMD, 이산화 티타늄( $\text{TiO}_2$ ), 및 STO 중에 하나의 물질로 형성되는 것을 특징으로 한다.

### 발명의 효과

- [36] 본 발명의 실시예는 제3 유전막을 형성하는 단계와 제2 전극을 형성하는 단계 사이에 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum

break)가 존재하지 않게 할 수 있다. 그 결과, 본 발명의 실시예는 진공 브레이크(vacuum break)로 인해 유전막의 표면이 열화되는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 제3 유전막과 제2 전극 간의 계면 특성이 저하되는 것을 방지할 수 있으므로, 커패시터의 용량 저하를 방지할 수 있다.

[37] 또한, 본 발명의 실시예는 제1 유전막, 제2 유전막, 제3 유전막, 및 제2 전극을 형성하는 단계 사이에 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break)가 존재하지 않게 할 수 있다. 그 결과, 본 발명의 실시예는 진공 브레이크(vacuum break)로 인해 제1 유전막, 제2 유전막, 및 제3 유전막 각각의 표면이 열화되는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 제1 유전막과 제2 유전막 사이, 제2 유전막과 제3 유전막 사이, 제3 유전막과 제2 전극 사이의 계면 특성이 저하되는 것을 방지할 수 있으므로, 커패시터의 용량 저하를 방지할 수 있다.

[38] 또한, 본 발명의 실시예는 제1 유전막, 제2 유전막, 및 제3 유전막을 동일한 챔버에서 형성하므로, 제1 유전막, 제2 유전막, 제3 유전막을 각각의 챔버에서 형성할 때보다 반도체 기판을 언로딩 및 로딩하는 횟수를 줄일 수 있다. 그 결과, 본 발명의 실시예는 반도체 기판을 언로딩 및 로딩하는 경우 발생하는 물리적 스트레스로 인해 유전막의 질이 낮아지는 것을 방지할 수 있다.

[39] 또한, 본 발명의 실시예는 제1 유전막, 제2 유전막, 및 제3 유전막을 동일한 챔버에서 형성하는데, 제2 유전막을 제2 온도가 아닌 제1 온도에서 형성한다. 본 발명의 실시예는 제2 유전막을 제2 온도에서 형성하는 것이 바람직하나, 제1 온도에서 형성하므로, 제1 및 제2 온도의 차에 해당하는 온도 에너지를 보상하기 위해 제2 유전막(132)을 플라즈마 처리한다. 특히, 본 발명의 실시예는 제2 유전막(132)에 산소 가스를 공급하며 플라즈마 처리하는 경우 온도 에너지를 보상함과 동시에 제2 유전막(132)의 계면을 단단하게 할 수 있다.

[40] 나아가, 본 발명의 실시예는 제1 전극이 형성된 반도체 기판에서 제1 전극의 표면에  $N_2$  플라즈마를 처리한다. 그 결과, 본 발명의 실시예는 제1 전극의 표면의 인터페이스를 개선할 수 있으므로, 제1 전극과 제1 유전막 간에 계면 특성을 개선할 수 있다.

### 도면의 간단한 설명

[41] 도 1은 본 발명의 실시예에 따른 반도체 소자의 커패시터를 보여주는 단면도.

[42] 도 2는 본 발명의 일 실시예에 따른 고유전율의 커패시터 제조방법을 보여주는 흐름도.

[43] 도 3은 본 발명의 일 실시예에 따른 고유전율의 커패시터 제조방법으로 제조하기 위한 증착 장비를 보여주는 예시도면.

[44] 도 4는 본 발명의 또 다른 실시예에 따른 고유전율의 커패시터 제조방법을 보여주는 흐름도.

[45] 도 5는 본 발명의 또 다른 실시예에 따른 고유전율의 커패시터 제조방법으로

제조하기 위한 증착 장비를 보여주는 예시도면.

### 발명의 실시를 위한 형태

- [46] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [47] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [48] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [49] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [50] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [51] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [52] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [53] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

- [54] 도 1은 본 발명의 실시예에 따른 반도체 소자의 커패시터를 보여주는 단면도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 반도체 소자의 커패시터(100)는 제1 전극(110), 제2 전극(120) 및 유전막(130)을 포함한다.
- [55] 제1 전극(110)은 하부 전극이고, 제2 전극(120)은 상부 전극일 수 있다. 제1 및 제2 전극들(110, 120)은 각각 소정의 패턴으로 패터닝된 전극일 수 있다. 제1 및 제2 전극들(110, 120)은 티타늄 나이트라이드(TiN)로 이루어질 수 있으나, 이에 한정되지 않는다.
- [56] 유전막(130)은 복수의 High-K 유전막들을 포함할 수 있다. 예를 들어, 유전막(130)은 도 1과 같이 제1 내지 제3 유전막들(131, 132, 133)을 포함할 수 있다.
- [57] 제1 및 제3 유전막들이 동일한 High-K A 물질, 제2 유전막이 High-K B 물질로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 즉, 제1 및 제2 유전막들이 동일한 High-K A 물질, 제3 유전막이 High-K B 물질로 형성될 수도 있으며, 제2 및 제3 유전막들이 동일한 High-K A 물질, 제1 유전막이 High-K B 물질로 형성될 수도 있다.
- [58] High-K A 물질과 High-K B 물질 각각은 이산화 규소( $\text{SiO}_2$ ), 제2 유전막( $\text{Al}_2\text{O}_3$ ), 이산화 게르마늄( $\text{GeO}_2$ ), 산화 스트론튬( $\text{SrO}$ ),  $\text{HfSiO}_x$ , 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 탄탈륨( $\text{Ta}_2\text{O}_5$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 란탄( $\text{La}_2\text{O}_3$ ),  $\text{LaAlO}_3$ , NMD, 이산화 티타늄( $\text{TiO}_2$ ), 및 STO 중 어느 하나일 수 있다. 즉, 제1 내지 제3 유전막들(131, 132, 133)은 산화막 증착 공정 또는 질화막 증착 공정으로 형성될 수 있다.
- [59] 제1 유전막(131)은 제1 전극(110) 상에 형성된다. 제1 유전막(131)은 대략  $60\text{\AA}$ 의 두께를 가지며, 정방 정계(tetragonal) 결정질막으로 형성될 수 있다.
- [60] 제2 유전막(132)은 제1 유전막(131) 상에 형성된다. 제2 유전막(132)은 대략  $5\sim 8\text{\AA}$ 의 두께를 가질 수 있다.
- [61] 제3 유전막(133)은 제2 유전막(132) 상에 형성된다. 제3 유전막(133)은 대략  $20\sim 30\text{\AA}$ 의 두께를 가지며, 비결정질(amorphous)막으로 형성될 수 있다.
- [62] 본 발명의 실시예와 같이 유전막(130)이 정방 정계(tetragonal) 결정질막을 갖는 제1 유전막(131), 제2 유전막(132), 및 비결정질(amorphous)막을 갖는 제3 유전막(133)의 3 층 구조로 형성되는 경우, 수학적 식 1과 같이 커패시터(100)는 고 유전율(dielectric constant)을 가지며, 이로 인해 본 발명의 실시예는 커패시터(100)의 용량을 늘릴 수 있다.
- [63] 제1 유전막(131)은 소정의 온도에서 열 처리하며 형성될 수 있으며, 제2 유전막(132)은 소정의 온도에서 제1 플라즈마 처리하며 형성될 수 있고, 제3 유전막(133)은 소정의 온도에서 제2 플라즈마 처리하며 형성될 수 있다. 또는, 제1 유전막(131)은 소정의 온도에서 열 처리하며 형성될 수 있으며, 제2 유전막(132)은 소정의 온도에서 제2 플라즈마 처리하며 형성될 수 있고, 제3 유전막(133)은 소정의 온도에서 제1 플라즈마 처리하며 형성될 수 있다. 제2

플라즈마 처리는 제1 플라즈마 처리보다 높은 플라즈마 파워로 처리하는 것을 나타낸다. 플라즈마 파워에 의해 유전막의 밀도가 달라지고, 불순물 함유량이 달라질 수 있다. 이러한 유전막의 밀도 차이와 불순물 함유량에 따른 결정화도 차이에 의해 유전막의 전류 누설 특성에서 차이가 발생할 수 있다.

- [64] 또한, 제1 내지 제3 유전막들(131, 132, 133)은 반복적으로 증착될 수도 있다. 또는, 제1 내지 제3 유전막들(131, 132, 133) 중 하나 이상의 막이 반복적으로 증착될 수 있다.
- [65] 도 2는 본 발명의 일 실시예에 따른 고유전율의 커패시터 제조방법을 보여주는 흐름도이다. 도 3은 본 발명의 일 실시예에 따른 고유전율의 커패시터 제조방법으로 제조하기 위한 증착 장비를 보여주는 예시도면이다.
- [66] 도 3을 참조하면, 제2 증착 장비(200)는 제1 및 제2 챔버들(210, 220), 트랜스퍼 챔버에 해당하는 제3 챔버(트랜스퍼 챔버, 240), 및 제4 챔버(230)를 포함한다. 제1 챔버(210)는 제1 및 제3 유전막들(131, 133)을 형성하기 위한 챔버이다. 제1 및 제3 유전막들(131, 133)은 동일한 물질이므로, 동일한 챔버인 제1 챔버(210)에서 형성될 수 있다. 제2 챔버(220)는 제2 유전막(132)을 형성하기 위한 챔버이다. 제1 내지 제2 챔버들(210, 220)은 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 챔버들일 수 있다. 제3 챔버(트랜스퍼 챔버, 240)는 제1, 제2 및 제4 챔버들(210, 220, 230)로 반도체 기판을 트랜스퍼하며, 제1, 제2 및 제4 챔버들(210, 220, 230)을 진공 상태로 연결하기 위한 챔버이다. 제4 챔버(230)는 제2 전극(120)을 형성하기 위한 챔버이다. 제1 내지 제4 챔버들(210, 220, 230, 240)은 진공 상태(vacuum state)에 있다. 이하에서는 설명의 편의를 위해 제3 챔버(240)를 트랜스퍼 챔버로 칭하기로 한다.
- [67] 이하에서는, 도 2 및 도 3을 결부하여 본 발명의 일 실시예에 따른 고유전율의 커패시터 제조방법을 상세히 설명한다. 도 2 및 도 3에서는 설명의 편의를 위해 제1 및 제3 유전막들이 동일한 High-K A 물질, 제2 유전막이 High-K B 물질로 형성된 것을 중심으로 설명하였다.
- [68] 첫 번째로, 도 2와 같이 제1 증착 장비를 이용하여 진공 상태(vacuum state)에서 반도체 기판 상에 제1 전극(110)을 형성한다. 제1 전극(110)은 티타늄 나이트라이드(TiN)로 이루어질 수 있으나, 이에 한정되지 않는다.
- [69] 제1 전극(110)이 소정의 형태로 패턴된 패턴 전극인 경우 제1 전극(110)이 형성된 반도체 기판은 파티클과 같은 이물질 제거를 위해 습식 세정되는 것이 바람직하다. 또한, 제1 전극(110)이 형성된 반도체 기판은 습식 세정 후에 제1 전극(110)의 표면의 인터페이스(interface)를 개선하기 위해 N<sub>2</sub> 플라즈마를 처리하는 것이 바람직하다. N<sub>2</sub> 플라즈마를 처리하여 제1 전극(110)의 표면의 인터페이스(interface)를 개선하는 경우 제1 전극(110)과 제1 유전막(131) 간에 계면 특성이 개선될 수 있다. (도 2의 S101)
- [70] 두 번째로, 제1 전극(110)이 형성된 반도체 기판은 제1 유전막(131)을 형성하기 위해 도 3의 ①과 같이 제2 증착 장비(200)의 제1 챔버(210)로 이송된다. 도 2와

같이 진공 상태(vacuum state)에 있는 제1 챔버(210)에서 제1 전극(110) 상에 제1 유전막(131)을 형성한다. 제1 유전막(131)은 대략  $60\text{\AA}$ 의 두께를 가지며 정방정계(tetragonal) 결정질막일 수 있으나, 이에 한정되지 않는다.

[71] 제1 유전막(131)은 제1 온도, 예를 들어 대략  $350^{\circ}\text{C}$ 의 고온에서 형성될 수 있다. 제1 유전막(131)은 반복적으로 증착될 수 있다.

[72] 한편, 제1 유전막(131)이 증착되는 동안 또는 제1 유전막(131)이 증착된 후 플라즈마 처리하는 플라즈마 제1 단계가 S102 단계와 S103 단계 사이에 포함될 수 있다. 이 경우, 제1 유전막(131)을 증착하고 제1 유전막(131)에 플라즈마 처리하는 것을 반복하여 제1 유전막(131)을 형성할 수도 있다. (도 2의 S102)

[73] 세 번째로, 제1 유전막(131)이 형성된 반도체 기판은 제2 유전막(132)을 형성하기 위해 도 3의 ②와 같이 제1 챔버(210)에서 제2 챔버(220)로 이송된다. 구체적으로, 제1 유전막(131)이 형성된 반도체 기판은 트랜스퍼 챔버(240)를 통해 제1 챔버(210)에서 제2 챔버(220)로 이송된다. 이때, 트랜스퍼 챔버(240)는 진공 상태(vacuum state)에 있으므로, 제1 유전막(131)이 형성된 반도체 기판은 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break) 없이 제1 챔버(210)에서 제2 챔버(220)로 이송될 수 있다.

[74] 도 2와 같이 진공 상태(vacuum state)에 있는 제2 챔버(220)에서 제1 유전막(131) 상에 제2 유전막(132)을 형성한다. 제2 유전막(132)은 대략  $5\sim 8\text{\AA}$ 의 두께를 가질 수 있다. 제2 유전막(132)은 제1 온도보다 높은 제2 온도, 예를 들어 대략  $450^{\circ}\text{C}$ 의 고온에서 형성될 수 있다. 제2 유전막(132)은 반복하여 증착될 수 있다.

[75] 또는, 제2 유전막(132)은 제1 온도에서 형성될 수도 있다. 제2 유전막(132)은 제2 온도, 예를 들어 대략  $450^{\circ}\text{C}$ 에서 형성되는 것이 바람직하므로, 제1 온도에서 형성되는 경우 제1 및 제2 온도의 차에 해당하는 온도 에너지의 보상이 필요하다. 제2 온도와 제1 온도 사이의 차이에 해당하는 온도 에너지를 보상하기 위해, 제2 유전막(132)이 증착되는 동안 또는 제2 유전막(132)이 증착된 후 플라즈마 처리하는 플라즈마 제2 단계가 S104 단계와 S104 단계 사이에 포함될 수 있다. 종래에는 제2 유전막(132) 형성과 플라즈마 처리를 서로 다른 챔버에서 하였으나, 본 발명의 실시예는 제1 챔버(310)가 제2 유전막(132) 형성 뿐만 아니라 플라즈마 처리 공정을 할 수 있도록 통합함으로써, 제1 챔버(310)에서 제2 유전막(132)을 형성 공정과 플라즈마 처리 공정을 모두 할 수 있다. 하나의 예로, 제1 챔버(310)는 제2 유전막(132) 형성시  $1\text{kw}$ 의 RF 파워로 대략 20 내지 300 초 동안 플라즈마를 처리함으로써 온도 에너지를 보상할 수 있다. 온도 에너지는 RF 파워를 조정함으로써 보상될 수 있다. 이 경우, 제2 유전막(132)을 증착하고 제2 유전막(132)에 플라즈마 처리하는 것을 반복하여 제2 유전막(132)을 형성할 수도 있다. (도 2의 S103)

[76] 네 번째로, 제2 유전막(132)이 형성된 반도체 기판은 제3 유전막(133)을 형성하기 위해 도 3의 ③과 같이 제2 챔버(220)에서 제1 챔버(210)로 다시 이송된다. 구체적으로, 제2 유전막(132)이 형성된 반도체 기판은 트랜스퍼

- 챔버(240)를 통해 제2 챔버(220)에서 제1 챔버(210)로 이송된다. 이때, 트랜스퍼 챔버(240)는 진공 상태(vacuum state)에 있으므로, 제2 유전막(133)이 형성된 반도체 기판은 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break) 없이 제2 챔버(220)에서 제1 챔버(210)로 이송될 수 있다.
- [77] 도 2와 같이 진공 상태(vacuum state)에 있는 제1 챔버(210)에서 제2 유전막(132) 상에 제3 유전막(133)을 형성한다. 제3 유전막(133)은 대략 20~30Å의 두께를 가지며 비결정질(amorphous)막일 수 있으나, 이에 한정되지 않는다.
- [78] 제3 유전막(133)은 제1 온도, 예를 들어 대략 350°C의 고온에서 형성될 수 있다. 제3 유전막(133)은 반복적으로 증착될 수 있다.
- [79] 한편, 제3 유전막(133)이 증착되는 동안 또는 제3 유전막(133)이 증착된 후 플라즈마 처리하는 플라즈마 제3 단계가 S104 단계와 S105 단계 사이에 포함될 수 있다. 이 경우, 제3 유전막(133)을 증착하고 제3 유전막(133)에 플라즈마 처리하는 것을 반복하여 제3 유전막(133)을 형성할 수도 있다. (도 2의 S104)
- [80] 다섯 번째로, 제3 유전막(133)이 형성된 반도체 기판은 제2 전극(120)을 형성하기 위해 도 3의 ④과 같이 제1 챔버(210)에서 제4 챔버(230)로 이송된다. 구체적으로, 제3 유전막(133)이 형성된 반도체 기판은 트랜스퍼 챔버(240)를 통해 제1 챔버(210)에서 제4 챔버(230)로 이송된다. 이때, 트랜스퍼 챔버(240)는 진공 상태(vacuum state)에 있으므로, 제3 유전막(133)이 형성된 반도체 기판은 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break) 없이 제1 챔버(210)에서 제4 챔버(230)로 이송될 수 있다.
- [81] 도 2와 같이 진공 상태(vacuum state)에 있는 제4 챔버(230)에서 제3 유전막(133) 상에 제2 전극(120)을 형성한다. 제2 전극(120)은 티타늄 나이트라이드(TiN)로 이루어질 수 있으나, 이에 한정되지 않는다. 제2 전극(120)이 형성된 반도체 기판은 도 3의 ⑤와 같이 제4 챔버(230)에서 이송장치로 이송된다. (도 2의 S105)
- [82] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 진공 상태(vacuum state)에 있는 제1, 제2 및 제4 챔버들(210, 220, 230) 및 제3 챔버(트랜스퍼 챔버, 240)를 포함하는 제2 증착 장비(200)에서 제1 유전막(131), 제2 유전막(132), 제3 유전막(133), 및 제2 전극(120)을 형성한다. 그러므로, 본 발명의 실시예에서는 제1 유전막(131), 제2 유전막(132), 제3 유전막(133), 및 제2 전극(120)을 형성하는 동안에 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break)가 존재하지 않는다. 즉, 제1 내지 제3 유전막들(131, 132, 133)은 공정 중에 대기에 노출되지 않고 형성될 수 있다. 따라서, 본 발명의 실시예는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)이 대기에 노출되어 열화되는 것을 방지할 수 있으므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성이 저하되는 것을 방지할 수 있다.
- [83] 특히, 종래에는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성 저하를 방지하기 위해서 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 각각의 두께를 두껍게 형성하였었으며, 이로 인해 수확식 1에서

설명한 바와 같이 커패시터(100)의 용량이 감소되는 문제가 있었다. 하지만, 본 발명의 실시예는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성이 저하되는 것을 방지할 수 있으므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 각각의 두께를 종래보다 얇게 형성할 수 있으므로, 커패시터(100)의 용량이 감소되는 문제를 해결할 수 있다.

[84] 도 4는 본 발명의 또 다른 실시예에 따른 고유전율의 커패시터 제조방법을 보여주는 흐름도이다. 도 5는 본 발명의 또 다른 실시예에 따른 고유전율의 커패시터 제조방법으로 제조하기 위한 증착 장비를 보여주는 예시도면이다.

[85] 도 5를 참조하면, 제2 증착 장비(300)는 제1 챔버(310), 제2 챔버(320), 및 제3 챔버(트랜스퍼 챔버, 340)를 포함한다. 제1 챔버(310)는 제1 및 제3 유전막들(131, 133)과 제2 유전막(132)을 형성하기 위한 챔버이다. 즉, 제1 및 제3 유전막들(131, 133)과 제2 유전막(132)은 동일한 챔버인 제1 챔버(310)에서 형성될 수 있다. 제1 챔버(310)는 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 챔버일 수 있다. 제2 챔버(320)는 제2 전극(120)을 형성하기 위한 챔버이다. 제3 챔버(트랜스퍼 챔버, 340)는 제1 및 제2 챔버들(310, 320)로 반도체 기판을 트랜스퍼하며, 제1 및 제2 챔버들(310, 320)을 진공 상태로 연결하기 위한 챔버이다. 제1 내지 제3 챔버들(310, 320, 340)은 진공 상태(vacuum state)에 있다. 이하에서는 설명의 편의를 위해 제3 챔버(340)를 트랜스퍼 챔버로 칭하기로 한다.

[86] 이하에서는, 도 4 및 도 5를 결부하여 본 발명의 또 다른 실시예에 따른 고유전율의 커패시터 제조방법을 상세히 설명한다. 도 4 및 도 5에서는 설명의 편의를 위해 제1 및 제3 유전막들이 동일한 High-K A 물질, 제2 유전막이 High-K B 물질로 형성된 것을 중심으로 설명하였다.

[87] 첫 번째로, 도 4와 같이 제1 증착 장비를 이용하여 진공 상태(vacuum state)에서 반도체 기판 상에 제1 전극(110)을 형성한다. 제1 전극(110)은 티타늄 나이트라이드(TiN)로 이루어질 수 있으나, 이에 한정되지 않는다.

[88] 제1 전극(110)이 소정의 형태로 패턴된 패턴 전극인 경우 제1 전극(110)이 형성된 반도체 기판은 파티클과 같은 이물질 제거를 위해 습식 세정되는 것이 바람직하다. 또한, 제1 전극(110)이 형성된 반도체 기판은 습식 세정 후에 제1 전극(110)의 표면의 인터페이스(interface)를 개선하기 위해 N<sub>2</sub> 플라즈마를 처리하는 것이 바람직하다. N<sub>2</sub> 플라즈마를 처리하여 제1 전극(110)의 표면의 인터페이스(interface)를 개선하는 경우 제1 전극(110)과 제1 유전막(131) 간에 계면 특성이 개선될 수 있다. (도 4의 S201)

[89] 두 번째로, 제1 전극(110)이 형성된 반도체 기판은 제1 유전막(131)을 형성하기 위해 도 5의 ①과 같이 제2 증착 장비(300)의 제1 챔버(310)로 이송된다. 도 4와 같이 진공 상태(vacuum state)에 있는 제1 챔버(310)에서 제1 전극(110) 상에 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)을 순차적으로 형성한다. 이로 인해, 제1 내지 제3 유전막들(131, 132, 133)은 공정 중에 대기에 노출되지 않고

형성될 수 있다.

- [90] 먼저 제1 전극(110) 상에 제1 유전막(131)을 형성한다. 제1 유전막(131)은 대략 60Å의 두께를 가지며 정방 정계(tetragonal) 결정질막일 수 있으나, 이에 한정되지 않는다. 제1 유전막(131)은 제1 온도, 예를 들어 대략 300°C의 고온에서 형성될 수 있다. 제1 유전막(131)은 반복적으로 증착될 수 있다.
- [91] 한편, 제1 유전막(131)이 증착되는 동안 또는 제1 유전막(131)이 증착된 후 플라즈마 처리할 수 있다. 이 경우, 제1 유전막(131)을 증착하고 제1 유전막(131)에 플라즈마 처리하는 것을 반복하여 제1 유전막(131)을 형성할 수도 있다.
- [92] 그리고 나서, 제1 유전막(131) 상에 제2 유전막(132)을 형성한다. 제2 유전막(132)은 대략 5~8Å의 두께를 가질 수 있으나, 이에 한정되지 않는다. 제2 유전막(132)은 도 5와 같이 제1 유전막(131)과 동일한 제1 챔버(310)에서 형성되는 경우 제1 온도, 예를 들어 대략 300°C의 고온에서 형성될 수 있다.
- [93] 한편, 제2 유전막(132)은 제2 온도, 예를 들어 대략 400°C에서 형성되는 것이 바람직하므로, 제1 온도에서 형성되는 경우 제1 및 제2 온도의 차에 해당하는 온도 에너지의 보상이 필요하다. 제2 온도와 제1 온도 사이의 차이에 해당하는 온도 에너지를 보상하기 위해서, 본 발명의 실시예는 제1 챔버(310)에서 제2 유전막(132)을 형성 후 산소(O<sub>2</sub>) 함유 가스를 공급하며 플라즈마 처리할 수 있다. 종래에는 제2 유전막(132) 형성과 플라즈마 처리를 서로 다른 챔버에서 하였으나, 본 발명은 제1 챔버(310)가 제2 유전막(132) 형성 뿐만 아니라 플라즈마 처리 공정을 할 수 있도록 통합함으로써, 제1 챔버(310)에서 제2 유전막(132)을 형성 공정과 플라즈마 처리 공정을 모두 할 수 있다. 하나의 예로, 제1 챔버(310)는 제2 유전막(132) 형성시 1kw의 RF 파워로 대략 20 내지 300 초 동안 플라즈마를 처리함으로써 온도 에너지를 보상할 수 있다. 온도 에너지는 RF 파워를 조정함으로써 보상될 수 있다.
- [94] 제2 유전막(132)은 반복적으로 증착될 수 있으며, 예를 들어 제2 유전막(132)을 제1 온도에서 증착하고 제2 유전막(132)에 플라즈마 처리하는 것을 반복하여 제2 유전막(132)을 형성할 수도 있다.
- [95] 그리고 나서, 제2 유전막(132) 상에 제3 유전막(133)을 형성한다. 제3 유전막(133)은 대략 20~30Å의 두께를 가지며 비결정질(amorphous)막일 수 있으나, 이에 한정되지 않는다. 제3 유전막(133)은 반복적으로 증착될 수 있다.
- [96] 한편, 제3 유전막(133)이 증착되는 동안 또는 제3 유전막(133)이 증착된 후 플라즈마 처리할 수 있다. 이 경우, 제3 유전막(133)을 증착하고 제3 유전막(133)에 플라즈마 처리하는 것을 반복하여 제3 유전막(133)을 형성할 수도 있다. (도 4의 S202)
- [97] 세 번째로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)이 형성된 반도체 기판은 제2 전극(120)을 형성하기 위해 도 5의 ②와 같이 제1 챔버(310)에서 제2 챔버(320)로 이송된다. 구체적으로, 제1 유전막(131), 제2

유전막(132), 및 제3 유전막(133)이 형성된 반도체 기판은 트랜스퍼 챔버(340)를 통해 제1 챔버(310)에서 제2 챔버(320)로 이송된다. 이때, 트랜스퍼 챔버(340)는 진공 상태(vacuum state)에 있으므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)이 형성된 반도체 기판은 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break) 없이 제1 챔버(310)에서 제2 챔버(320)로 이송될 수 있다.

[98] 도 4와 같이 진공 상태(vacuum state)에 있는 제2 챔버(320)에서 제3 유전막(133) 상에 제2 전극(120)을 형성한다. 제2 전극(120)은 티타늄 나이트라이드(TiN)로 이루어질 수 있으나, 이에 한정되지 않는다. 제2 전극(120)이 형성된 반도체 기판은 도 5의 ③과 같이 제2 챔버(320)에서 이송장치로 이송된다. (도 4의 S203)

[99] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 진공 상태(vacuum state)에 있는 제1 및 제2 챔버들(310, 320)과 제3 챔버(트랜스퍼 챔버, 340)를 포함하는 제2 증착 장비(300)에서 제1 유전막(131), 제2 유전막(132), 제3 유전막(133), 및 제2 전극(120)을 형성한다. 그러므로, 본 발명의 실시예에서는 제1 유전막(131), 제2 유전막(132), 제3 유전막(133), 및 제2 전극(120)을 형성하는 동안에 진공 상태(vacuum state)에서 이탈한 상태인 진공 브레이크(vacuum break)가 존재하지 않는다. 즉, 제1 내지 제3 유전막들(131, 132, 133)은 공정 중에 대기에 노출되지 않고 형성될 수 있다. 따라서, 본 발명의 실시예는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)이 대기에 노출되어 열화되는 것을 방지할 수 있으므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성이 저하되는 것을 방지할 수 있다.

[100] 특히, 종래에는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성 저하를 방지하기 위해서 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 각각의 두께를 두껍게 형성하였었으며, 이로 인해 수확식 1에서 설명한 바와 같이 커패시터(100)의 용량이 감소되는 문제가 있었다. 하지만, 본 발명의 실시예는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 사이의 계면 특성이 저하되는 것을 방지할 수 있으므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133) 각각의 두께를 종래보다 얇게 형성할 수 있으므로, 커패시터(100)의 용량이 감소되는 문제를 해결할 수 있다.

[101] 또한, 본 발명의 실시예는 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)을 동일한 챔버인 제1 챔버(310)에서 형성하므로, 제1 유전막(131), 제2 유전막(132), 및 제3 유전막(133)을 각각의 챔버에서 형성할 때보다 반도체 기판을 언로딩 및 로딩하는 횟수를 줄일 수 있다. 그 결과, 본 발명의 실시예는 반도체 기판을 언로딩 및 로딩하는 경우 발생하는 물리적 스트레스로 인해 유전막의 질이 낮아지는 것을 방지할 수 있다.

[102] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다.

따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

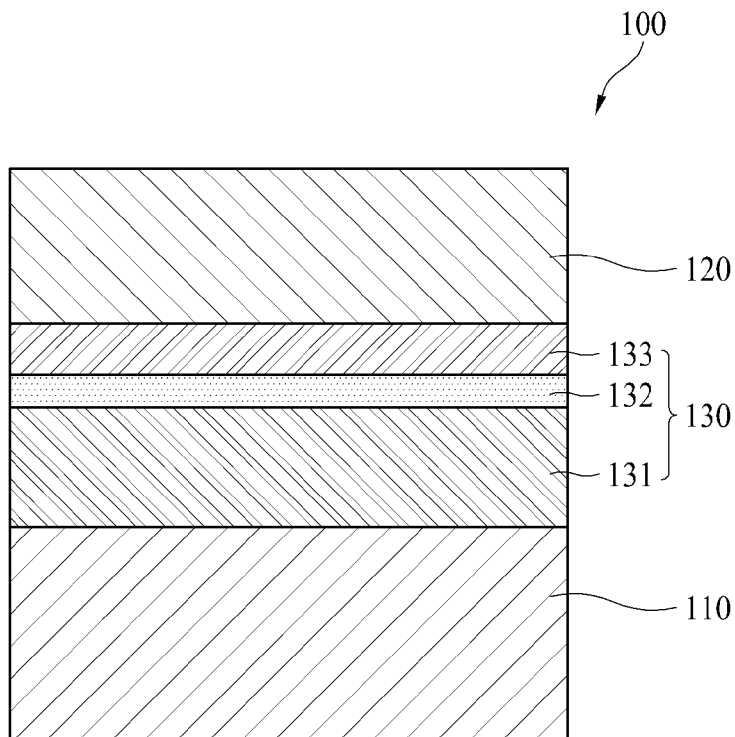
## 청구범위

- [청구항 1] 전극이 형성된 기판 상에 제1 유전막, 제2 유전막, 및 제3 유전막을 형성하는 제1 챔버;  
상기 제3 유전막 상에 금속막을 형성하는 제2 챔버; 및  
상기 제1 챔버와 상기 제2 챔버를 진공 상태로 연결하는 제3 챔버를 포함하는 커패시터 증착 장치.
- [청구항 2] 전극이 형성된 기판 상에 제1 유전막을 형성하는 제1 단계;  
상기 제1 유전막 상부에 제2 유전막을 형성하는 제2 단계; 및  
상기 제2 유전막 상부에 제3 유전막을 형성하는 제3 단계를 포함하며,  
상기 제1 단계, 상기 제2 단계, 및 상기 제3 단계는 동일 챔버에서 진행되는 유전막 증착방법.
- [청구항 3] 전극이 형성된 기판 상에 제1 유전막을 형성하는 제1 단계;  
상기 제1 유전막 상부에 제2 유전막을 형성하는 제2 단계;  
상기 제2 유전막 상부에 제3 유전막을 형성하는 제3 단계; 및  
상기 제3 유전막 상부에 금속막을 형성하는 제4 단계를 포함하고,  
상기 제1 유전막, 상기 제2 유전막, 상기 제3 유전막, 및 상기 금속막은 대기에 노출되지 않고 형성되는 유전막 증착 방법.
- [청구항 4] 제 3 항에 있어서,  
상기 제1 단계, 상기 제2 단계, 및 상기 제3 단계는 반복적으로 증착 공정이 진행되는 유전막 증착 방법.
- [청구항 5] 제 3 항에 있어서,  
상기 제1 유전막과 상기 제3 유전막은 동일한 물질로 형성되는 것을 특징으로 하는 유전막 증착 방법.
- [청구항 6] 제 3 항에 있어서,  
상기 제1 유전막과 상기 제2 유전막은 동일한 물질로 형성되는 것을 특징으로 하는 유전막 증착 방법.
- [청구항 7] 제 3 항에 있어서,  
상기 제2 유전막과 상기 제3 유전막은 동일한 물질로 형성되는 것을 특징으로 하는 유전막 증착 방법.
- [청구항 8] 제 3 항에 있어서,  
상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 각각은 열 처리 공정, 제1 플라즈마 처리 공정, 및 상기 제1 플라즈마 처리보다 높은 플라즈마 파워로 처리하는 제2 플라즈마 처리 공정 중 어느 하나의 공정으로 형성되는 유전막 증착 방법.
- [청구항 9] 제 3 항에 있어서,  
상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막은 산화막 증착 공정과 질화막 증착 공정 중 어느 하나의 공정으로 형성되는 유전막 증착

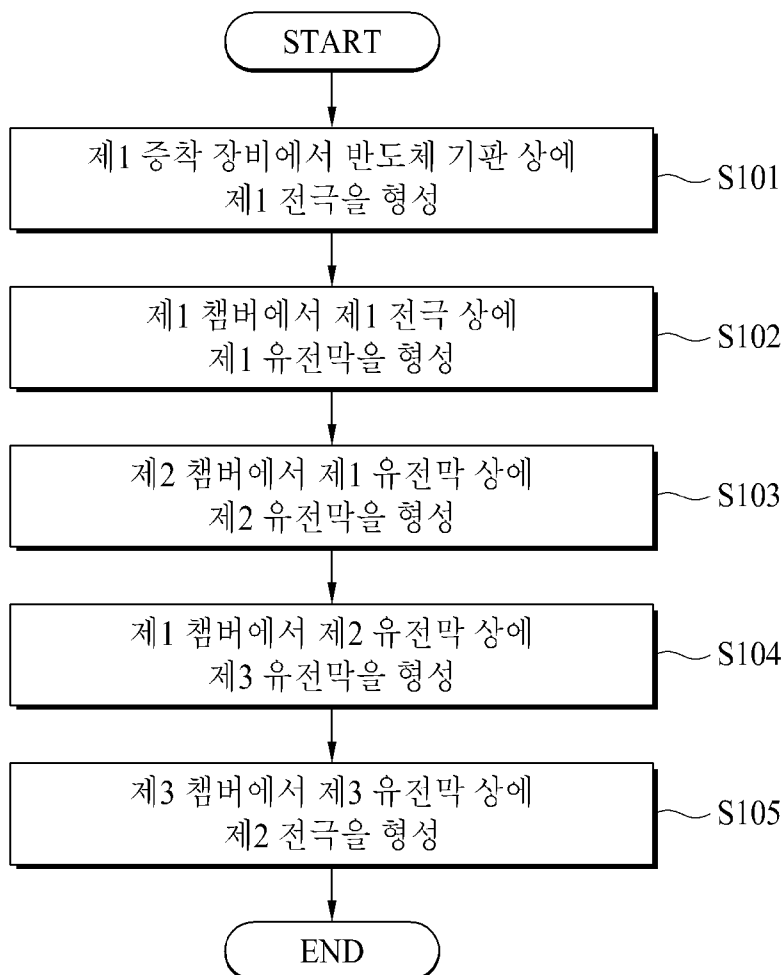
- 방법.
- [청구항 10] 제 3 항에 있어서,  
상기 제1 단계와 상기 제2 단계 사이에는 상기 제1 유전막을 플라즈마 처리하는 플라즈마 제1 단계를 더 포함하는 유전막 증착 방법.
- [청구항 11] 제 3 항에 있어서,  
상기 제2 단계와 상기 제3 단계 사이에는 상기 제2 유전막을 플라즈마 처리하는 플라즈마 제2 단계를 더 포함하는 유전막 증착 방법.
- [청구항 12] 제 10 항에 있어서,  
상기 제1 단계와 상기 플라즈마 제1 단계를 반복하는 단계를 더 포함하는 유전막 증착 방법.
- [청구항 13] 제 11 항에 있어서,  
상기 제2 단계와 상기 플라즈마 제2 단계를 반복하는 단계를 더 포함하는 유전막 증착 방법.
- [청구항 14] 제 3 항에 있어서,  
상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막은 결정 구조가 서로 다른 것을 특징으로 하는 유전막 증착 방법.
- [청구항 15] 제 14 항에 있어서,  
상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 중 하나 이상의 막을 반복하여 증착하는 것을 특징으로 하는 유전막 증착 방법.
- [청구항 16] 제 1 항에 있어서,  
상기 제1 챔버는 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 것을 특징으로 하는 커패시터 증착 장치.
- [청구항 17] 제 2 항 또는 제 3 항에 있어서,  
상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 각각은,  
이산화 규소( $\text{SiO}_2$ ), 제2 유전막( $\text{Al}_2\text{O}_3$ ), 이산화 게르마늄( $\text{GeO}_2$ ), 산화 스트론튬( $\text{SrO}$ ),  $\text{HfSiO}_x$ , 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 탄탈륨( $\text{Ta}_2\text{O}_5$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 란탄( $\text{La}_2\text{O}_3$ ),  $\text{LaAlO}_3$ , NMD, 이산화 티타늄( $\text{TiO}_2$ ), 및 STO 중에 하나의 물질로 형성되는 것을 특징으로 하는 유전막 증착 방법.
- [청구항 18] 제 3 항에 있어서,  
상기 제3 단계와 상기 제4 단계 사이에는 상기 제3 유전막을 플라즈마 처리하는 플라즈마 제3 단계를 더 포함하는 유전막 증착 방법.
- [청구항 19] 제 18 항에 있어서,  
상기 제3 단계와 상기 플라즈마 제3 단계를 반복하는 단계를 더 포함하는 유전막 증착 방법.
- [청구항 20] 제 3 항에 있어서,  
상기 제1 단계와 상기 제3 단계는 동일 챔버에서 진행되는 유전막 증착방법.

- [청구항 21] 전극이 형성된 기판 상에 제1 유전막과 제3 유전막을 형성하는 제1 챔버; 상기 제1 유전막과 상기 제3 유전막 사이의 제2 유전막을 형성하는 제2 챔버; 상기 제3 유전막 상에 금속막을 형성하는 제3 챔버; 및 상기 제1 챔버, 상기 제2 챔버, 및 상기 제3 챔버를 진공 상태로 연결하는 제4 챔버를 포함하는 커패시터 증착 장치.
- [청구항 22] 제 21 항에 있어서, 상기 제1 챔버의 공정 온도와 상기 제2 챔버의 공정 온도는 서로 다른 것을 특징으로 하는 커패시터 증착 장치.
- [청구항 23] 제 22 항에 있어서, 상기 제1 챔버의 공정 온도는 350°C이고, 상기 제2 챔버의 공정 온도는 410°C인 것을 특징으로 하는 커패시터 증착 장치.
- [청구항 24] 제 21 항에 있어서, 상기 제1 유전막, 상기 제2 유전막, 상기 제3 유전막, 및 상기 금속막은 대기에 노출되지 않고 형성되는 것을 특징으로 하는 커패시터 증착 장치.
- [청구항 25] 제 21 항에 있어서, 상기 제1 및 제2 챔버들 각각은 유전막 증착 공정과 플라즈마 처리 공정이 모두 가능한 것을 특징으로 하는 커패시터 증착 장치.
- [청구항 26] 제 1 항 또는 제 21 항에 있어서, 상기 제1 유전막, 상기 제2 유전막, 및 상기 제3 유전막 각각은, 이산화 규소( $\text{SiO}_2$ ), 제2 유전막( $\text{Al}_2\text{O}_3$ ), 이산화 게르마늄( $\text{GeO}_2$ ), 산화 스트론튬( $\text{SrO}$ ),  $\text{HfSiO}_x$ , 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 탄탈륨( $\text{Ta}_2\text{O}_5$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 란탄( $\text{La}_2\text{O}_3$ ),  $\text{LaAlO}_3$ , NMD, 이산화 티타늄( $\text{TiO}_2$ ), 및 STO 중에 하나의 물질로 형성되는 것을 특징으로 하는 커패시터 증착 장치.

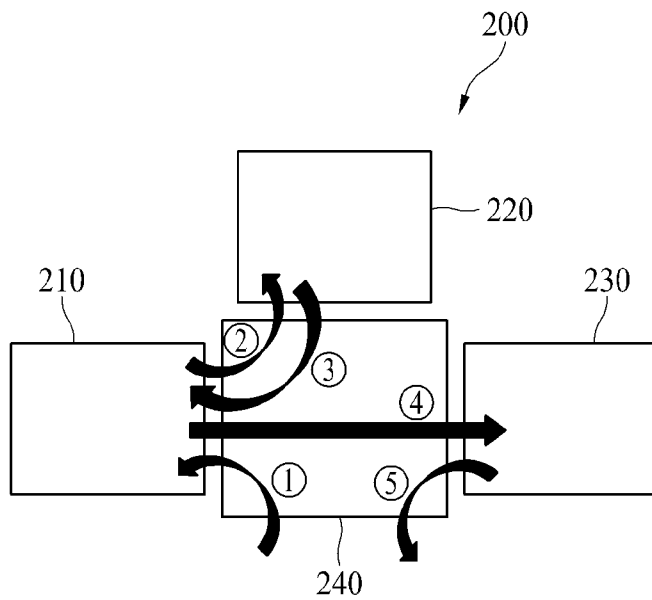
[도1]



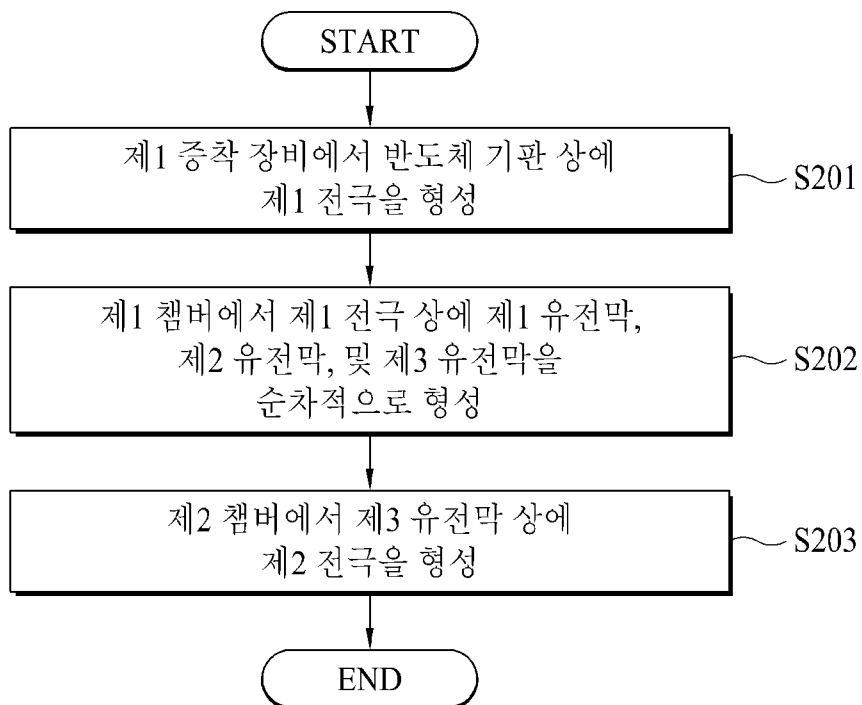
[도2]



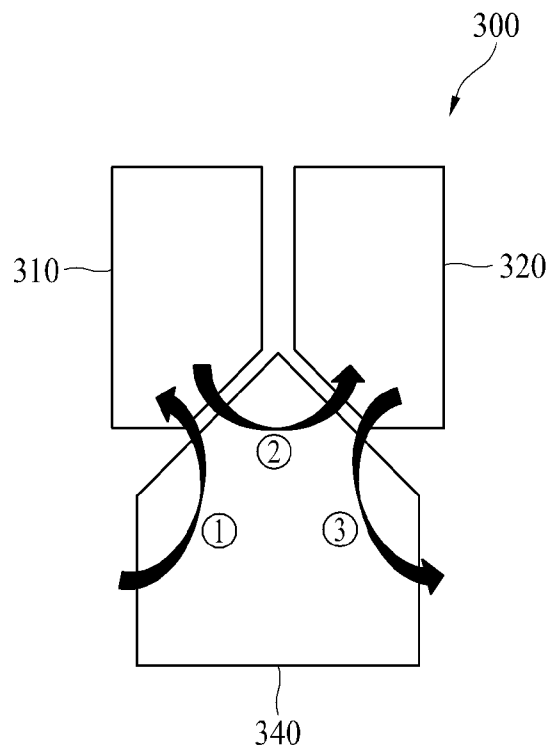
[도3]



[도4]



[도5]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2016/007783****A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/108(2006.01)i, H01L 49/02(2006.01)i, H01L 21/31(2006.01)i, H01L 21/203(2006.01)i, H01L 21/02(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/108; H01L 21/469; H01L 27/04; H01L 21/31; H01L 49/02; H01L 21/203; H01L 21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) &amp; Keywords: capacitor, deposition, dielectric layer, chamber, vacuum break

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | KR 10-0648860 B1 (HYNIX SEMICONDUCTOR INC.) 24 November 2006<br>See abstract, paragraphs [0058]-[0075], claims 1-31 and figures 6-7. | 2,17                  |
| Y         |                                                                                                                                      | 1,3-16,18-26          |
| Y         | KR 10-2005-0019159 A (JUSUNG ENGINEERING CO., LTD.) 03 March 2005<br>See abstract, paragraphs [0032]-[0048] and claims 1-6.          | 1,3-16,18-26          |
| A         | KR 10-2009-0022332 A (HYNIX SEMICONDUCTOR INC.) 04 March 2009<br>See abstract, paragraph [0047] and figure 3.                        | 1-26                  |
| A         | KR 10-2002-0035080 A (SAMSUNG ELECTRONICS CO., LTD.) 09 May 2002<br>See abstract, claim 1 and figures 11-20.                         | 1-26                  |
| A         | US 2007-0099438 A1 (YE, Mengqi et al.) 03 May 2007<br>See abstract, claim 1 and figure 3.                                            | 1-26                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&amp;” document member of the same patent family

Date of the actual completion of the international search

**31 OCTOBER 2016 (31.10.2016)**

Date of mailing of the international search report

**31 OCTOBER 2016 (31.10.2016)**

Name and mailing address of the ISA/KR

Korean Intellectual Property Office  
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,  
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2016/007783**

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>member                                                                                                               | Publication<br>date                                                                            |
|-------------------------------------------|---------------------|---------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------|
| KR 10-0648860 B1                          | 24/11/2006          | JP 2007-073926 A<br>US 2007-0051998 A1                                                                                                | 22/03/2007<br>08/03/2007                                                                       |
| KR 10-2005-0019159 A                      | 03/03/2005          | KR 10-1108442 B1                                                                                                                      | 31/01/2012                                                                                     |
| KR 10-2009-0022332 A                      | 04/03/2009          | KR 10-1060740 B1                                                                                                                      | 31/08/2011                                                                                     |
| KR 10-2002-0035080 A                      | 09/05/2002          | JP 2001-148377 A<br>KR 10-0363081 B1<br>KR 10-0382742 B1<br>TW 515027 A<br>US 2003-0096472 A1<br>US 6806183 B2                        | 29/05/2001<br>30/11/2002<br>09/05/2003<br>21/12/2002<br>22/05/2003<br>19/10/2004               |
| US 2007-0099438 A1                        | 03/05/2007          | US 2007-0095650 A1<br>US 2007-0095651 A1<br>US 7884032 B2<br>US 8454804 B2<br>US 8460519 B2<br>WO 2007-053317 A2<br>WO 2007-053317 A3 | 03/05/2007<br>03/05/2007<br>08/02/2011<br>04/06/2013<br>11/06/2013<br>10/05/2007<br>27/09/2007 |

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**

H01L 27/108(2006.01)i, H01L 49/02(2006.01)i, H01L 21/31(2006.01)i, H01L 21/203(2006.01)i, H01L 21/02(2006.01)i

**B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H01L 27/108; H01L 21/469; H01L 27/04; H01L 21/31; H01L 49/02; H01L 21/203; H01L 21/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) &amp; 키워드: capacitor, deposition, dielectric layer, chamber, vacuum break

**C. 관련 문헌**

| 카테고리* | 인용문헌명 및 관련 구절(해당하는 경우)의 기재                                                                | 관련 청구항       |
|-------|-------------------------------------------------------------------------------------------|--------------|
| X     | KR 10-0648860 B1 (주식회사 하이닉스반도체) 2006.11.24<br>요약, 단락 [0058]-[0075], 청구항 1-31 및 도면 6-7 참조. | 2,17         |
| Y     |                                                                                           | 1,3-16,18-26 |
| Y     | KR 10-2005-0019159 A (주성엔지니어링(주)) 2005.03.03<br>요약, 단락 [0032]-[0048] 및 청구항 1-6 참조.        | 1,3-16,18-26 |
| A     | KR 10-2009-0022332 A (주식회사 하이닉스반도체) 2009.03.04<br>요약, 단락 [0047] 및 도면 3 참조.                | 1-26         |
| A     | KR 10-2002-0035080 A (삼성전자 주식회사) 2002.05.09<br>요약, 청구항 1 및 도면 11-20 참조.                   | 1-26         |
| A     | US 2007-0099438 A1 (MENGQI YE 등) 2007.05.03<br>요약, 청구항 1 및 도면 3 참조.                       | 1-26         |

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

\* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&amp;” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 10월 31일 (31.10.2016)

국제조사보고서 발송일

2016년 10월 31일 (31.10.2016)

ISA/KR의 명칭 및 우편주소

대한민국 특허청  
(35208) 대전광역시 서구 청사로 189,  
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



| 국제조사보고서에서<br>인용된 특허문헌 | 공개일        | 대응특허문헌                                                                                                                                | 공개일                                                                                            |
|-----------------------|------------|---------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------|
| KR 10-0648860 B1      | 2006/11/24 | JP 2007-073926 A<br>US 2007-0051998 A1                                                                                                | 2007/03/22<br>2007/03/08                                                                       |
| KR 10-2005-0019159 A  | 2005/03/03 | KR 10-1108442 B1                                                                                                                      | 2012/01/31                                                                                     |
| KR 10-2009-0022332 A  | 2009/03/04 | KR 10-1060740 B1                                                                                                                      | 2011/08/31                                                                                     |
| KR 10-2002-0035080 A  | 2002/05/09 | JP 2001-148377 A<br>KR 10-0363081 B1<br>KR 10-0382742 B1<br>TW 515027 A<br>US 2003-0096472 A1<br>US 6806183 B2                        | 2001/05/29<br>2002/11/30<br>2003/05/09<br>2002/12/21<br>2003/05/22<br>2004/10/19               |
| US 2007-0099438 A1    | 2007/05/03 | US 2007-0095650 A1<br>US 2007-0095651 A1<br>US 7884032 B2<br>US 8454804 B2<br>US 8460519 B2<br>WO 2007-053317 A2<br>WO 2007-053317 A3 | 2007/05/03<br>2007/05/03<br>2011/02/08<br>2013/06/04<br>2013/06/11<br>2007/05/10<br>2007/09/27 |