

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第4058459号  
(P4058459)

(45) 発行日 平成20年3月12日(2008.3.12)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.		F I			
HO 4 N	5/335	(2006.01)	HO 4 N	5/335	E
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2007-53340 (P2007-53340)	(73) 特許権者	000001007
(22) 出願日	平成19年3月2日(2007.3.2)		キヤノン株式会社
審査請求日	平成19年3月2日(2007.3.2)		東京都大田区下丸子3丁目30番2号
早期審査対象出願		(74) 代理人	100076428
			弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(72) 発明者	小野 俊明
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項1】

複数の画素ユニットが2次元配列された画素ユニット配列と、前記画素ユニット配列を駆動する駆動部とを備える撮像装置であって、

各画素ユニットは、複数の光電変換部と、前記複数の光電変換部に共通の電荷電圧変換部と、前記複数の光電変換部で発生した電荷をそれぞれ前記電荷電圧変換部に転送する複数の転送部と、前記電荷電圧変換部に転送された電荷に基づく信号を信号線に出力する出力部と、前記電荷電圧変換部の電位を設定する設定部とを含み、前記設定部によって前記電荷電圧変換部に設定される電位に応じて各画素ユニットが選択状態又は非選択状態にされ、

前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が、該選択された画素ユニットを非選択状態にする動作を介することなく、前記出力部によって連続して前記信号線に出力されるように、前記画素ユニット配列を駆動する

ことを特徴とする撮像装置。

【請求項2】

前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が前記出力部によって連続して前記信号線に出力された後に、少なくとも該選択された画素ユニットを非選択状態にするように、前記画素ユニット配列を駆動することを特徴とする請求項1に記載の撮像装置。

## 【請求項 3】

前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が前記出力部によって連続して前記信号線に出力された後に、前記複数の画素ユニットを非選択状態にするように、前記画素ユニット配列を駆動することを特徴とする請求項 2 に記載の撮像装置。

## 【請求項 4】

前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が、前記設定部が前記電荷電圧変換部の電位をリセットする動作を介して、前記出力部によって連続して前記信号線に出力されるように、前記画素ユニット配列を駆動することを特徴とする請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

10

## 【請求項 5】

前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が前記出力部によって連続して前記信号線に出力された後であって、該選択された画素ユニットを非選択状態にする前に、非選択状態の画素ユニット内の前記複数の光電変換部をリセットするように、前記画素ユニット配列を駆動することを特徴とする請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

## 【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の撮像装置と、  
前記撮像装置へ光を結像する光学系と、  
前記撮像装置から出力された信号を処理して画像データを生成する信号処理部と、  
を備えたことを特徴とする撮像システム。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、撮像装置及び撮像システムに関する。

## 【背景技術】

## 【0002】

CMOS イメージセンサなどの撮像装置において、画素縮小化のため、選択トランジスタを削減し、かつ複数の光電変換部で 1 つのリセットトランジスタおよび 1 つの増幅トランジスタを共用する画素ユニットが提案されている（特許文献 1 参照）。

30

【特許文献 1】特開 2004-172950 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

しかしながら、特許文献 1 に記載の技術では、信号を読み出すたびに、全面選択信号配線の電位を低い電位にするとともに全画素ユニットのリセットトランジスタをオンさせて、全画素ユニットを非選択状態にしている。その後、全面選択信号配線の電位を高い電位にするとともに選択画素ユニットのリセットトランジスタをオンさせて、選択画素ユニットのみを選択状態にしている。このように、全面選択信号配線の電位を頻繁に切り替える必要がある。このとき、この全面選択信号配線が全ての画素ユニットに接続されているため、画素ユニット数が増えると配線に付く寄生容量が大きくなり、充放電時間が長くなるため、画素ユニットから信号を読み出す際に、電位を切り替えるための長い時間が必要となる。そのため、画素ユニットから高速に信号を読み出すことが困難となる。

40

## 【0004】

画素ユニットから高速に信号を読み出すことができる撮像装置及び撮像システムを提供することにある。

## 【課題を解決するための手段】

## 【0005】

本発明の第 1 側面に係る撮像装置は、複数の画素ユニットが 2 次元配列された画素ユニ

50

ット配列と、前記画素ユニット配列を駆動する駆動部とを備える撮像装置であって、各画素ユニットは、複数の光電変換部と、前記複数の光電変換部に共通の電荷電圧変換部と、前記複数の光電変換部で発生した電荷をそれぞれ前記電荷電圧変換部に転送する複数の転送部と、前記電荷電圧変換部に転送された電荷に基づく信号を信号線に出力する出力部と、前記電荷電圧変換部の電位を設定する設定部とを含み、前記設定部によって前記電荷電圧変換部に設定される電位に応じて各画素ユニットが選択状態又は非選択状態にされ、前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が、該選択された画素ユニットを非選択状態にする動作を介することなく、前記出力部によって連続して前記信号線に出力されるように、前記画素ユニット配列を駆動することを特徴とする。

10

## 【0006】

本発明の第2側面に係る撮像システムは、本発明の第1側面に係る撮像装置と、前記撮像装置の前記画素配列へ光を結像する光学系と、前記撮像装置から出力された信号を処理して画像データを生成する信号処理部とを備えたことを特徴とする。

## 【発明の効果】

## 【0007】

本発明によれば、画素ユニットから高速に信号を読み出すことができる。

## 【発明を実施するための最良の形態】

## 【0008】

本発明の実施形態に係る撮像装置100について、図1を用いて説明する。図1は、本発明の実施形態に係る撮像装置100の構成図である。なお、図1で示されているMOSトランジスタはすべてN型とし、ゲート電位がHighのレベルでオン状態、Lowのレベルでオフ状態になるとする。

20

## 【0009】

撮像装置100は、図1に示すように、画素ユニット配列PA及び駆動部103を備える。

## 【0010】

駆動部103は、画素ユニット配列PAの周辺に配される。駆動部103は、画素ユニット配列PAにおける複数の画素ユニットを駆動する。駆動部103は、例えば、画素ユニット配列PAを垂直方向に走査する垂直走査回路である。

30

## 【0011】

なお、図1では、各列の列信号線10、・・・に出力された信号を読み出すために読み出し回路や、その読み出し回路を水平方向に走査するための水平走査回路などの図示が省略されている。

## 【0012】

画素ユニット配列PAでは、複数の画素ユニット(1, 2, 1, ...)が行方向及び列方向に配列(2次元配列)されている。

## 【0013】

画素ユニット1は、複数の光電変換部(2, 3)と、電荷電圧変換部8と、複数の転送部(4, 5)と、出力部7と、設定部6とを含む。すなわち、画素ユニット1は、複数の画素(複数の光電変換部)に対して出力部7及び設定部6が共通に設けられている。

40

## 【0014】

複数の光電変換部(2, 3)は、第1光電変換部2及び第2光電変換部3を含む。第1光電変換部2は、入射した光に応じた電荷を発生させて蓄積する。第1光電変換部2は、例えば、負電荷(電子)を蓄積するタイプのフォトダイオード(PD)である。第2光電変換部3は、入射した光に応じた電荷を発生させて蓄積する。第2光電変換部3は、例えば、負電荷(電子)を蓄積するタイプのフォトダイオード(PD)である。

## 【0015】

電荷電圧変換部8は、複数の光電変換部(2, 3)に共通に設けられている。電荷電圧変換部8は、後述の出力部7に対する入力部であり、複数の光電変換部(2, 3)で発生

50

した電荷を電圧に変換して保持する。すなわち、電荷電圧変換部 8 は、複数の光電変換部 ( 2 , 3 ) で発生した電荷に基づく信号 ( 電圧 ) を保持する。電荷電圧変換部 8 は、例えば、フローティングディフュージョン ( F D ) である。

【 0 0 1 6 】

複数の転送部 ( 4 , 5 ) は、複数の光電変換部 ( 2 , 3 ) で発生した電荷をそれぞれ電荷電圧変換部 8 に転送する。すなわち、複数の転送部 ( 4 , 5 ) は、それぞれ異なるタイミングでアクティブになる信号を供給されて、複数の光電変換部 ( 2 , 3 ) で発生した電荷をそれぞれ異なるタイミングで電荷電圧変換部 8 に転送する。複数の転送部 ( 4 , 5 ) は、第 1 転送部 4 及び第 2 転送部 5 を含む。第 1 転送部 4 は、第 1 光電変換部 2 に蓄積された電荷を所定のタイミングで電荷電圧変換部 8 に転送する。第 1 転送部 4 は、例えば、転送用の M O S トランジスタである。第 2 転送部 5 は、第 2 光電変換部 3 に蓄積された電荷を所定のタイミングで電荷電圧変換部 8 に転送する。第 2 転送部 5 は、例えば、転送用の M O S トランジスタである。

10

【 0 0 1 7 】

出力部 7 は、電荷電圧変換部 8 に転送された電荷に基づく信号を列信号線 1 0 に出力する。出力部 7 は、出力する際に、その電荷に基づく信号を増幅する。出力部 7 は、例えば、増幅用の M O S トランジスタである。

【 0 0 1 8 】

設定部 6 は、電荷電圧変換部 8 の電位を設定する。設定部 6 は、電荷電圧変換部 8 の電位を第 1 の電位 ( 図 4 に示す V 1 参照 ) に設定して選択状態にし、電荷電圧変換部 8 の電位を第 2 の電位 ( 図 4 に示す V 2 参照 ) に設定して非選択状態にする。設定部 6 は、例えば、リセット用の M O S トランジスタである。第 1 の電位は、出力部 ( M O S トランジスタ ) 7 がオンする電位であり、第 1 光電変換部 2 をリセットするのに必要な電位よりも高い必要がある。第 2 の電位は、出力部 ( M O S トランジスタ ) 7 がオフする電位であり、「列信号線 1 0 等の電位 + 出力部 7 ( 増幅用の N M O S トランジスタ ) がオンする閾値電圧」よりも低い必要がある。

20

【 0 0 1 9 】

このように、画素ユニット 1 は、設定部 6 によって電荷電圧変換部 8 に設定される電位に応じて、選択状態又は非選択状態にされる。

【 0 0 2 0 】

なお、他の画素ユニット 2 1 等についても、画素ユニット 1 と同様である。

30

【 0 0 2 1 】

次に、撮像装置 1 0 0 における駆動部 1 0 3 の動作について、図 2 及び図 3 を用いて説明する。図 2 は、駆動部 1 0 3 による電子シャッタ動作を示す図である。図 3 は、駆動部 1 0 3 による駆動シーケンスを示す図である。図 2 では、縦軸が画素ユニットの位置を示し、横軸がタイミングを示す。図 3 では、横軸がタイミングを示す。

【 0 0 2 2 】

なお、以下では、n ブロックが信号読み出しを行っているブロック、m ブロックが蓄積電荷掃き捨て ( 光電変換部のリセット ) を行っているブロックとして説明する。ここで、各画素ユニットに含まれる複数の光電変換部で出力部 ( 増幅用の N M O S トランジスタ ) が共有化されており、複数の行の読出しを一水平期間 H T に行なうため、同一の水平期間 H T に読出しを行なう複数行をブロックとして表現している。

40

【 0 0 2 3 】

駆動部 1 0 3 は、電子シャッタ動作により、信号電荷の蓄積時間を制御している。すなわち、駆動部 1 0 3 は、各光電変換部をリセットすることにより各光電変換部の電荷蓄積動作を開始し、各光電変換部に蓄積された電荷を電荷電圧変換部へ転送することにより各光電変換部の電荷蓄積動作を終了する。

【 0 0 2 4 】

ここで、図 2 に示すように、あるブロック ( n ブロック ) の蓄積終了 ( 読出 ) と、それとは異なるブロック ( m ブロック ) の蓄積開始を一水平期間 H T に行なっている。蓄積電

50

荷掃き捨て（光電変換部のリセット）を行ってから信号読み出しを行うまでの時間が蓄積時間となるため、 $m$ と $n$ とを適切な値に設定することにより、任意の蓄積時間を設定することができる。

【0025】

また、駆動部103は、選択された画素ユニット（ $n$ ブロック）内の複数の光電変換部（2, 3）で発生した電荷に基づく信号が、出力部7によって連続して列信号線10に出力される（「読出」で示す）ように、画素ユニット配列PAを駆動する（図3参照）。ここで、駆動部103は、その電荷に基づく信号が、選択された画素ユニット（ $n$ ブロック）を非選択状態にする動作（「FDLow」で示す）を介することなく、出力部7によって連続して列信号線10に出力されるように、画素ユニット配列PAを駆動する。また、駆動部103は、その電荷に基づく信号が、設定部6が電荷電圧変換部8の電位をリセットする動作（「FDHigh」で示す）を介して、出力部7によって連続して列信号線10に出力されるように、画素ユニット配列PAを駆動する。

10

【0026】

そして、駆動部103は、その電荷に基づく信号が出力部10によって連続して列信号線10に出力された後に、複数の画素ユニット（ $n$ ブロック,  $m$ ブロック）を非選択状態にする（「FDLow」で示す）ように、画素ユニット配列PAを駆動する。

【0027】

また、駆動部103は、その電荷に基づく信号が連続して出力された後であって、複数の画素ユニットを非選択状態にする前に、非選択状態の画素ユニット（ $m$ ブロック）内の複数の光電変換部（2, 3）をリセットするように、画素ユニット配列PAを駆動する。

20

次に、撮像装置100における駆動部103の動作の詳細について、図4～図6を用いて説明する。

【0028】

図4は、本発明の実施形態に係る撮像装置100の駆動タイミングを示した図である。図4において、Vresは、全面選択信号線9に入力される電位の高低を示している。Presaは、 $n$ ブロック・ $m$ ブロック以外の全てのブロックのリセット駆動線11に入力されるパルスである。Presは、 $n$ ブロックのリセット駆動線11に入力されるパルスである。Presrは、 $m$ ブロックのリセット駆動線11に入力されるパルスである。Ptx1は、 $n$ ブロックの第1電荷転送駆動線12に入力されるパルスである。Ptx2は、 $n$ ブロックの第2電荷転送駆動線13に入力されるパルスである。Ptxr1は、 $m$ ブロックの第1電荷転送駆動線12に入力されるパルスである。Ptxr2は、 $m$ ブロックの第2電荷転送駆動線13に入力されるパルスである。

30

【0029】

図5は、比較例に係る撮像装置の駆動タイミングを示した図である。

【0030】

図6は、図4と図5との駆動タイミングを比較するための模式図である。

【0031】

まず、第1の前提条件として、選択トランジスタを削減した画素ユニットにおいて、読み出すブロックを選択するために、次のようにする。駆動部103は、選択ブロックの電荷電圧変換部8を高い電位（V1）に設定し、非選択ブロックの電荷電圧変換部8を低い電位（V2）に設定するように、画素ユニット配列PAを駆動する。これにより、選択ブロックの出力部（トランジスタ）7がオンし、非選択ブロックの出力部（トランジスタ）7はオフする。よって、選択ブロックの信号を列信号線10に出力することができる。

40

【0032】

そして、第2の前提条件として、蓄積電荷を掃き捨てる（光電変換部をリセットする）ために、次のようにする。駆動部103は、電荷電圧変換部8を高い電位に設定した上で、複数の転送部（4, 5）のそれぞれをオンするように、画素ユニット配列PAを駆動する。蓄積電荷掃き捨て動作を行う $m$ ブロックは、信号電荷読み出しを行う $n$ ブロックとは異なるブロックである。すなわち、 $m$ ブロックは非選択ブロックである。よって、 $n$ ブ

50

ックの信号を読み出すときは、mブロックの電荷電圧変換部8は低い電位に設定されている必要がある。つまり、mブロックの電荷電圧変換部8の電位は、蓄積電荷掃き捨て動作時に高い電位(V1)に設定され、nブロックの信号電荷読み出し時に低い電位(V2)に設定されている必要がある。

【0033】

図4及び図5に示す駆動タイミングは、これらの前提条件を満たしている。

【0034】

次に、図5に示す比較例に係る撮像装置の駆動タイミングを詳細に説明する。

【0035】

Vresが高い電位(V1)である期間T1aに、PresrおよびPt xr1がHighとなり、mブロックの第1光電変換部2に蓄積された電荷が掃き捨てられる(リセットされる)。

10

【0036】

その後、Vresが低い電位V2である期間T2aに、PresrおよびPres aおよびPresがHighとなり、全てのブロックの電荷電圧変換部8が低い電位に設定されて非選択状態になる。

【0037】

その後、Vresが高い電位V1である期間T3aに、PresがHighとなり、nブロックの電荷電圧変換部8が高い電位V1に設定されて(リセットされて)選択状態になる。

20

【0038】

その後の期間T4aに、Pt x1がHighとなり、nブロックの第1光電変換部2に蓄積された電荷が列信号線10に読み出される。その際、Pt x1がHighとなる前と後とで列信号線10の電位を相関2重サンプリングすることにより、nブロックの第1光電変換部2に蓄積された電荷量を検出することができる。

【0039】

その後、Vresが高い電位V1である期間T5aに、PresrおよびPt xr2がHighとなり、mブロックの第2光電変換部3に蓄積された電荷が掃き捨てられる(リセットされる)。

【0040】

30

その後、Vresが低い電位V2である期間T6aに、PresrおよびPres aおよびPresがHighとなり、全てのブロックの電荷電圧変換部8が低い電位V2に設定されて非選択状態になる。

【0041】

その後、Vresが高い電位V1である期間T7aに、PresがHighとなり、nブロックの電荷電圧変換部8が高い電位V1に設定されて(リセットされて)選択状態になる。

【0042】

その後の期間T8aに、Pt x2がHighとなり、nブロックの第2光電変換部3に蓄積された電荷が列信号線10に読み出される。その際、Pt x2がHighとなる前と後とで列信号線10の電位を相関2重サンプリングすることにより、nブロックの第2光電変換部3に蓄積された電荷量を検出することができる。

40

【0043】

以上述べたとおり、図5に示す駆動タイミングは、nブロックの第1光電変換部2およびnブロックの第2光電変換部3を読み出すための水平期間HTaにおいて、全面選択信号線9の電位Vresの切り替えが2回行われている。この全面選択信号線9は全ての画素ユニットに接続されているため、画素ユニット数が増えると配線に付く寄生容量が大きくなり、充放電時間が長くなるため、画素ユニットから信号を読み出す際に、電位を切り替えるための長い時間が必要となる。そのため、画素ユニットから高速に信号を読み出すことが困難となる。

50

## 【 0 0 4 4 】

また、nブロックの電荷読み出し動作を行うための信号 P t x 1 又は P t x 2 が H i g h となる期間の直前に、mブロックの電荷掃き捨て動作と V r e s 電位の切り替えとが行われている。そのため、電荷掃き捨て動作あるいは V r e s 電位の切り替えにより過渡電流が流れて電源電圧が変動したり、画素のグラウンド電位が変動したりすると、その直後に行われる電荷読み出し動作に大きな影響を及ぼす。具体的には、シェーディングなどの原因となる。

## 【 0 0 4 5 】

次に、図 4 に示す本発明の実施形態に係る撮像装置の駆動タイミングを、図 5 に示す比較例に係る撮像装置の駆動タイミングと比較しながら説明する。

10

## 【 0 0 4 6 】

まず、V r e s が高い電位 V 1 である期間 T 1 に、P r e s が H i g h となり、nブロックの電荷電圧変換部 8 が高い電位 V 1 に設定されて(リセットされて)選択状態になる。

## 【 0 0 4 7 】

その後の期間 T 2 に、P t x 1 が H i g h となり、nブロックの第 1 光電変換部 2 に蓄積された電荷が列信号線 1 0 に読み出される。その際、P t x 1 が H i g h となる前と後とで列信号線 1 0 の電位を相関 2 重サンプリングすることにより、nブロックの第 1 光電変換部 2 に蓄積された電荷量を検出することができる。

20

## 【 0 0 4 8 】

その後、V r e s が高い電位 V 1 である期間 T 3 に、P r e s が H i g h となり、nブロックの電荷電圧変換部 8 が再び高い電位に設定されて(リセットされて)選択状態に維持される。

## 【 0 0 4 9 】

その後の期間 T 4 に、P t x 2 が H i g h となり、nブロックの第 2 光電変換部 3 に蓄積された電荷が列信号線 1 0 に読み出される。その際、P t x 2 が H i g h となる前と後とで列信号線 1 0 の電位を相関 2 重サンプリングすることにより、nブロックの第 2 光電変換部 3 に蓄積された電荷量を検出することができる。

## 【 0 0 5 0 】

その後、V r e s が高い電位 V 1 である期間 T 5 に、P r e s r および P t x r 1 および P t x r 2 が H i g h となり、mブロックの第 1 光電変換部 2 および第 2 光電変換部 3 に蓄積された電荷が掃き捨てられる(リセットされる)。

30

## 【 0 0 5 1 】

その後、V r e s が低い電位 V 2 である期間 T 6 に、P r e s r および P r e s a および P r e s が H i g h となり、全てのブロックの電荷電圧変換部 8 が低い電位に設定されて非選択状態になる。

## 【 0 0 5 2 】

以上述べたとおり、図 4 に示すタイミングでは、nブロックの第 1 光電変換部 2 および nブロックの第 2 光電変換部 3 を読み出すための水平期間 H T に、全面選択信号線 9 の電位 V r e s の切り替えは 1 回しか行われていない。これにより、画素ユニットから信号を読み出す際に、電位を切り替えるための長い時間を低減できる。このため、比較例における水平期間 H T a に比べて本発明の実施形態に係る水平期間 H T を短くすることができ(図 6 参照)、画素ユニットから高速に信号を読み出すことができる。

40

## 【 0 0 5 3 】

それに加え、mブロックの第 1 光電変換部 2 および第 2 光電変換部 3 の電荷掃き捨て動作を同時に行っている。これにより、画素ユニットから信号を読み出す際に、電荷掃き捨て動作を行うための時間を低減できる。この点からも、比較例における水平期間 H T a に比べて本発明の実施形態に係る水平期間 H T を短くすることができ(図 6 参照)、画素ユニットから高速に信号を読み出すことができる。

## 【 0 0 5 4 】

50

また、全面選択信号線 9 の充放電回数も減っているため、消費電流も低減されている。

【0055】

また、nブロックの電荷読み出し動作を行うための信号  $P_{tx1}$  あるいは  $P_{tx2}$  が High となる期間が終了した後に、mブロックの電荷掃き捨て動作と  $V_{res}$  電位の切り替えとが行われている。そのため、電荷掃き捨て動作あるいは  $V_{res}$  電位の切り替えにより過渡電流が流れて電源電圧が変動したり、画素のグラウンド電位が変動したりしても、電荷読み出し動作に大きな影響を及ぼすことがない。よって、シェーディングを低減でき、良好な画像信号を得ることができる。

【0056】

なお、図 4 に示す期間  $T_6$  において、駆動部 103 は、全画素ユニットを非選択状態にせず、少なくとも選択された画素ユニットを非選択状態にするように、画素ユニット配列 PA を駆動してもよい。

10

【0057】

また、撮像装置の画素ユニットの構成は、出力部（増幅用の MOS トランジスタ）を 2 つの光電変換部で共有したものとなっているが、これに限定されるものではない。例えば、画素ユニットの構成が、出力部（増幅用の MOS トランジスタ）を 4 つの光電変換部で共有したものであっても、同様の効果を得ることができる。またその場合、図 4 に示すように 2 ブロック分の信号を読み出すごとに電荷掃き捨て動作と  $V_{res}$  電位の切り替えとを行うことも可能であるし、4 ブロック分の信号を読み出すごとに電荷掃き捨て動作と  $V_{res}$  電位の切り替えとを行うことも可能である。

20

【0058】

また、図 7 に示すように、mブロックの第 1 光電変換部 2 の蓄積電荷掃き捨て動作の期間  $T_{51}$  と、mブロックの第 2 光電変換部 3 の蓄積電荷掃き捨て動作の期間  $T_{52}$  とは、別の期間であってもよい。ここで、各光電変換部の蓄積時間は、電荷掃き捨て動作を行ってから電荷読み出しを動作行うまでの時間となる。すなわち、期間  $T_{51}$  と期間  $T_{52}$  とが別の期間であることにより、第 1 光電変換部 2 の蓄積時間と第 2 光電変換部 3 の蓄積時間とを同一にすることが容易になる。

【0059】

次に、本発明の撮像装置 100 を適用した撮像システムの一例を図 8 に示す。

【0060】

撮像システム 90 は、図 8 に示すように、主として、光学系、撮像装置 100 及び信号処理部を備える。光学系は、主として、シャッター 91、撮影レンズ 92 及び絞り 93 を備える。信号処理部は、主として、撮像信号処理回路 95、A/D 変換器 96、画像信号処理部 97、メモリ部 87、外部 I/F 部 89、タイミング発生部 98、全体制御・演算部 99、記録媒体 88 及び記録媒体制御 I/F 部 94 を備える。なお、信号処理部は、記録媒体 88 を備えなくても良い。

30

【0061】

シャッター 91 は、光路上において撮影レンズ 92 の手前に設けられ、露出を制御する。

【0062】

撮影レンズ 92 は、入射した光を屈折させて、撮像装置 100 へ被写体の像を結像させる。

40

【0063】

絞り 93 は、光路上において撮影レンズ 92 と撮像装置 100 との間に設けられ、撮影レンズ 92 を通過後に撮像装置 100 へ導かれる光の量を調節する。

【0064】

撮像装置 100 は、画素ユニット配列 PA に結像された被写体の像を画像信号に変換する。撮像装置 100 は、その画像信号を画素ユニット配列 PA から読み出して出力する。

【0065】

撮像信号処理回路 95 は、撮像装置 100 に接続されており、撮像装置 100 から出力

50



された画像信号を処理する。

【0066】

A/D変換器96は、撮像信号処理回路95に接続されており、撮像信号処理回路95から出力された処理後の画像信号(アナログ信号)をデジタル信号へ変換する。

【0067】

画像信号処理部97は、A/D変換器96に接続されており、A/D変換器96から出力された画像信号(デジタル信号)に各種の補正等の演算処理を行い、画像データを生成する。この画像データは、メモリ部87、外部I/F部89、全体制御・演算部99及び記録媒体制御I/F部94などへ供給される。

【0068】

メモリ部87は、画像信号処理部97に接続されており、画像信号処理部97から出力された画像データを記憶する。

【0069】

外部I/F部89は、画像信号処理部97に接続されている。これにより、画像信号処理部97から出力された画像データを、外部I/F部89を介して外部の機器(パソコン等)へ転送する。

【0070】

タイミング発生部98は、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97に接続されている。これにより、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97へタイミング信号を供給する。そして、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97がタイミング信号に同期して動作する。

【0071】

全体制御・演算部99は、タイミング発生部98、画像信号処理部97及び記録媒体制御I/F部94に接続されており、タイミング発生部98、画像信号処理部97及び記録媒体制御I/F部94を全体的に制御する。

【0072】

記録媒体88は、記録媒体制御I/F部94に取り外し可能に接続されている。これにより、画像信号処理部97から出力された画像データを、記録媒体制御I/F部94を介して記録媒体88へ記録する。

【0073】

以上の構成により、撮像装置100において良好な画像信号が得られれば、良好な画像(画像データ)を得ることができる。

【図面の簡単な説明】

【0074】

【図1】本発明の実施形態に係る撮像装置の構成図。

【図2】駆動部による電子シャッター動作を示す図。

【図3】駆動部による駆動シーケンスを示す図。

【図4】本発明の実施形態に係る撮像装置の駆動タイミングを示した図。

【図5】比較例に係る撮像装置の駆動タイミングを示した図。

【図6】図4と図5との駆動タイミングを比較するための模式図。

【図7】本発明の実施形態の変形例に係る撮像装置の駆動タイミングを示した図。

【図8】実施形態に係る撮像装置を適用した撮像システムの構成図。

【符号の説明】

【0075】

1, 21 画素ユニット

2 第1光電変換部

3 第2光電変換部

4 第1転送部

5 第2転送部

10

20

30

40

50

- 6 設定部
- 7 出力部
- 8 電荷電圧変換部
- 9 全面選択信号線
- 10 列信号線
- 11 リセット駆動線
- 12 第1電荷転送駆動線
- 13 第2電荷転送駆動線
- 90 撮像システム
- 100 撮像装置

10

【要約】 (修正有)

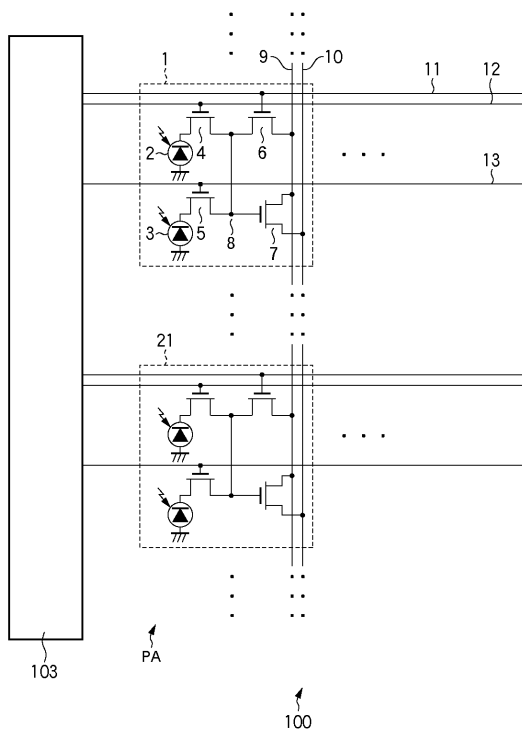
【課題】高速に信号を読み出すことができる撮像装置及び撮像システムを提供する。

【解決手段】画素ユニットは、複数の光電変換部と、前記複数の光電変換部に共通の電荷電圧変換部と、前記複数の光電変換部で発生した電荷をそれぞれ前記電荷電圧変換部に転送する複数の転送部と、前記電荷電圧変換部に転送された電荷に基づく信号を信号線に出力する出力部と、前記電荷電圧変換部の電位を設定する設定部とを含み、前記設定部によって前記電荷電圧変換部に設定される電位に応じて各画素ユニットが選択状態又は非選択状態にされ、前記駆動部は、選択された画素ユニット内の前記複数の光電変換部で発生した電荷に基づく信号が、該選択された画素ユニットを非選択状態にする動作を介することなく、前記出力部によって連続して前記信号線に出力されるように、前記画素ユニット配

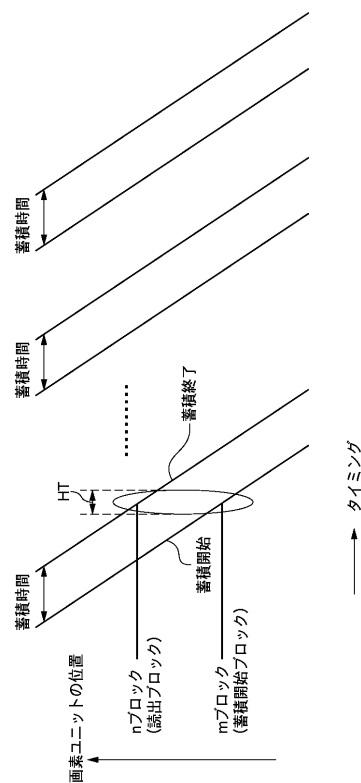
20

【選択図】図1

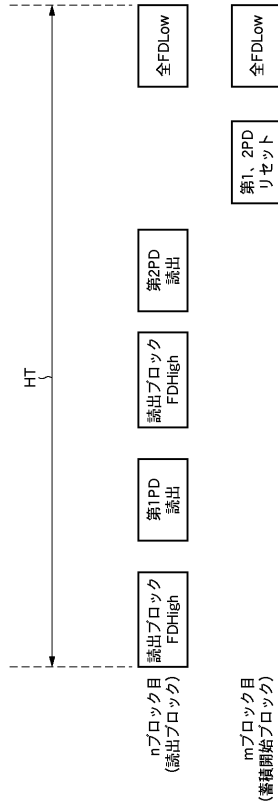
【図1】



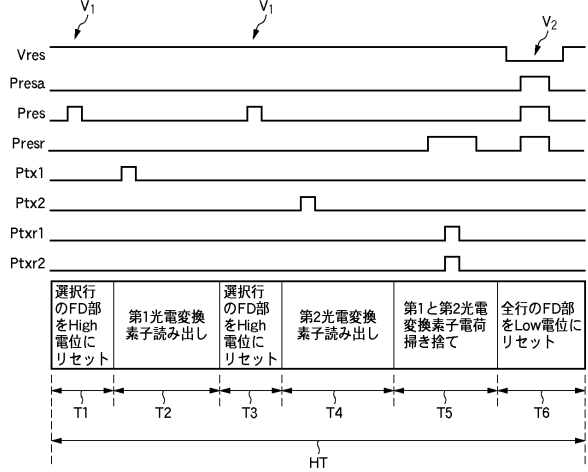
【図2】



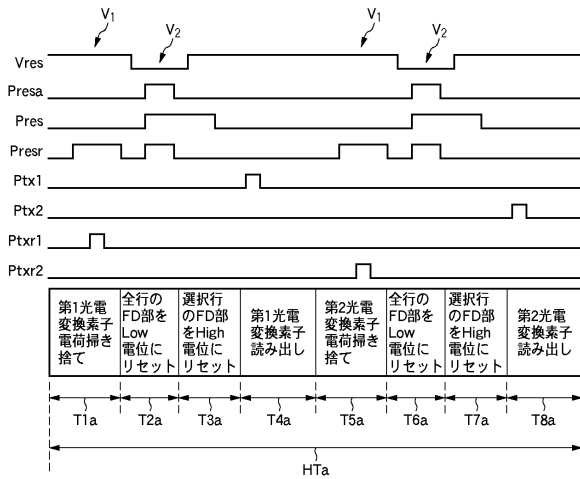
【 図 3 】



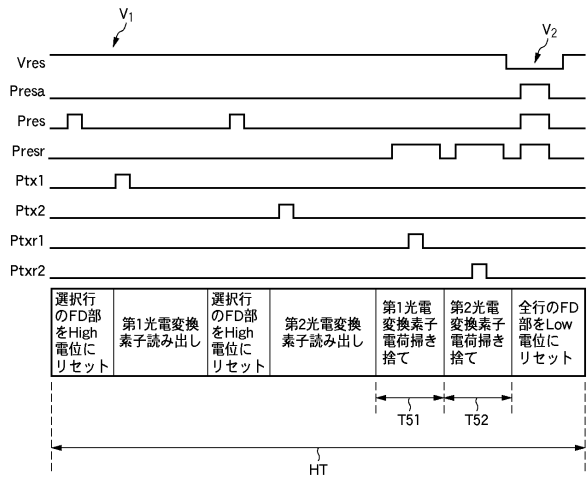
【 図 4 】



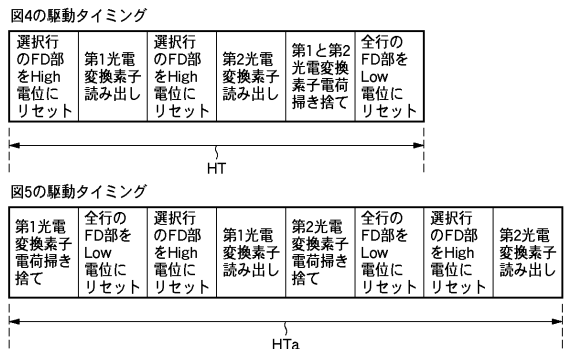
【 図 5 】



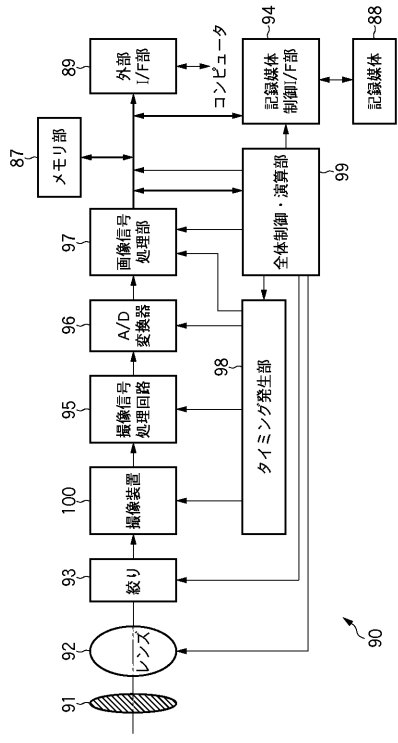
【 図 7 】



【 図 6 】



【図8】



---

フロントページの続き

- (72)発明者 野田 智之  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 高橋 秀和  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 徳 田 賢二

- (56)参考文献 特開2004-186407(JP,A)  
特開2000-224482(JP,A)  
特開2006-303871(JP,A)  
特開2006-217338(JP,A)  
特開2007-228460(JP,A)  
特開平10-93066(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H04N | 5/335  |
| H01L | 27/146 |