



(21) 申请号 202011239652.2

(22) 申请日 2020.11.09

(65) 同一申请的已公布的文献号

申请公布号 CN 112366178 A

(43) 申请公布日 2021.02.12

(73) 专利权人 TCL华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72) 发明人 刘净

(74) 专利代理机构 深圳紫藤知识产权代理有限

公司 44570

专利代理师 高杨丽

(51) Int.Cl.

H01L 21/77 (2017.01)

H01L 27/12 (2006.01)

(56) 对比文件

CN 111326082 A, 2020.06.23

US 2002119403 A1, 2002.08.29

审查员 沈冬云

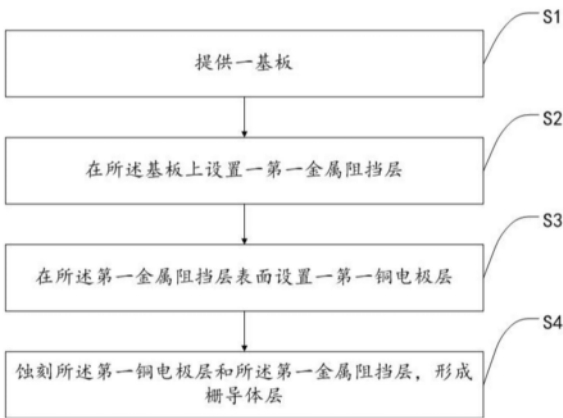
权利要求书1页 说明书7页 附图5页

(54) 发明名称

阵列基板的制备方法及阵列基板

(57) 摘要

本发明提供一种阵列基板的制备方法及阵列基板。所述阵列基板的制备方法包括在铜电极层下方设置金属阻挡层,且铜电极层厚度为5000-10000Å,所述金属阻挡层为50-200Å,或者所述铜电极层厚度为2000-5000Å,所述金属阻挡层为200-500Å。本申请提供的阵列基板的制备方法通过减少金属阻挡层的厚度,可有效实现阵列基板量产过程中薄铜产品和厚铜产品的湿刻蚀兼容性,降低量产薄铜产品向厚铜产品切换时的新增制造费用,并减少蚀刻后金属残留。



1. 一种阵列基板的制备方法,其特征在于,包括如下步骤:

S1. 提供一基板;

S2. 在所述基板上设置一第一金属阻挡层;

S3. 在所述第一金属阻挡层表面设置一第一铜电极层;以及

S4. 蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层;

其中,所述栅导体层包括栅极、栅线和栅焊盘,所述第一铜电极层厚度为5000-10000Å,所述第一金属阻挡层为50-200Å,或者所述第一铜电极层厚度为2000-5000Å,所述第一金属阻挡层为200-500Å;

所述第一铜电极层厚度为5000-10000Å,所述第一金属阻挡层为50-200Å,并且,所述步骤S4包括:

S4a在所述第一铜电极层上涂布光阻、显影;以及

S4b湿法蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层;

所述第一铜电极层厚度为2000-5000Å,所述第一金属阻挡层为200-500Å,并且,所述步骤S4包括:

S4c在所述第一铜电极层上涂布光阻、显影、烘烤;以及

S4d湿法蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层。

2. 根据权利要求1所述的阵列基板的制备方法,其特征在于,所述制备方法在所述步骤S4之后还包括如下步骤:

S5在所述栅导体层上设置一栅极绝缘层,以覆盖所述栅导体层;

S6在所述栅极绝缘层上依次设置一活性层和一欧姆接触层;以及

S7在所述欧姆接触层上设置数据线、数据焊盘、源极和漏极;

其中,所述数据线、数据焊盘、源极和漏极中的至少一种包括由下至上堆叠的第二金属阻挡层和第二铜电极层。

3. 根据权利要求2所述的阵列基板的制备方法,其特征在于,所述第二铜电极层上还设置有第三金属阻挡层。

4. 根据权利要求1所述的阵列基板的制备方法,其特征在于,所述第一金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

5. 根据权利要求2所述的阵列基板的制备方法,其特征在于,所述第二金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

6. 根据权利要求3所述的阵列基板的制备方法,其特征在于,所述第三金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

7. 根据权利要求2所述的阵列基板的制备方法,其特征在于,所述活性层的材料为非晶硅或者氧化物半导体。

8. 由权利要求1-7任一项所述的制备方法制备得到的阵列基板。

阵列基板的制备方法及其阵列基板

技术领域

[0001] 本申请涉及液晶显示技术领域，具体涉及一种阵列基板的制备方法及其阵列基板。

背景技术

[0002] 随着信息技术的进步，显示屏已逐渐向高品质化和高功能化的方向发展。显示屏的功能越多，画质越高，薄膜晶体管阵列 (Thin Film Transistor, TFT) 电路就越复杂，金属线越长，从而造成信号的延迟。目前，因为铜具有更好的电导率和更低的阻抗，面板工艺中铜制程已经取代了铝制程。通常，会在铜金属线和玻璃基板之间加上薄薄的一层金属阻挡层材料，从而增加铜电极与玻璃基板的黏附性。

[0003] 为了进一步减少 TFT 复杂电路上的信号延迟，厚铜技术 (铜厚大于 $5000\text{\AA}$) 已经被运用至高端显示面板制造工艺中，如 8K 显示技术、铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO) 显示技术、有机发光半导体 (Organic Light-Emitting Diode, OLED) 显示技术。但是，厚铜产品的湿刻蚀特性与薄铜产品存在较大差异。量产化的湿刻蚀工艺中，在保证相同的 CD loss (金属线上方光阻宽度与湿蚀刻后金属线宽的差值) 条件下，厚铜产品因拥有更厚的金属铜厚，蚀刻后更容易出现刻蚀不尽的问题，导致金属残留的存在，从而影响面板生产工艺的整体良率。

发明内容

[0004] 为改善现有技术的缺陷，本申请提供一种阵列基板的制备方法及其阵列基板。所述阵列基板的制备方法通过减小厚铜产品中金属阻挡层的厚度，可以大大提高量产时薄铜产品和厚铜产品的湿刻蚀兼容性，降低量产薄铜产品向厚铜产品切换时的新增制造费用，并减少蚀刻后金属残留。

[0005] 本申请提供如下技术方案：

[0006] 第一方面，本申请提供一种阵列基板的制备方法，包括如下步骤：

[0007] S1. 提供一基板；

[0008] S2. 在所述基板上设置一第一金属阻挡层；

[0009] S3. 在所述第一金属阻挡层表面设置一第一铜电极层；以及

[0010] S4. 蚀刻所述第一铜电极层和所述第一金属阻挡层，形成栅导体层；

[0011] 其中，所述栅导体层包括栅极、栅线和栅焊盘，所述第一铜电极层厚度为 $5000-10000\text{\AA}$ ，所述第一金属阻挡层为 $50-200\text{\AA}$ ，或者所述第一铜电极层厚度为 $2000-5000\text{\AA}$ ，所述第一金属阻挡层为 $200-500\text{\AA}$ 。

[0012] 在本申请的制备方法中，所述第一铜电极层厚度为 $5000-10000\text{\AA}$ ，所述第一金属阻挡层为 $50-200\text{\AA}$ ，并且，所述步骤 S4 包括：

[0013] S4a 在所述第一铜电极层上涂布光阻、显影；以及

[0014] S4b 湿法蚀刻所述第一铜电极层和所述第一金属阻挡层，形成栅导体层。

[0015] 在本申请的制备方法中,所述第一铜电极层厚度为2000-5000Å,所述第一金属阻挡层为200-500Å,并且,所述步骤S4包括:

[0016] S4c在所述第一铜电极层上涂布光阻、显影、烘烤;以及

[0017] S4d湿法蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层。

[0018] 在本申请的制备方法中,所述制备方法在所述步骤S4之后还包括如下步骤:

[0019] S5在所述栅导体层上设置一栅极绝缘层,以覆盖所述栅导体层;

[0020] S6在所述栅极绝缘层上依次设置一活性层和一欧姆接触层;以及

[0021] S7在所述欧姆接触层上设置数据线、数据焊盘、源极和漏极;

[0022] 其中,所述数据线、数据焊盘、源极和漏极中的至少一种包括由下至上堆叠的第二金属阻挡层和第二铜电极层。

[0023] 在本申请的制备方法中,所述第二铜电极层上还设置有第三金属阻挡层。

[0024] 在本申请的制备方法中,所述第一金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

[0025] 在本申请的制备方法中,所述第二金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

[0026] 在本申请的制备方法中,所述第三金属阻挡层的材料选自钼、钼的二元合金或者钼的三元合金中的一种或多种。

[0027] 在本申请的制备方法中,所述活性层的材料为非晶硅或者氧化物半导体。所述的制备方法制备得到的阵列基板。

[0028] 第二方面,本申请还提供如第一方面所述的阵列制备的制备方法制备得到的阵列基板。

[0029] 有益效果:本申请提供一种阵列基板的制备方法,包括在铜电极层下方设置金属阻挡层,且铜电极层厚度为5000-10000Å,所述金属阻挡层为50-200Å,或者所述铜电极层厚度为2000-5000Å,所述金属阻挡层为200-500Å。本申请提供的阵列基板的制备方法通过减少金属阻挡层的厚度,可有效实现阵列基板量产过程中薄铜产品和厚铜产品的湿刻蚀兼容性,降低量产薄铜产品向厚铜产品切换时的新增制造费用,并减少蚀刻后金属残留。

附图说明

[0030] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍。

[0031] 图1为本申请提供的第一种阵列基板的制备方法流程图;

[0032] 图2为本申请提供的第一种阵列基板的结构示意图;

[0033] 图3为本申请提供的第二种阵列基板的制备方法流程图;

[0034] 图4为本申请提供的第二种阵列基板的结构示意图;

[0035] 图5为本申请提供的第三种阵列基板的制备方法流程图;

[0036] 图6为本申请提供的第三种阵列基板的结构示意图。

具体实施方式

[0037] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0038] 在本申请的描述中,需要理解的是,术语“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0039] 本申请提出了一种阵列基板的制备方法,包括

[0040] S1.提供一基板;

[0041] S2.在所述基板上设置一第一金属阻挡层;

[0042] S3.在所述第一金属阻挡层表面设置一第一铜电极层;以及

[0043] S4.蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层;

[0044] 其中,所述栅导体层包括栅极、栅线和栅焊盘,所述第一铜电极层厚度为5000-10000Å,所述第一金属阻挡层为50-200Å,或者所述第一铜电极层厚度为2000-5000Å,所述第一金属阻挡层为200-500Å。

[0045] 当所述第一铜电极层厚度为5000-10000Å,所述第一金属阻挡层为50-200Å时,所述步骤S4包括:

[0046] 4a在所述第一铜电极层上涂布光阻、显影;

[0047] 4b湿法蚀刻所述第一铜电极层和所述第一金属阻挡层,形成栅导体层。

[0048] 在一些实施方式中,所述制备方法在所述步骤S4之后还包括如下步骤:

[0049] S5在所述栅导体层上设置一栅极绝缘层,以覆盖所述栅导体层;

[0050] S6在所述栅极绝缘层上依次设置一活性层和一欧姆接触层;以及

[0051] S7在所述欧姆接触层上设置数据线、数据焊盘、源极和漏极;

[0052] 其中,所述数据线、数据焊盘、源极和漏极中的至少一种包括由下至上堆叠的第二金属阻挡层和第二铜电极层。

[0053] 本申请通过减小厚铜电极层下方金属阻挡层的厚度,提高阵列基板量产时厚铜产品(铜电极层厚度为5000-10000Å)和薄铜产品(铜电极层厚度为2000-5000Å)在湿法蚀刻工艺中的兼容性,可以有效降低厚铜产品和薄铜产品之间工艺转换的成本,并且厚铜产品在涂布光阻、显影后省略烘烤过程,进一步减少蚀刻后的金属残留风险。

[0054] 现结合具体实施例对本申请的技术方案进行描述。

[0055] 实施例1

[0056] 如图1和图2所示,本实施例提供一种阵列基板的制备方法,所述阵列基板为TFT基板110,其制备方法包括如下步骤:

[0057] S1.提供一基板110;

[0058] 所述基板110为玻璃基板或树脂等其他材质的透明基板。

[0059] S2.在所述基板110上设置一第一金属阻挡层121;

[0060] 首先,可以采用溅射、电镀、热蒸发或其他金属成膜方法,在所述基板110上形成第一金属阻挡层121,所述第一金属阻挡层121的金属材料选自钼(Mo)、钼的二元合金或者钼的三元合金中的一种或多种。其中,所述钼的二元合金为钼和钛的合金,所述钼的三元合金包括钼和钛,且第三种金属元素为选自铝、铬和镍中的至少一种。在一些实施方案中,钼的二元合金中,钛的质量百分含量为0.5-0.85%;在另一些实施方案中,所述钼的三元合金中,钛的质量百分含量为0.5-0.85%,铝或铬或镍的质量百分含量为0.5-0.85%,其余为钼。

[0061] S3.在所述第一金属阻挡层121表面设置一第一铜电极层122;

[0062] 采用溅射、热蒸发、电镀或其他金属成膜方法,在所述第一金属阻挡层121表面设置第一铜电极层122。

[0063] S4.蚀刻所述第一铜电极层122和所述第一金属阻挡层121,形成栅导体层;

[0064] 该步骤包括采用湿法蚀刻工艺根据栅导体层图案蚀刻所述第一铜电极层122和所述第一金属阻挡层121,形成双层结构的栅导体层。

[0065] 在所述制备方法中,所述栅导体层包括栅极123、栅线和栅焊盘124,所述第一铜电极层122厚度为5000-10000Å时,所述第一金属阻挡层121为50-200Å,或者所述第一铜电极层122厚度为2000-5000Å时,所述第一金属阻挡层121为200-500Å。

[0066] 在一些实施方案中,当所述第一铜电极层122厚度为5000-10000Å时,所述第一金属阻挡层121为50-200Å,此时所述步骤S4包括:

[0067] S4a在所述第一铜电极层122上涂布光阻、显影;以及

[0068] S4b湿法蚀刻所述第一铜电极层122和所述第一金属阻挡层121,形成栅导体层。

[0069] 该步骤具体包括在第一铜电极层122表面形成光阻(光刻胶),采用刻画有图形的掩膜版对光刻胶进行曝光和显影,形成光刻胶掩膜,再根据光刻胶掩膜图案对所述第一铜电极层122和所述第一金属阻挡层121进行刻蚀,形成栅极123、栅线(图中未示出)和栅焊盘124的图形。需要说明的是,在本步骤中,通过曝光和显影形成光刻胶掩膜后,可以不经烘烤,直接进行刻蚀,由于采用铜电极层的厚度较大,不经烘烤的光刻胶硬度可以保证对第一铜电极层122和第一金属阻挡层121良好的刻蚀,减少金属残留,提高阵列基板良率。此外,本领域技术人员可以理解,本步骤中还可以包括蚀刻完成后去除或剥离光刻胶掩膜的步骤。

[0070] 在一些实施方案中,当所述第一铜电极层122厚度为2000-5000Å时,所述第一金属阻挡层121为200-500Å,此时所述步骤S4包括:

[0071] S4c在所述第一铜电极层122上涂布光阻、显影和烘烤;以及

[0072] S4d湿法蚀刻所述第一铜电极层122和所述第一金属阻挡层121,形成栅导体层。

[0073] 该步骤具体包括在第一铜电极层122表面形成光阻(光刻胶),采用刻画有图形的掩膜版对光刻胶进行曝光和显影,形成光刻胶掩膜,再根据光刻胶掩膜图案对所述第一铜

电极层122和所述第一金属阻挡层121进行刻蚀,形成栅极123、栅线和栅焊盘124的图形。需要说明的是,在本步骤中,光刻胶掩膜版的形成经过烘烤,包括在显影前烘烤和显影后烘烤,烘烤后再进行刻蚀,由于铜电极层的厚度较小,经烘烤的光刻胶硬度更高,可以保证薄铜产品良好的蚀刻效果,并达到生产线在切换厚铜产品和薄铜产品时的良好兼容性。此外,本领域技术人员可以理解,本步骤中还可以包括蚀刻完成后去除或剥离光刻胶掩膜步骤。

[0074] 本实施例还提供上述方法得到的阵列基板,如图2所示,所述阵列基板包括基板110,以及依次设置在基板110上的第一金属阻挡层121和第一铜电极层122组成的栅导体层,所述栅导体层包括栅极123、栅线(图中未示出)和栅焊盘124;其中,所述第一铜电极层122厚度为5000-10000Å时,所述第一金属阻挡层121为50-200Å,或者所述第一铜电极层122厚度为2000-5000Å时,所述第一金属阻挡层121为200-500Å。

[0075] 实施例2

[0076] 本实施例提供一种阵列基板的制备方法,如图3和图4所示,其与实施例1的阵列基板制备方法的区别仅在于,在步骤S4之后还进一步包括如下步骤:

[0077] S5在所述栅导体层上设置一栅极绝缘层125,以覆盖所述栅导体层;

[0078] 可以采用化学气相沉积(PCVD)等方法在所述栅导体层上沉积一栅极123绝缘层,具体来说可以采用等离子体增强化学气相沉积(PECVD)工艺来沉积所述栅极123绝缘层。所述栅极绝缘层125的沉积厚度可以为2000-7000 Å。其中,栅极绝缘层125可以选用氮化物(例如SiNx)或者氧化物(例如SiO_x)等材料。

[0079] S6在所述栅极绝缘层125上依次设置一活性层206和欧姆接触层205;

[0080] 首先,在完成所述栅极绝缘层125沉积工艺后,继续形成一活性层206,可以采用PECVD等方法形成厚度为1000-4000 Å的活性材料层和欧姆接触层205。然后,在活性材料层上形成光刻胶,再用刻画有图形的掩膜版对光刻胶进行曝光和显影,形成光刻胶掩膜,再根据光刻胶掩膜图案对所述活性材料层进行刻蚀,形成活性层206图案。其中,所述活性层206为非晶硅或氧化物半导体层,所述氧化物半导体层可以选自氧化铟镓锌、氧化铟锡锌、氧化铟锌或氧化铟锌中的至少一种。所述欧姆接触层205可以是本领域已知的掺杂半导体材料,例如N型掺杂硅。

[0081] S7在所述欧姆接触层205上设置数据线212、数据焊盘213、源极210和漏极211;

[0082] 其中,所述数据线212、数据焊盘213、源极210和漏极211中的至少一种包括由下至上堆叠的第二金属阻挡层201和第二铜电极层202;

[0083] 首先,可以采用溅射、电镀、热蒸发或其他金属成膜方法,在所述基板110上形成第二金属阻挡层201,所述第二金属阻挡层201的金属材料选自钼(Mo)、钼的二元合金或者钼的三元合金中的一种或多种。其中,所述钼的二元合金为钼和钛的合金,所述钼的三元合金包括钼和钛,且第三种金属元素为选自铝、铬和镍中的至少一种。在一些实施方案中,钼的二元合金中,钛的质量百分含量为0.5-0.85%;在另一些实施方案中,所述钼的三元合金中,钛的质量百分含量为0.5-0.85%,铝或铬或镍的质量百分含量为0.5-0.85%,其余为钼。

[0084] 采用溅射、热蒸发、电镀或其他金属成膜方法,在所述第二金属阻挡层201表面设

置第二铜电极层202。

[0085] 该步骤包括采用湿法蚀刻工艺根据图案蚀刻所述第二铜电极层202和所述第二金属阻挡层201,形成双层金属层结构的数据线212、数据焊盘213、源极210和漏极211。

[0086] 在所述制备方法中,所述第二铜电极层202厚度为5000-10000Å时,所述第二金属阻挡层201为50-200Å,或者所述第二铜电极层202厚度为2000-5000Å时,所述第二金属阻挡层201为200-500Å。

[0087] 在一些实施方案中,当所述第二铜电极层202厚度为5000-10000Å时,所述第二金属阻挡层201为50-200Å,此时所述步骤S4包括:

[0088] S4a在所述第二铜电极层202上涂布光阻、显影;以及

[0089] S4b湿法蚀刻所述第二铜电极层202和所述第二金属阻挡层201,形成数据线212、数据焊盘213、源极210和漏极211。

[0090] 该步骤具体包括在第二铜电极层202表面形成光阻(光刻胶),采用刻画有图形的掩模版对光刻胶进行曝光和显影,形成光刻胶掩膜,再根据光刻胶掩膜图案对所述第二铜电极层202和所述第二金属阻挡层201进行刻蚀,形成数据线212、数据焊盘213、源极210和漏极211的图形。需要说明的是,在本步骤中,通过曝光和显影形成光刻胶掩膜后,可以不经过烘烤,直接进行刻蚀,由于采用铜电极层的厚度较大,不经烘烤的光刻胶硬度可以保证对第二铜电极层202和第二金属阻挡层201良好的刻蚀,减少金属残留,提高阵列基板良率。此外,本领域技术人员可以理解,本步骤中还可以包括蚀刻完成后去除或剥离光刻胶掩膜的步骤。

[0091] 在一些实施方案中,当所述第二铜电极层202厚度为2000-5000Å时,所述第二金属阻挡层201为200-500Å,此时所述步骤S4包括:

[0092] S4c在所述第二铜电极层202上涂布光阻、显影和烘烤;以及

[0093] S4d湿法蚀刻所述第二铜电极层202和所述第二金属阻挡层201,形成数据线212、数据焊盘213、源极210和漏极211。

[0094] 该步骤具体包括在第二铜电极层202表面形成光阻(光刻胶),采用刻画有图形的掩模版对光刻胶进行曝光和显影,形成光刻胶掩膜,再根据光刻胶掩膜图案对所述第二铜电极层202和所述第二金属阻挡层201进行刻蚀,形成数据线212、数据焊盘213、源极210和漏极211的图形。需要说明的是,在本步骤中,光刻胶掩模版的形成经过烘烤,包括在显影前烘烤和显影后烘烤,烘烤后再进行刻蚀,由于铜电极层的厚度较小,经烘烤的光刻胶硬度更高,可以保证薄铜产品良好的蚀刻效果,并达到生产线在切换厚铜产品和薄铜产品时的良好兼容性。此外,本领域技术人员可以理解,本步骤中还可以包括蚀刻完成后去除或剥离光刻胶掩膜的步骤。

[0095] 在一些实施方案中,所述第一金属阻挡层121的厚度和/或材料与所述第二金属阻挡层201相同;当然,二者的厚度和材料也可以均不相同,或者仅厚度或材料其中之一相同。

[0096] 本实施例还提供所述制备方法制备的阵列基板,如图4所示,包括基板110,以及由下至上依次设置在基板110上的栅导体层、栅极绝缘层125、活性层206、欧姆接触层205、数据线212、数据焊盘213、源极210和漏极211,其中所述栅导体层包括第一金属阻挡层121、第

一铜电极层122形成的栅极123、栅线和栅焊盘124,所述数据线212、数据焊盘213、源极210和漏极211包括第二金属阻挡层201和第二铜电极层202。

[0097] 实施例3

[0098] 本发明实施例还提供一种阵列基板的制备方法,如图5和图6所示,其与实施例2提供的阵列基板的制备方法的区别仅在于:在所述第二铜电极层202上设置第三金属阻挡层203。所述第三金属阻挡层203的设置步骤与所述第二金属阻挡层201相同。在一些实施方案中,所述第三金属阻挡层203的厚度和/或材料与所述第二金属阻挡层201相同;当然,二者的厚度和材料也可以均不相同,或者仅厚度或材料其中之一相同。其中,所述第二铜电极层202厚度为5000-10000Å时,所述第二金属阻挡层201为50-200Å;或者所述第二铜电极层202厚度为2000-5000Å时,所述第二金属阻挡层201为200-500Å。

[0099] 在一些实施方案中,当所述阵列基板含有所述第三金属阻挡层203时,先设置第二金属阻挡层201、第二铜电极层202和第三金属阻挡层203,然后再进行蚀刻。

[0100] 本实施例还提供所述制备方法制备的阵列基板,如图6所示,包括基板110,以及由下至上依次设置在基板110上的栅导体层、栅极绝缘层125、活性层206、欧姆接触层205、数据线212、数据焊盘213、源极210和漏极211,其中所述栅导体层包括第一金属阻挡层121、第一铜电极层122形成的栅极123、栅线和栅焊盘124,所述数据线212、数据焊盘213、源极210和漏极211包括第二金属阻挡层201、第二铜电极层202和第三金属阻挡层203。

[0101] 本申请提供的阵列基板的制备方法还可以包括设置像素电极、钝化层等结构的步骤。

[0102] 以上对本申请实施例所提供的一种阵列基板的制备方法以及阵列基板进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

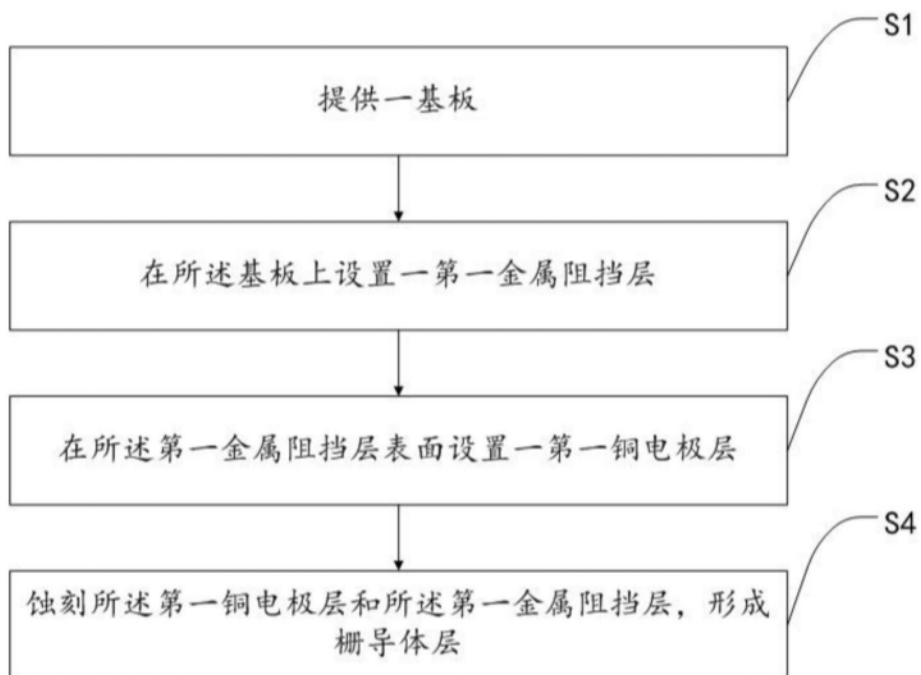


图1



图2

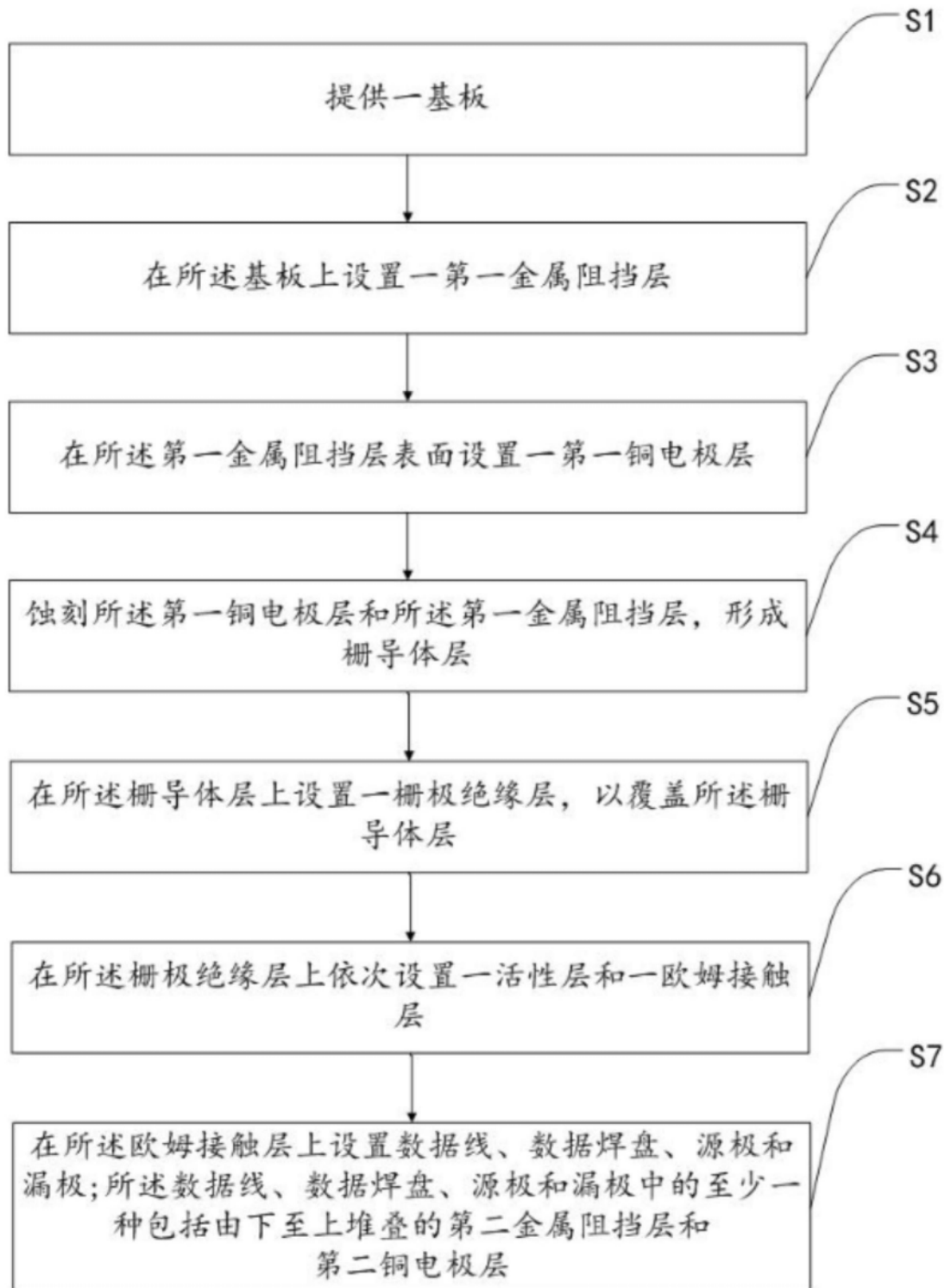


图3

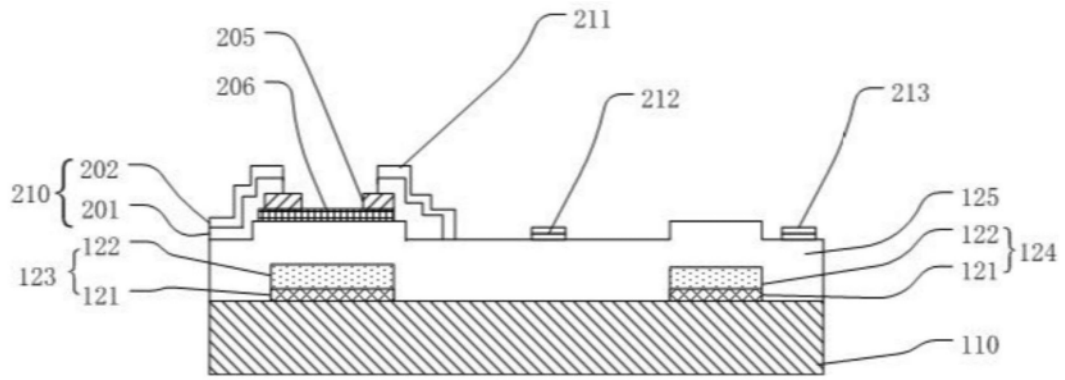


图4

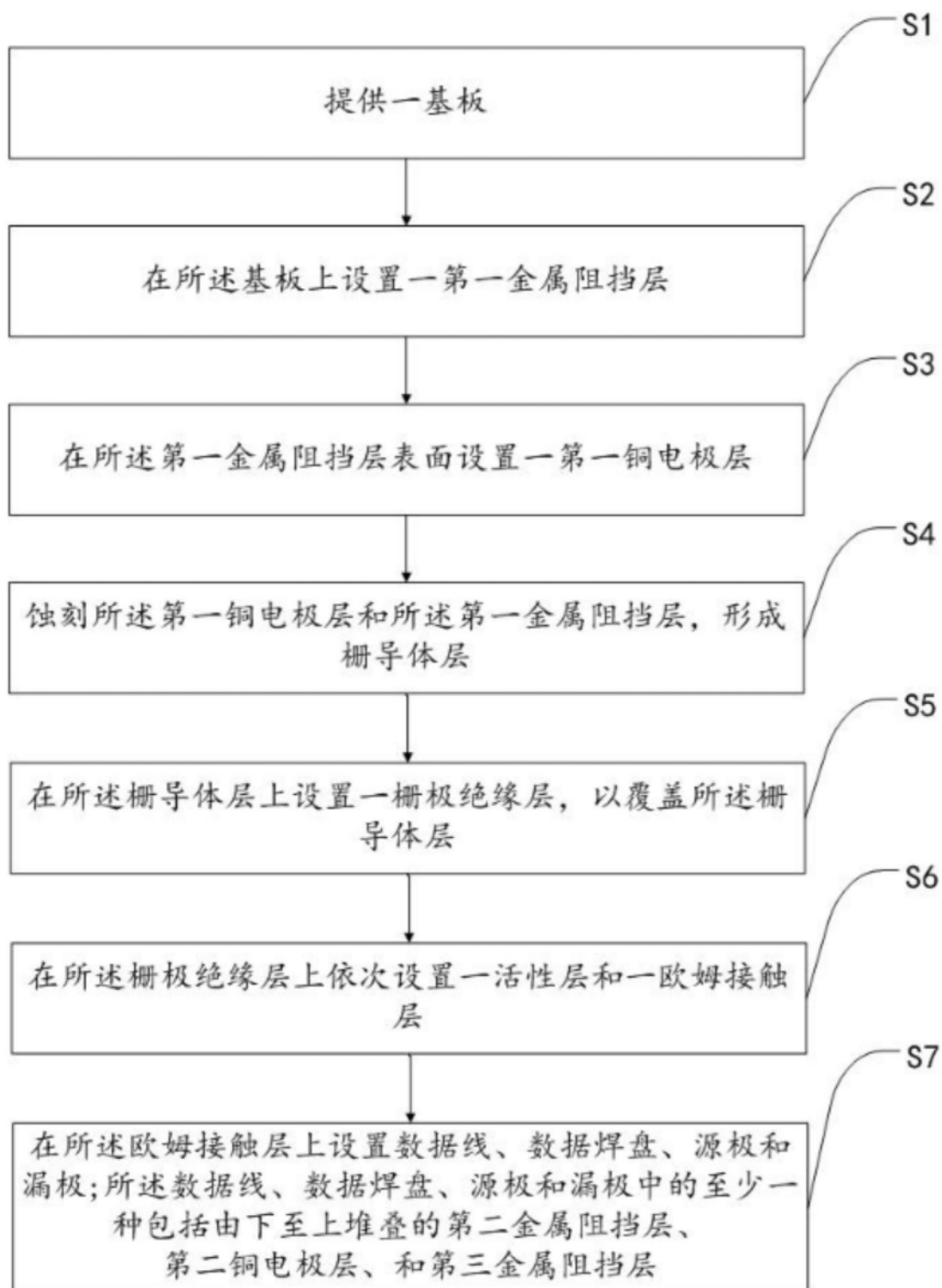


图5

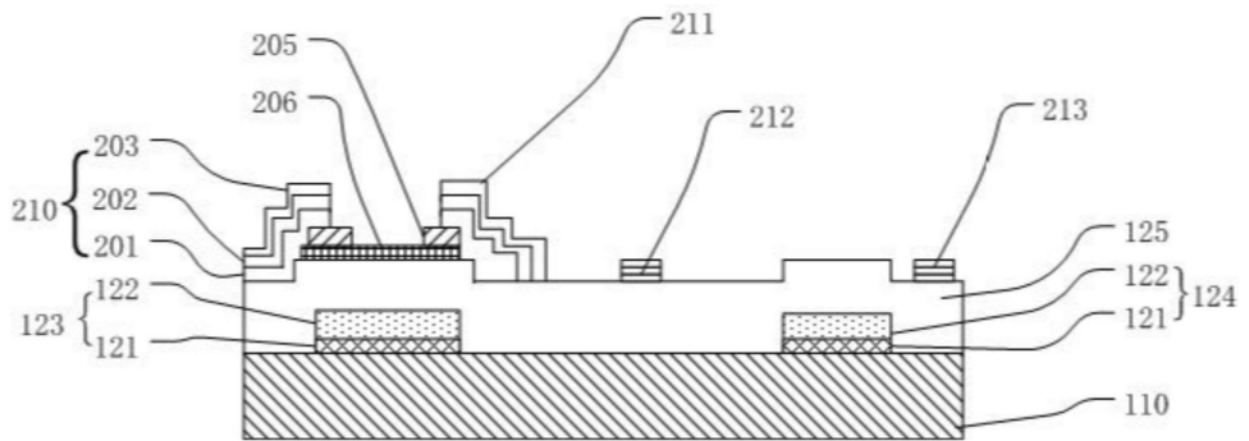


图6