

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年11月23日(23.11.2017)



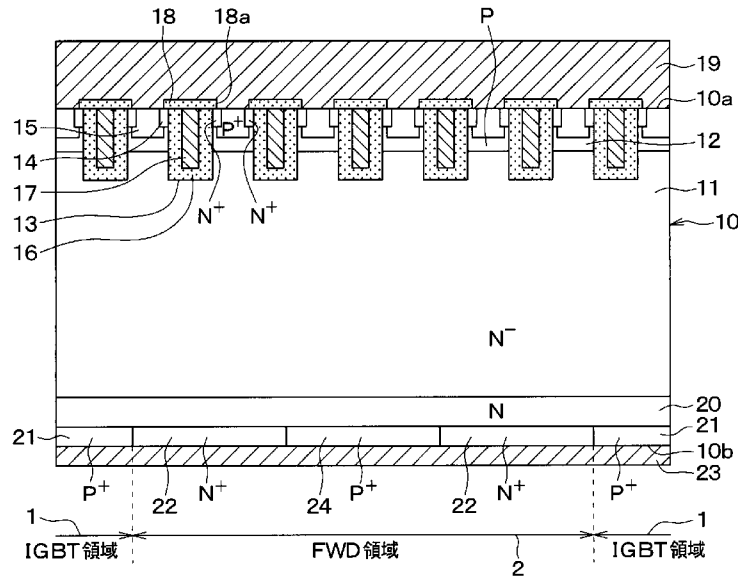
(10) 国際公開番号

WO 2017/199679 A1

- (51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 29/861 (2006.01)  
H01L 29/739 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2017/015874
- (22) 国際出願日: 2017年4月20日(20.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-098875 2016年5月17日(17.05.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 水上 拓(MIZUKAMI Taku); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



1 IGBT region  
2 FWD region

(57) **Abstract:** A semiconductor device in which an IGBT region (1) including an IGBT element (1a) and a FWD region (2) including a FWD element (2a) are formed on a common semiconductor substrate (10), wherein a cathode layer (22) is formed with a carrier injection layer (24) which is electrically connected to a second electrode (23) and constitutes a PN junction with a field stop layer (20). When, in a state in which a forward electric current is flowing through the FWD element (2a), the electric current is cut off, a first carrier in the FWD element (2a) passes through the field stop layer (20)

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,  
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,  
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

positioned on the carrier injection layer (24) and flows into the cathode layer (22), whereby a second carrier is injected from the second electrode (23) into a drift layer (11) via the carrier injection layer (24).

(57) 要約： IGBT素子（1 a）を有する IGBT領域（1）と、FWD素子（2 a）を有するFWD領域（2）が共通の半導体基板（1 0）に形成されている半導体装置において、カソード層（2 2）に、第2電極（2 3）と電氣的に接続されると共に、フィールドストップ層（2 0）とPN接合を構成するキャリア注入層（2 4）を形成する。そして、FWD素子（2 a）に順方向電流が流れている状態から当該電流を遮断する際、FWD素子（2 a）内の第1キャリアがキャリア注入層（2 4）上に位置するフィールドストップ層（2 0）を通過してカソード層（2 2）へと流れることにより、第2電極（2 3）からキャリア注入層（2 4）を介して第2キャリアがドリフト層（1 1）に注入されるようにする。

## 明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2016年5月17日に提出された日本特許出願番号2016-98875号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ素子（以下では、IGBT素子という）とフリーホイールダイオード素子（以下では、FWD素子という）とが共通の半導体基板に形成された半導体装置に関する。

背景技術

[0003] 従来より、例えば、インバータ等に使用されるスイッチング素子として、IGBT素子を有するIGBT領域と、FWD素子を有するFWD領域とが共通の半導体基板に形成された半導体装置が提案されている（例えば、特許文献1参照）。

[0004] 具体的には、この半導体装置では、N<sup>-</sup>型のドリフト層を構成する半導体基板の表層部にベース層が形成され、ベース層を貫通するように複数のトレンチが形成されている。そして、各トレンチには、ゲート絶縁膜およびゲート電極が順に形成されている。また、ベース層の表層部には、トレンチに接するようにN<sup>+</sup>型のエミッタ領域が形成されている。半導体基板の裏面側には、P<sup>+</sup>型のコレクタ層およびN<sup>+</sup>型のカソード層が形成されている。

[0005] そして、半導体基板の表面側には、ベース層およびエミッタ領域と電氣的に接続される上部電極が形成されている。半導体基板の裏面側には、コレクタ層およびカソード層と電氣的に接続される下部電極が形成されている。

[0006] このような半導体装置では、半導体基板の裏面側にコレクタ層が形成されている領域がIGBT素子を有するIGBT領域とされ、カソード層が形成

されている領域がFWD素子を有するFWD領域とされている。なお、FWD領域では、上記構成とされていることにより、N型のカソード層およびドリフト層と、P型のベース層とによってPN接合を有するFWD素子が構成される。

[0007] 上記半導体装置では、IGBT素子は、上部電極に下部電極より低い電圧が印加されると共にゲート電極に所定電圧が印加されると、ベース層のうちのトレンチと接する部分にN型の反転層（すなわち、チャネル）が形成される。そして、IGBT素子は、エミッタ領域から反転層を介して電子がドリフト層に供給されると共にコレクタ層から正孔がドリフト層に供給され、伝導度変調によりドリフト層の抵抗値が低下してオン状態となる。

[0008] また、FWD素子は、上部電極に下部電極より高い電圧が印加されると、ベース層から正孔がドリフト層に供給されると共にカソード層から電子がドリフト層に供給されてオン状態となる。その後、FWD素子は、下部電極に上部電極より高い電圧が印加されると、FWD素子内に蓄積された正孔が上部電極に引き寄せられると共に電子が下部電極に引き寄せられることでリカバリ電流が発生するリカバリ状態となり、リカバリ状態が経過した後にオフ状態となる。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特許第5 1 5 7 2 0 1号公報

## 発明の概要

[0010] しかしながら、本発明者らは、このような半導体装置では、FWD素子をオン状態からオフ状態にする際のリカバリ状態において、次の課題があることを見出した。すなわち、このような半導体装置では、リカバリ状態において、ドリフト層とベース層との間に構成される空乏層が下部電極側（すなわち、半導体基板の裏面側）に伸びることでリカバリ時のサージピーク電圧が大きくなり易い。そして、リカバリ時のサージピーク電圧が大きくなることにより、半導体装置が破壊されてしまうことが懸念される。

[0011] 本開示は、リカバリ時のサージピーク電圧を低減できる半導体装置を提供することを目的とする。

[0012] 本開示の1つの観点によれば、IGBT素子を有するIGBT領域と、FWD素子を有するFWD領域が共通の半導体基板に形成されている半導体装置において、第1導電型のドリフト層と、ドリフト層上に形成された第2導電型のベース層と、ベース層の表層部であって、ベース層を挟んでドリフト層から離間して形成され、ドリフト層よりも高不純物濃度とされた第1導電型のエミッタ領域と、エミッタ領域とドリフト層との間に位置するベース層の表面に配置されたゲート絶縁膜と、ゲート絶縁膜上に配置されたゲート電極と、ドリフト層を挟んでベース層と反対側に配置され、ドリフト層よりも高不純物濃度とされた第1導電型のフィールドストップ層と、フィールドストップ層を挟んでドリフト層と反対側に配置された第2導電型のコレクタ層と、フィールドストップ層を挟んでドリフト層と反対側に配置されると共にコレクタ層と隣接する第1導電型のカソード層と、ベース層およびエミッタ領域と電氣的に接続される第1電極と、コレクタ層およびカソード層と電氣的に接続される第2電極と、を備え、カソード層には、コレクタ層と離れた位置に、第2電極と電氣的に接続されると共にフィールドストップ層とPN接合を構成する第2導電型のキャリア注入層が形成されており、FWD素子に順方向電流が流れている状態から当該電流を遮断する際、FWD素子内の第1キャリアがキャリア注入層上に位置するフィールドストップ層を通過してカソード層へと流れることにより、第2電極からキャリア注入層を介して第2キャリアがドリフト層に注入されるようにしている。

[0013] これによれば、リカバリ時において、ベース層とドリフト層との間に構成される空乏層が第2電極側に向かって伸びることを抑制でき、リカバリ時のサージピーク電圧を低減できる。

### 図面の簡単な説明

[0014] [図1]半導体装置の他面側の平面模式図である。

[図2]図1中のII-II線に沿った断面図である。

[図3]リカバリ電流が流れる際の電子の動きを示す模式図である。

[図4]リカバリ時の空乏層を示す模式図である。

[図5]空乏層の電界強度を示す図である。

[図6]リカバリ時のサージピーク電圧とキャリア注入層の幅との関係を示す図である。

[図7]キャリア注入層の必要最小幅と、フィールドストップ層の不純物濃度との関係を示す図である。

### 発明を実施するための形態

[0015] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0016] (第1実施形態)

第1実施形態について図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

[0017] 図1に示されるように、半導体装置は、IGBT素子1aを有するIGBT領域1と、FWD素子2aを有するFWD領域2とが同じチップ内に形成されたRC（すなわち、Reverse Conducting）-IGBTである。

[0018] 具体的には、半導体装置は、図2に示されるように、N型のドリフト層11を構成する半導体基板10を有している。なお、本実施形態では、半導体基板10は、シリコン基板で構成される。そして、ドリフト層11上（すなわち、半導体基板10の一面10a側）には、P型のベース層12が形成されている。なお、ベース層12は、例えば、半導体基板10の一面10a側からP型の不純物がイオン注入された後に熱処理されることで形成される。

[0019] そして、半導体基板10には、ベース層12を貫通してドリフト層11に達するように複数のトレンチ13が形成されている。これにより、トレンチ13によってベース層12が複数個に分離されている。本実施形態では、複数のトレンチ13は、IGBT領域1およびFWD領域2にそれぞれ形成さ

れ、半導体基板 10 の一面 10 a の平面方向のうちの一方向（すなわち、図 2 中の紙面垂直方向）に沿って等間隔に形成されている。

[0020] ベース層 12 の表層部（すなわち、半導体基板 10 の一面 10 a 側）には、ドリフト層 11 よりも高不純物濃度とされた N<sup>+</sup>型のエミッタ領域 14、およびベース層 12 よりも高不純物濃度とされた P<sup>+</sup>型のコンタクト領域 15 がそれぞれ形成されている。具体的には、エミッタ領域 14 は、ベース層 12 内において終端し、かつ、トレンチ 13 の側面に接するように形成されている。また、コンタクト領域 15 は、エミッタ領域 14 と同様に、ベース層 12 内において終端するように形成されている。

[0021] より詳しくは、エミッタ領域 14 は、トレンチ 13 間の領域において、トレンチ 13 の長手方向に沿ってトレンチ 13 の側面に接するように棒状に延設され、トレンチ 13 の先端よりも内側で終端する構造とされている。また、コンタクト領域 15 は、2つのエミッタ領域 14 に挟まれてトレンチ 13 の長手方向（すなわち、エミッタ領域 14）に沿って棒状に延設されている。なお、本実施形態のコンタクト領域 15 は、半導体基板 10 の一面 10 a を基準としてエミッタ領域 14 よりも深く形成されている。

[0022] 各トレンチ 13 は、各トレンチ 13 の壁面を覆うように形成されたゲート絶縁膜 16 と、このゲート絶縁膜 16 の上に形成されたポリシリコン等により構成されるゲート電極 17 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。なお、本実施形態では、トレンチ 13 の壁面のうちのエミッタ領域 14 とドリフト層 11 との間に位置する部分が、エミッタ領域とドリフト層との間に位置するベース層の表面に相当する。

[0023] 半導体基板 10 の一面 10 a 上には、BPSG等で構成される層間絶縁膜 18 が形成されている。そして、層間絶縁膜 18 上には、層間絶縁膜 18 に形成されたコンタクトホール 18 a を介してエミッタ領域 14 およびコンタクト領域 15（すなわち、ベース層 12）と電氣的に接続される上部電極 19 が形成されている。つまり、層間絶縁膜 18 上には、IGBT領域 1 においてエミッタ電極として機能し、FWD領域 2 においてアノード電極として

機能する上部電極 19 が形成されている。なお、本実施形態では、上部電極 19 が第 1 電極に相当している。

[0024] ドリフト層 11 のうちのベース層 12 側と反対側（すなわち、半導体基板 10 の他面 10b 側）には、ドリフト層 11 よりも高不純物濃度とされた N 型のフィールドストップ層（以下では、FS 層という）20 が形成されている。

[0025] そして、IGBT 領域 1 では、FS 層 20 を挟んでドリフト層 11 と反対側に P<sup>+</sup>型のコレクタ層 21 が形成され、FWD 領域 2 では、FS 層 20 を挟んでドリフト層 11 と反対側に N<sup>+</sup>型のカソード層 22 が形成されている。つまり、FS 層 20 を挟んでドリフト層 11 と反対側には、コレクタ層 21 とカソード層 22 とが隣接して形成されている。そして、IGBT 領域 1 と FWD 領域 2 とは、半導体基板 10 の他面 10b 側に形成される層がコレクタ層 21 であるかカソード層 22 であるかによって区画されている。すなわち、本実施形態では、コレクタ層 21 上の部分が IGBT 領域 1 とされ、カソード層 22 上の部分が FWD 領域 2 とされている。なお、カソード層 22 は、図 1 に示されるように、半導体基板 10 の平面方向における一方向（すなわち、図 1 中紙面上下方向）に沿って延設されている。

[0026] また、図 2 に示されるように、コレクタ層 21 およびカソード層 22 を挟んでドリフト層 11 と反対側（すなわち、半導体基板 10 の他面 10b）には、コレクタ層 21 およびカソード層 22 と電氣的に接続される下部電極 23 が形成されている。つまり、IGBT 領域 1 においてはコレクタ電極として機能し、FWD 領域 2 においてはカソード電極として機能する下部電極 23 が形成されている。本実施形態では、下部電極 23 が第 2 電極に相当している。

[0027] そして、上記のように構成されていることにより、FWD 領域 2 においては、ベース層 12 およびコンタクト領域 15 をアノードとし、ドリフト層 11、FS 層 20、カソード層 22 をカソードとして PN 接合された FWD 素子 2a が構成されている。

[0028] また、カソード層 22 には、下部電極 23 と電氣的に接続されると共に F S 層 20 と P N 接合を構成し、コレクタ層 21 から離れた位置に P<sup>+</sup>型のキャリア注入層 24 が形成されている。具体的には、キャリア注入層 24 は、図 1 および図 2 に示されるように、カソード層 22 の延設方向に沿って延設されていると共に、カソード層 22 の幅方向における中心を含み、当該中心に対して左右対称となるように形成されている。より詳しくは、キャリア注入層 24 は、当該キャリア注入層 24 の幅方向における中心と、カソード層 22 の幅方向における中心とが一致するように形成されている。

[0029] なお、本実施形態におけるカソード層 22 の幅方向とは、半導体基板 10 の平面方向と平行な方向であり、カソード層 22 の延設方向と直交する方向（すなわち、図 2 中紙面左右方向）のことである。また、本実施形態におけるキャリア注入層 24 の幅方向とは、半導体基板 10 の平面方向と平行な方向であり、キャリア注入層 24 の延設方向と直交する方向（すなわち、図 2 中紙面左右方向）のことである。

[0030] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N 型、N<sup>+</sup>型、N<sup>-</sup>型が第 1 導電型に相当しており、P 型、P<sup>+</sup>型が第 2 導電型に相当している。次に、上記半導体装置の作動について説明する。

[0031] まず、半導体装置は、下部電極 23 に上部電極 19 より高い電圧が印加されると、ベース層 12 とドリフト層 11 との間に形成される P N 接合が逆導通状態となって空乏層が形成される。そして、ゲート電極 17 に、絶縁ゲート構造の閾値電圧  $V_{th}$  未満であるローレベル（例えば、0 V）の電圧が印加されているときには、上部電極 19 と下部電極 23 との間に電流は流れない。

[0032] そして、I G B T 素子 1 a をオン状態にするには、下部電極 23 に上部電極 19 より高い電圧が印加された状態で、ゲート電極 17 に、絶縁ゲート構造の閾値電圧  $V_{th}$  以上であるハイレベルの電圧が印加されるようにする。これにより、ベース層 12 のうちのゲート電極 17 が配置されるトレンチ 13 と接している部分には、反転層が形成される。そして、I G B T 素子 1 a

は、エミッタ領域 14 から反転層を介して電子がドリフト層 11 に供給されることによってコレクタ層 21 から正孔がドリフト層 11 に供給され、伝導度変調によりドリフト層 11 の抵抗値が低下することでオン状態となる。

[0033] また、IGBT素子 1a をオフ状態にし、FWD素子 2a をオン状態にする（すなわち、FWD素子 2a をダイオード動作させる）際には、上部電極 19 と下部電極 23 に印加する電圧をスイッチングし、上部電極 19 に下部電極 23 より高い電圧を印加する。そして、ゲート電極 17 に絶縁ゲート構造の閾値電圧  $V_{th}$  未満であるローレベル（例えば、0V）の電圧を印加する。これにより、ベース層 12 のうちのトレンチ 13 と接する部分に反転層が形成されなくなり、ベース層 12 から正孔が供給されると共にカソード層 22 から電子が供給されることでFWD素子 2a がダイオード動作をする。

[0034] その後、FWD素子 2a をオン状態からオフ状態にする際には、下部電極 23 に上部電極 19 より高い電圧を印加する逆電圧印加を行う。つまり、FWD素子 2a に順方向電流が流れている状態から当該電流を遮断する際、下部電極 23 に上部電極 19 より高い電圧を印加する逆電圧印加を行う。これにより、FWD素子 2a がリカバリ状態となる。つまり、ベース層 12 中の正孔が上部電極 19 側に引き寄せられると共にドリフト層 11 中の電子が下部電極 23 側に引き寄せられることでリカバリ電流が発生し、ベース層 12 とドリフト層 11 との間の空乏層が伸びる。

[0035] この際、キャリア注入層 24 上のFS層 20 に到達した電子は、キャリア注入層 24 とFS層 20 との間に構成されるPN接合の電位障壁により、キャリア注入層 24 を介して下部電極 23 に達することができない。このため、図3に示されるように、キャリア注入層 24 上のFS層 20 に到達した電子は、FS層 20 を半導体基板 10 の平面方向に沿って移動した後、キャリア注入層 24 に隣接するカソード層 22 から下部電極 23 へと流れる。したがって、キャリア注入層 24 上のFS層 20 の電位が降下し、キャリア注入層 24 とFS層 20 とで構成されるPN接合間の電圧が上昇する。

[0036] そして、図4に示されるように、キャリア注入層 24 とFS層 20 とで構

成されるPN接合間の電圧が電位障壁（すなわち、約0.7V）を超えると、キャリア注入層24とFS層20とに順方向電圧が印加された状態となる。これにより、キャリア注入層24を介して正孔がドリフト層11に注入され、ドリフト層11中の空間電荷密度が上昇する。このため、キャリア注入層24がない場合と比較して、空乏層が半導体基板10の他面10b側に伸び難くなる。つまり、図5に示されるように、キャリア注入層24がない場合と比較して、FS層20側において電界強度が0となる位置がFS層20から離れた位置となる。なお、本実施形態では、電子が第1キャリアに相当し、正孔が第2キャリアに相当している。

[0037] また、リカバリ時にキャリア注入層24からドリフト層11に正孔が注入されるためには、上記のように、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が電位障壁を超えることが必要となる。すなわち、キャリア注入層24の幅が短すぎると、キャリア注入層24上のFS層20の電位が十分に降下せず、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が十分に上昇しない。言い換えると、電子のFS層20を半導体基板10の平面方向に移動する距離が短すぎると、キャリア注入層24上のFS層20の電位が十分に降下せず、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が十分に上昇しない。

[0038] 例えば、図6に示されるように、リカバリ時のサージピーク電圧は、キャリア注入層24の幅が40 $\mu$ m未満では高いが、キャリア注入層24の幅が40 $\mu$ m以上になると急峻に低下する。これは、キャリア注入層24の幅が40 $\mu$ m未満の場合には、リカバリ時において、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が十分に上昇せず、キャリア注入層24から正孔が注入されないためである。また、キャリア注入層24の幅が40 $\mu$ m以上でリカバリ時のサージピーク電圧が低くなるのは、リカバリ時において、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が十分に上昇し、キャリア注入層24から正孔が注入されるためである。

[0039] なお、図6は、上記で説明した半導体装置において、FS層20の不純物

濃度を  $3.0 \times 10^{16} \text{ cm}^{-3}$  とし、カソード層 22 の幅（すなわち、FWD 領域 2 の幅）を一定とし、キャリア注入層 24 の幅を変化させた際のシミュレーション結果である。このため、図 6 において、キャリア注入層 24 の幅が  $20 \mu\text{m}$  から  $40 \mu\text{m}$  である際、および  $45 \mu\text{m}$  から  $60 \mu\text{m}$  である際に、キャリア注入層 24 の幅が長くなることでリカバリ時のサージピーク電圧が徐々に低くなるのは、キャリア注入層 24 の幅を変化させることによって相対的にカソード層 22 の残りの幅が変化するためである。すなわち、FWD 素子 2a がオン状態である際にカソード層 22 からドリフト層 11 に供給される電子の総量が増えるためである。

[0040] また、リカバリ時にキャリア注入層 24 からドリフト層 11 に正孔が注入されるためには、キャリア注入層 24 のみだけではなく、FS 層 20 の不純物濃度が高すぎても、キャリア注入層 24 上の FS 層 20 の電位が十分に降下しない。つまり、FS 層 20 の抵抗値が低すぎてもキャリア注入層 24 上の FS 層 20 の電位が十分に降下しない。

[0041] したがって、本発明者らは、FS 層 20 の不純物濃度とキャリア注入層 24 の幅との相関関係について鋭意検討を行い、図 7 に示すシミュレーション結果を得た。なお、図 7 は、半導体基板 10 の厚さが  $75 \sim 85 \mu\text{m}$  であり、比抵抗が  $40 \sim 50 \Omega \cdot \text{m}$  である  $800 \text{ V}$  耐圧帯の半導体装置のシミュレーション結果である。また、図 7 中のキャリア注入層 24 の必要最小幅とは、キャリア注入層 24 と FS 層 20 とで構成される PN 接合間の電圧が電位障壁（すなわち、約  $0.7 \text{ V}$ ）を超えるのに必要なキャリア注入層 24 の最小幅のことである。

[0042] 図 7 に示されるように、FS 層 20 の不純物濃度とキャリア注入層 24 の必要最小幅とは比例関係にあり、FS 層 20 の不純物濃度が高くなるほどキャリア注入層 24 の必要最小幅も長くなる。そして、本発明者らは、図 7 に基づき、FS 層 20 の不純物濃度を  $N_{fs} [\text{cm}^{-3}]$  とし、キャリア注入層 24 の必要最小幅を  $W [\mu\text{m}]$  とすると、次式を満たすことにより、リカバリ時において、キャリア注入層 24 と FS 層 20 とで構成される PN 接合間

の電圧が電位障壁以上となることを見出した。

[0043] (数1)  $W > 6.8 \times 10^{-16} \times N_{fs} + 20$

したがって、本実施形態では、キャリア注入層24およびFS層20は、上記数式を満たすように構成されている。

[0044] 以上説明したように、本実施形態では、カソード層22にキャリア注入層24が形成されており、リカバリ時において、キャリア注入層24から正孔がドリフト層11に注入されるようにしている。このため、リカバリ時において、ベース層12とドリフト層11との間に構成される空乏層が半導体基板10の他面10b側に向かって伸びることを抑制でき、リカバリ時のサージピーク電圧を低減できる。

[0045] また、空乏層が半導体基板10の他面10b側に向かって伸びることを抑制しているため、低損失化を図るために半導体基板10の板厚を薄くすることもできる。さらに、例えば、IGBT素子1aにおけるスナップバック現象を抑制するためにIGBT素子1aの幅を広くし、これに伴ってFWD素子2aの幅を広くする半導体装置に本実施形態のキャリア注入層24を適用することもできる。これによれば、スナップバック現象を抑制しつつ、リカバリ時のサージピーク電圧を低減できる。

[0046] また、キャリア注入層24は、カソード層22の幅方向における中心を含むように配置されている。つまり、キャリア注入層24は、リカバリ時において、電子密度が最も高くなり易い位置に配置されている。このため、キャリア注入層24上のFS層20を通過する電子密度が高くなる。したがって、FS層20の電位が十分に降下し、キャリア注入層24とFS層20とで構成されるPN接合間の電圧が十分に上昇してキャリア注入層24から正孔をドリフト層11に注入し易くすることができる。

[0047] さらに、本実施形態では、キャリア注入層24およびFS層20は、上記数式1を満たすように構成されている。このため、リカバリ時において、キャリア注入層24からドリフト層11に正孔が注入されず、リカバリ時のサージピーク電圧が低減されないという不具合が発生することを抑制できる。

[0048] また、キャリア注入層 2 4 は、カソード層 2 2 に 1 つのみ配置されている。このため、リカバリ時のサージピーク電圧の大きさを小さくしつつ、FWD 素子 2 a のオン電圧が高くなることも抑制できる。

[0049] すなわち、図 6 を例に挙げて説明すると、キャリア注入層 2 4 は、幅が  $40\ \mu\text{m}$  以上になるとリカバリ時に正孔が注入されてリカバリ時のサージピーク電圧の大きさが小さくなる。つまり、キャリア注入層 2 4 を複数設ける場合、リカバリ時において各キャリア注入層 2 4 からドリフト層 1 1 に正孔が注入されるようにするためには、それぞれ  $40\ \mu\text{m}$  以上にする必要がある。例えば、図 6 の例では、1 つのキャリア注入層 2 4 の幅を  $90\ \mu\text{m}$  とした場合には、 $50\ \mu\text{m}$  の幅の低減効果が得られる。これに対し、例えば、2 つのキャリア注入層 2 4 を配置する場合、2 つのキャリア注入層 2 4 の幅をそれぞれ  $45\ \mu\text{m}$  とすることで全体として  $90\ \mu\text{m}$  の幅を有するようになると、それぞれのキャリア注入層 2 4 では  $5\ \mu\text{m}$  の幅の低減効果しか得られない。また、2 つのキャリア注入層 2 4 を配置する場合、2 つの幅をそれぞれ  $65\ \mu\text{m}$  とすることで各キャリア注入層 2 4 で  $25\ \mu\text{m}$  ずつ（すなわち、全体として  $50\ \mu\text{m}$ ）の低減効果が得られるようになると、キャリア注入層 2 4 の全体の幅が  $130\ \mu\text{m}$  となってしまう。この場合、FWD 素子 2 a がオン状態である際にカソード層 2 2 から注入される電子が少なくなり、FWD 素子 2 a のオン電圧が高くなってしまう。したがって、本実施形態のようにキャリア注入層 2 4 を 1 つのみ配置することにより、リカバリ時のサージピーク電圧の大きさを小さくしつつ、FWD 素子 2 a のオン電圧が高くなることを抑制できる。

[0050] （他の実施形態）

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

- [0051] 例えば、上記第1実施形態では、第1導電型をN型とし、第2導電型をP型とした例について説明したが、第1導電型をP型とし、第2導電型をN型とすることもできる。
- [0052] また、上記第1実施形態において、トレンチゲート型の半導体装置ではなく、半導体基板10の一面10a上にゲート電極17が配置されるプレーナ型の半導体装置としてもよい。
- [0053] さらに、上記第1実施形態において、キャリア注入層24は、カソード層22の幅の中心を含むように形成されていなくてもよい。このような半導体装置としても、リカバリ時において、キャリア注入層24からドリフト層11に正孔が注入されるのであれば、上記第1実施形態と同様の効果を得ることができる。なお、キャリア注入層24の幅方向における中心と、カソード層22の幅方向における中心とがずれる場合は、キャリア注入層24上のFS層20を通過する電子密度が減少するため、図7中のキャリア注入層24の必要最小幅は、上方向（すなわち、長くなる方向）に平行移動する。
- [0054] また、上記第1実施形態において、キャリア注入層24は複数形成されていてもよい。

## 請求の範囲

### [請求項1]

I G B T素子（1 a）を有するI G B T領域（1）と、F W D素子（2 a）を有するF W D領域（2）が共通の半導体基板（1 0）に形成されている半導体装置において、

第1導電型のドリフト層（1 1）と、

前記ドリフト層上に形成された第2導電型のベース層（1 2）と、

前記ベース層の表層部であって、前記ベース層を挟んで前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型のエミッタ領域（1 4）と、

前記エミッタ領域と前記ドリフト層との間に位置する前記ベース層の表面に配置されたゲート絶縁膜（1 6）と、

前記ゲート絶縁膜上に配置されたゲート電極（1 7）と、

前記ドリフト層を挟んで前記ベース層と反対側に配置され、前記ドリフト層よりも高不純物濃度とされた第1導電型のフィールドストップ層（2 0）と、

前記フィールドストップ層を挟んで前記ドリフト層と反対側に配置された第2導電型のコレクタ層（2 1）と、

前記フィールドストップ層を挟んで前記ドリフト層と反対側に配置されると共に前記コレクタ層と隣接する第1導電型のカソード層（2 2）と、

前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（1 9）と、

前記コレクタ層および前記カソード層と電氣的に接続される第2電極（2 3）と、を備え、

前記カソード層には、前記コレクタ層と離れた位置に、前記第2電極と電氣的に接続されると共に前記フィールドストップ層とP N接合を構成する第2導電型のキャリア注入層（2 4）が形成されており、

前記F W D素子に順方向電流が流れている状態から当該電流を遮断

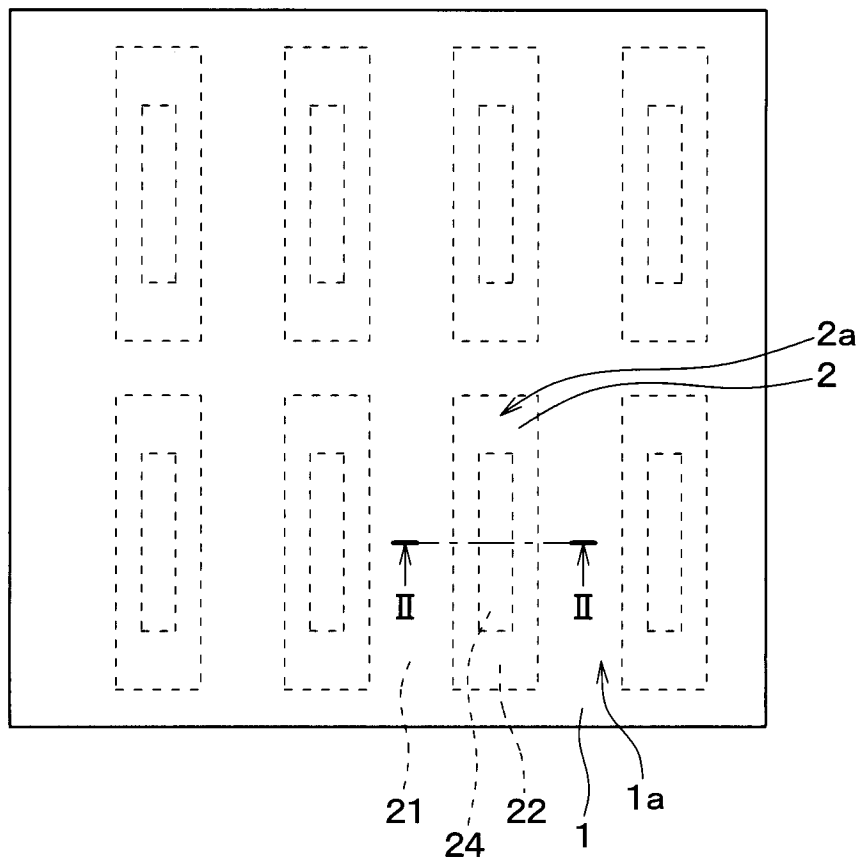
する際、前記FWD素子内の第1キャリアが前記キャリア注入層上に位置する前記フィールドストップ層を通過して前記カソード層へと流れることにより、前記第2電極から前記キャリア注入層を介して第2キャリアが前記ドリフト層に注入される半導体装置。

[請求項2] 前記キャリア注入層は、前記カソード層に1つのみ形成されている請求項1に記載の半導体装置。

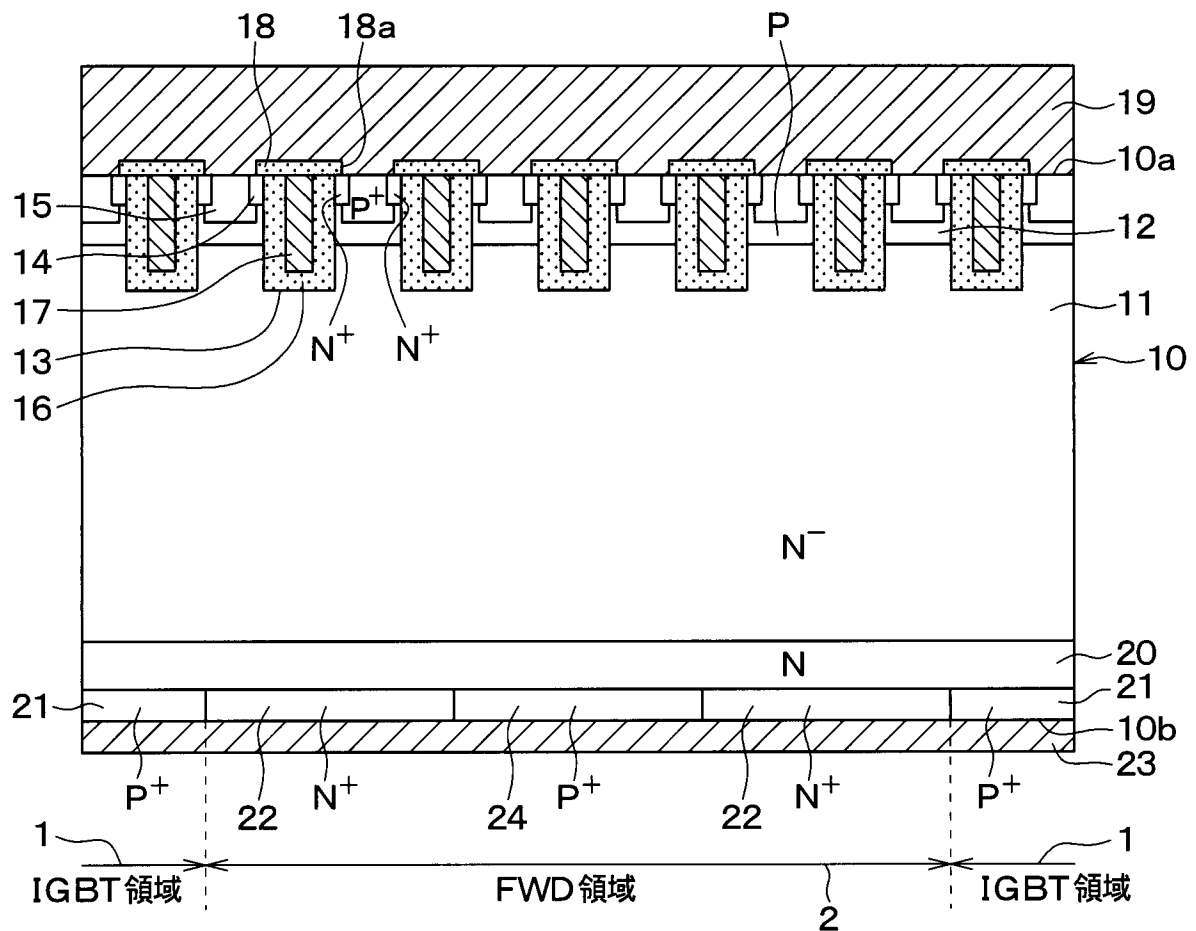
[請求項3] 前記キャリア注入層は、前記カソード層の中心を含んで形成されている請求項1または2に記載の半導体装置。

[請求項4] 前記キャリア注入層は、前記半導体基板の平面方向における一方向に沿って延設されており、前記フィールドストップ層の不純物濃度を $N_{fs} [cm^{-3}]$ とし、前記キャリア注入層における延設方向と直交する方向であり、前記半導体基板の平面方向に沿った方向の長さを幅 $W [\mu m]$ とすると、 $W > 6.8 \times 10^{-16} \times N_{fs} + 20$ を満たす請求項1に記載の半導体装置。

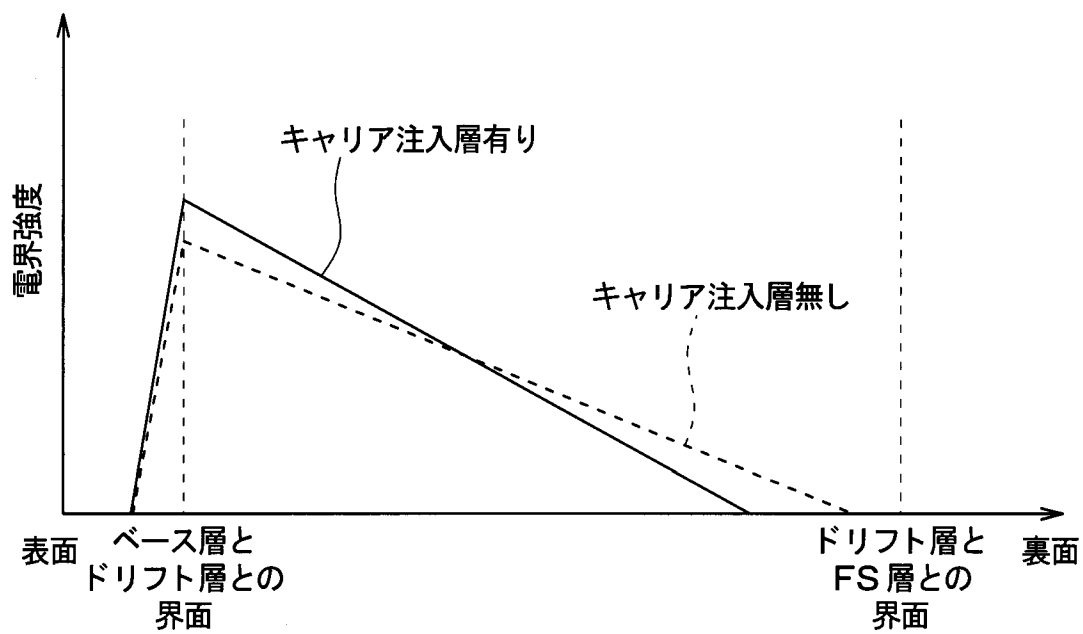
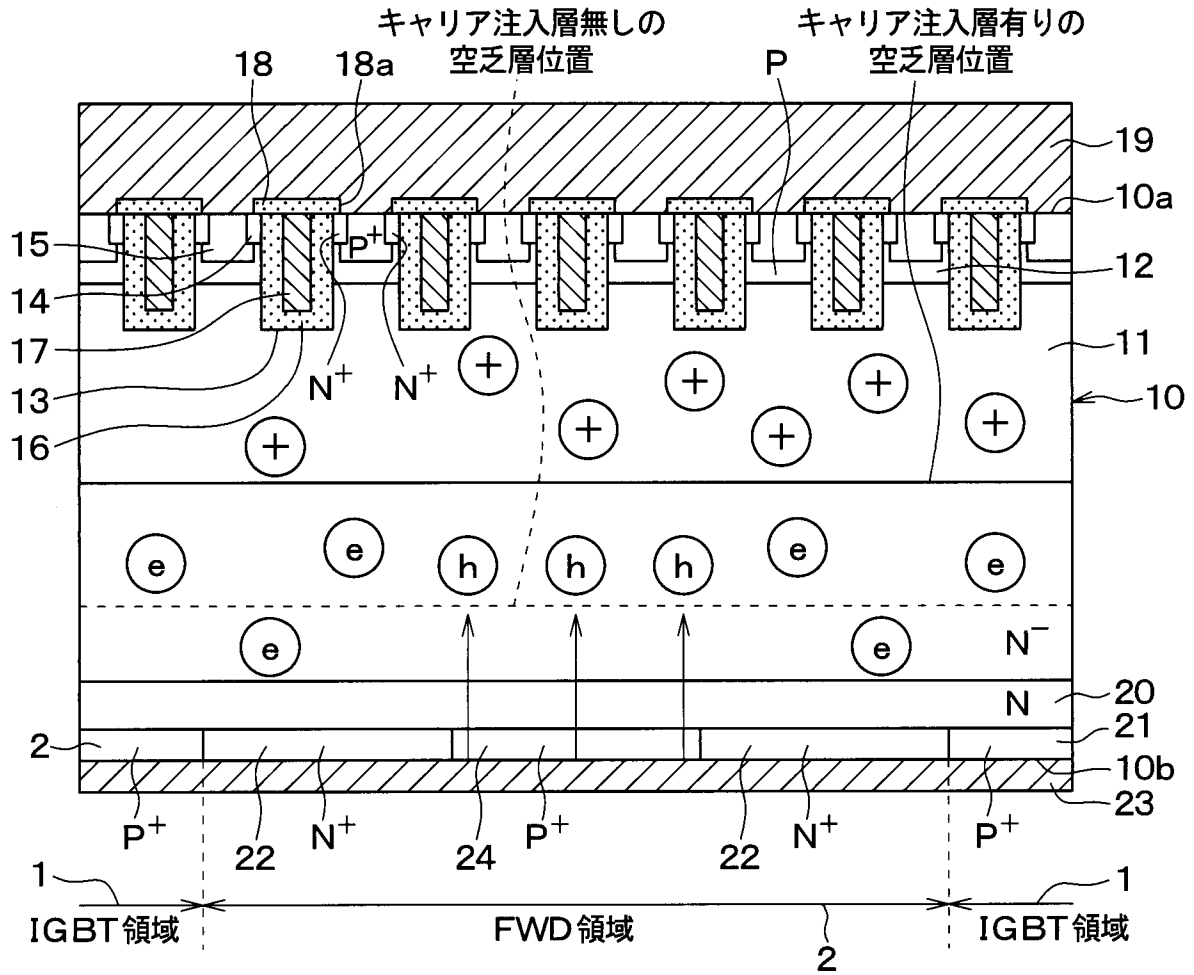
[図1]



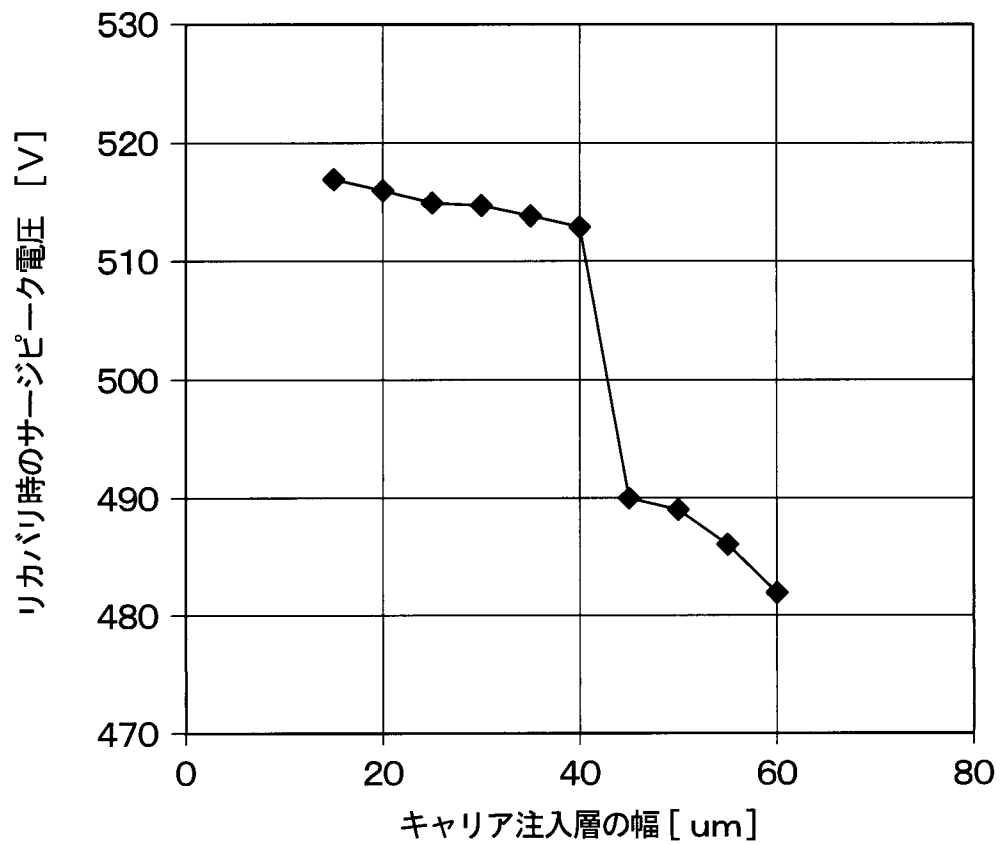
[図2]



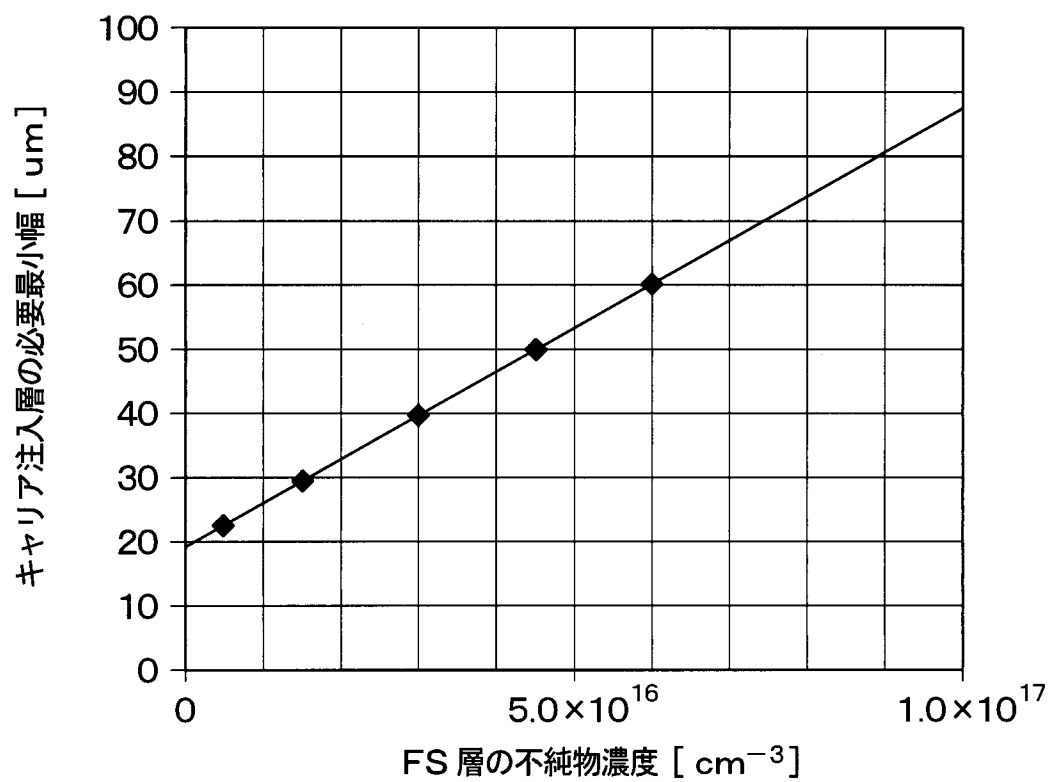




[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015874

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i,  
H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/739, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                         | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2013-21142 A (Toyota Central Research and Development Laboratories, Inc.),<br>31 January 2013 (31.01.2013),<br>paragraphs [0014], [0015], [0022] to [0027];<br>fig. 4<br>(Family: none) | 1-4                   |
| Y         | JP 2014-103376 A (Toshiba Corp.),<br>05 June 2014 (05.06.2014),<br>paragraph [0046]<br>& US 2014/0084337 A1<br>paragraphs [0094] to [0096]                                                 | 1-4                   |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
30 June 2017 (30.06.17)

Date of mailing of the international search report  
11 July 2017 (11.07.17)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L29/739, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2017年 |
| 日本国実用新案登録公報 | 1996-2017年 |
| 日本国登録実用新案公報 | 1994-2017年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                           | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------|----------------|
| Y               | JP 2013-21142 A (株式会社豊田中央研究所) 2013.01.31, 段落 0014, 段落 0015, 段落 0022-段落 0027, 図 4, (ファミリーなし) | 1-4            |
| Y               | JP 2014-103376 A (株式会社東芝) 2014.06.05, 段落 0046, & US 2014/0084337 A1, 段落 0094-段落 0096        | 1-4            |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                                |                                                                     |
|----------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                 | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                         | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                      | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                   |                                                                     |

国際調査を完了した日

30.06.2017

国際調査報告の発送日

11.07.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

7895

電話番号 03-3581-1101 内線 3516