



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2010년07월09일
 (11) 등록번호 10-0969285
 (24) 등록일자 2010년07월02일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2003-0026705
 (22) 출원일자 2003년04월28일
 심사청구일자 2008년03월31일
 (65) 공개번호 10-2003-0085496
 (43) 공개일자 2003년11월05일

(30) 우선권주장
 10/135,241 2002년04월29일 미국(US)

(56) 선행기술조사문헌
 KR1020010007425 A
 KR1019980041891 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

샤르마매니쉬

미국캘리포니아주84087서니베일아파트먼트16록선
아트웨이160

안토니토마스씨

미국캘리포니아주84087서니베일피멘토애비뉴1167

바타차야매노즈

미국캘리포니아주95014쿠퍼티노팜애비뉴22434

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 10 항

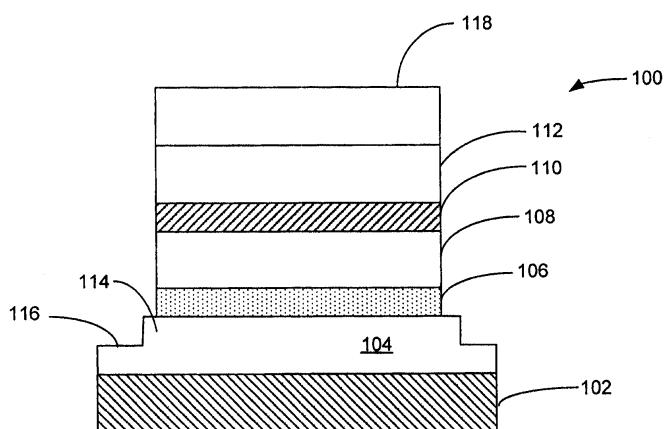
심사관 : 홍승무

(54) 전자 장치, 메모리 장치, 자기 메모리 장치 어레이, 전자장치 제조 방법, 하부 구조 자기 메모리 장치 제조 방법 및 상부 구조 자기 메모리 장치 제조 방법

(57) 요 약

자기 메모리 장치(100) 등의 전자기 장치(electro-magnetic device)는 자기 저항 응답(magneto-resistive response)에 오프셋(offset)이 발생되는 경계(boundary)에서 표류 필드(stray field)를 구성, 약화(attenuating) 또는 제거시키기 위한 수단(104)을 포함하는 것으로 개시되었다. 이 장치는 도전성 제 1 층(108, 112)을 포함하고, 약화 수단은 싱크층(sink layer)(104)을 포함하며, 제 1 층에 전자기적으로 결합되어, 전기적 작동 중에 제 1 층(108, 112)의 경계에서 표류 경계 자기 저항 오프셋(stray boundary magneto-resistive offset)을 약화시킨다.

대 표 도 - 도2



특허청구의 범위

청구항 1

장치 스택 내에서 제조된 전자 장치-자기장이 상기 장치 스택(device stack)의 경계(boundary)에 생성됨-에 있어서,

자성이 있고, 작동 도중에 경계에서 자기장을 생성하는 상기 장치 스택 내의 적어도 하나의 층과,

상기 스택 내에서 제 2 층으로서 제조되어, 작동 도중에 상기 경계에서 상기 자기장을 수정하는 싱크층(sink layer)

을 포함하는 전자 장치

청구항 2

감지층과,

피닝된 층(pinned layer)과,

상기 감지층과 상기 피닝된 층 사이에 위치한 장벽층(barrier layer)과,

상기 피닝된 층에 인접하게 위치한 피닝층(pinning layer)과,

상기 감지층(sense layer), 상기 피닝된 층 및 상기 피닝층의 경계에서 자기장 효과를 약화시키는 자기 싱크층(magnetic sink layer)

을 포함하는 메모리 장치.

청구항 3

복수의 자기 메모리 장치들을 포함하는 자기 메모리 장치의 어레이에 있어서,

복수의 감지 라인(sense line)과,

상기 어레이 내의 상기 자기 메모리 장치의 각각에 대해 하나씩 위치된 복수의 피닝된 층과,

감지층과 각 피닝된 층 사이에 하나씩 위치한 복수의 장벽층과,

상기 복수의 감지 라인에 일반적으로 수직하게 이어지고, 상기 피닝된 층의 일부와 적어도 부분적으로 정렬된 복수의 피닝층과,

상기 어레이 내의 상기 자기 메모리 장치 중의 적어도 하나와의 전자기 통신(electro-magnetic communication) 내에 위치되어, 워드 라인, 피닝된 층 및 상기 적어도 하나의 자기 메모리 장치와 연관된 피닝 라인(pinning line)의 경계에서 자기장 효과를 수정하기 위한 적어도 하나의 자기 싱크층

을 포함하는 자기 메모리 장치의 어레이.

청구항 4

스택 배열(stack arrangement) 내의 반도체 기판 위에 전자 장치를 제조하는 방법에 있어서,

스택 내에서, 전자기적으로 도전성이고, 작동 중에 에지 경계(edge boundary)에서 자기장을 생성하는, 적어도 하나의 층을 형성하는 것과,

작동 중에 자기장을 수정하기 위해 상기 스택에 인접한 싱크층을 형성하는 것

을 포함하는 전자 장치의 제조 방법.

청구항 5

기판 위에 자기 싱크층을 형성하는 것과,
상기 자기 싱크층에 인접하게 피닝층을 형성하는 것과,
상기 피닝층에 인접하게 피닝된 층을 형성하는 것과,
상기 피닝된 층에 인접하게 장벽층을 형성하는 것과,
상기 장벽층에 인접한 감지층을 형성하는 것
을 포함하되,
상기 자기 싱크층은 상기 감지층, 상기 피닝된 층 및 상기 피닝층의 경계에서 자기장 효과를 수정하기 위해서 활용되는
하부 구조 자기 메모리 장치(bottom structure magnetic memory device)의 제조 방법.

청구항 6

피닝층에 인접한 기판 위에 감지층을 형성하는 것과,
상기 감지층에 인접한 장벽층을 형성하는 것과,
상기 장벽층에 인접한 피닝된 층을 형성하는 것과,
상기 피NING된 층에 인접한 피NING층을 형성하는 것과,
상기 피NING층 위에 자기 싱크층을 형성하는 것
을 포함하되,
상기 자기 싱크층은 상기 감지층, 상기 피NING된 층, 및 상기 피NING층의 경계에서 자기장 효과를 수정하기 위해 활용되는
상부 구조 자기 메모리 장치(top structure magnetic memory device)의 제조 방법.

청구항 7

제 2 항에 있어서,
상기 장치는 자기 랜덤 액세스 메모리 셀(magnetic random access memory cell)을 포함하는 메모리 장치.

청구항 8

제 2 항에 있어서,
상기 싱크층은 상기 장치의 경계를 넘어서 확장하는 메모리 장치.

청구항 9

제 2 항에 있어서,
상기 싱크층은 연자성체 재료를 포함하는 메모리 장치.

청구항 10

제 2 항에 있어서,
상기 장치는 반도체 다이오드(semiconductor diode)를 포함하는 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 일반적으로 자기 저항 저장 장치(magneto-resistive storage device)에 관한 것으로, 보다 구체적으로는, 본 발명은 경계 상태(boundary condition)에서 자기장을 최소화하는 자기 저항 저장 장치에 관한 것이다.
- [0015] 자기 랜덤 액세스 메모리(magnetic random access memory : MRAM)는 단기(short-term) 및 장기(long-term) 데이터 저장용으로 고려되는 비휘발성 메모리이다. MRAM은 DRAM, SRAM 및 플래시 메모리(flash memory) 등의 단기 메모리에 비해서 더 낮은 전력을 소모한다. MRAM은 하드 드라이브(hard drives)와 같은 종래의 장기 저장 장치에 비해서 훨씬(대단히) 빠르게 판독 및 기록 동작을 수행할 수 있다. 게다가, MRAM은 하드 드라이브에 비해서 더 소형이고 전력을 덜 소모한다. 또한, MRAM은 극도로 빠른 프로세서 및 네트워크 설비 등의 내장형 애플리케이션(embedded application)에서도 고려된다.
- [0016] 전형적인 MRAM 장치는 메모리 셀의 어레이, 메모리 셀의 행을 따라서 연장된 워드 라인(word line), 메모리 셀의 열을 따라서 연장된 비트 라인(bit line)을 포함한다. 각 셀은 워드 라인과 비트 라인의 교차점에 위치한다.
- [0017] 메모리 셀은, 스핀 의존 터널링 접합(spin dependent tunneling junctions : SDT)과 같은 터널링 자기 저항(tunneling magneto-resistive : TMR) 장치를 기반으로 할 수 있다. 전형적인 SDT 접합은 기준층(reference layer), 감지층(sense layer) 및 기준층과 감지층 사이에 개재된 절연 터널 장벽(insulating tunnel barrier)을 포함한다. 기준층의 자화 배향(magnetization orientation)은, 관심 범위 내(in a range of interest)로 인가된 자기장의 존재에 의해서 회전되지 않도록, 알려진 방향으로 설정된다. 감지층은, 기준층의 자화 방향과 동일한 방향 또는 기준층의 자화 방향과 반대인 방향의 2개의 방향 중에서 한 방향을 향하는 자화를 가진다. 만약 기준층 및 감지층의 자화가 동일한 방향이라면, SDT 접합의 배향은 "평행(parallel)"하다고 한다. 만약 기준층과 감지층의 자화가 서로 반대 방향이면, SDT 접합의 배향은 "반평행(anti-parallel)"하다고 한다. 이러한 평행 및 반평행의 2개의 안정한 방향은 논리 값 "0" 및 "1"에 대응될 수 있다.
- [0018] 위에서 설명된 기준층은 전류 전달 도전체로부터의 자기장에 의해서 동적으로 설정될 수 있는 연자성층(soft magnetic layer)으로 이루어질 수 있다. 이와 다르게, 피닝된 층(pinned layer)의 자화 배향은 밑에 있는 반강자성(antiferromagnetic : AF) 피닝층(pinning layer)에 의해 고정될 수 있다. AF 피NING층은 큰 교환계(exchange field)를 제공하는데, 이는 피닝된 층의 자화를 한 방향으로 고정시킨다. AF 층의 아래에는 일반적으로 제 1 및 제 2 시드층(seed layer)이 있다. 제 1 시드층은 제 2 시드층이 <111> 결정 구조 배향으로 성장하게 한다. 제 2 시드층은 AF 피NING층에 대해 <111> 결정 구조 배향이 되도록 설정한다.
- [0019] AF 피NING층을 가지는 자기 저항 장치에 대한 종래 기술의 예가 도 1에 도시되어 있다. 도 1은, 복수의 강자성층을 포함하여, 수개의 층을 구성하는 자기 터널 접합(magnetic tunnel junction)(10)을 도시한다. 층(12)은 비자기 도전층(non-magnetic conductive layer)으로서, 전형적으로 탄탈이나 구리 또는 다른 유사 재료로 제조된다. 층(12) 위에는 자기 시드층(14)이 제조되어 있는데, 이는 완전히 패터닝된 강자성 시드층(seed layer)과 대체될 수 있다. 다음에, AF 피NING층(16)은, 층(16) 위에 제조된 강자성 피NING된 층(18)과 함께 층(14) 위에 제조된다. 전형적으로, 알루미나 또는 이산화 규소 등의 유전성 재료로 이루어진 터널링 장벽(tunneling barrier)(20)은 층(18) 위에 제조된다. 최근, 강자성 감지층(22)은 장벽층(barrier layer)(20) 위에 제조되어 자기 터널 접합 장치(10)를 완성한다. 강한 표류 자기장(stray magnetic field)이 강자성층(14, 18, 22)의 에지(edge)에 발생될 수 있다. 강한 표류 자기장은 한 방향으로 데이터 필름을 스위칭하는 것과, 반대 방향으로 스위칭하는 것을 반대한다. 이는 비대칭적인 스위칭을 생성한다.
- [0020] 따라서, 종래 기술의 자기 터널 접합 장치 내의 강자성층의 에지에서 발생된 표류 자기장을 감소시키거나 제거시키는 구조가 필요하다.

발명이 이루고자 하는 기술적 과제

- [0021] 본 발명에 따르면, 표류 경계 자기 저항 오프셋(stray boundary magneto-resistive offset)을 약화, 감소 또는

제거시키기 위한 수단을 포함하는 자기 메모리 장치와 같은 전자기 장치가 개시된다. 이 장치는 수 개의 층을 포함하는데, 그 중 제 1 층이 자체의 경계에 표류 자기장을 가진다. 약화 수단은, 제 1 층에 자기적으로 결합되어 제 1 층의 표류 자기장을 약화시키는 싱크층(sink layer)을 포함한다.

[0022] 일 실시예에서, 자기 저항 스위칭 오프셋을 감소하거나 제거하기 위한 수단을 포함하는 자기 메모리 장치가 개시되었다. 이 장치는, 감지층, 피닝된 층, 감지층과 피닝된 층 사이에 위치된 장벽층(각 층이 다른 층과 기하학적으로 정렬됨), 피닝된 층(pinned layer)과 인접하여 배열되도록 위치된 피닝층(pinning layer), 및 피닝층에 인접하게 위치되어 감지층, 피닝된 층, 피닝층의 경계에서 표류 자기장 효과를 최소화하는 자기 싱크층을 포함한다. 자기 싱크층은 피닝층과 인접하게 정렬되어 피닝된 층으로서 기능하는 제 1 영역 및 다른 층과 제 1 영역의 배열을 넘어서 확장하는 피닝되지 않은(unpinned) 제 2 영역을 포함한다.

[0023] 본 발명의 추가적인 특징 또는 장점은, 예시의 방법으로 본 발명의 특징에 대해 설명하는 첨부된 도면과 관련된 아래의 상세한 설명으로부터 명백해질 것이다.

발명의 구성 및 작용

[0024] 이제부터, 도면에서 설명된 예시적인 실시예를 참조할 것이며, 그 실시예를 설명하기 위해 본 명세서에서는 특정 용어가 사용될 것이다. 그럼에도 불구하고, 그것으로 인해서 본 발명의 범위를 제한하고자 하려는 것이 아님을 이해할 수 있을 것이다. 본 기술 분야에서 속련된 자로서 이러한 개시 내용을 습득하고 있는 자에게 떠오를, 본 명세서에서 설명된 본 발명의 특징에 대한 변경 및 추가적인 수정과, 본 명세서에서 설명된 바와 같은 발명의 원리에 대한 추가적인 응용은 본 발명의 범위 내에 있는 것으로 간주되어야 할 것이다.

[0025] 도 2는, 도전성 시드층(conductive seed layer)(102), 제 2 시드층(104), 피닝층(106)에 의해 형성된 자기 터널 접합, 피닝된 층(108), 장벽층(barrier layer)(110), 감지층(112) 및 제 2 도전층(118)을 포함하는 자기 메모리 장치(메모리 장치 스택(memory device stack) 또는 메모리 스택으로도 알려져 있음)(100)의 단면을 도시한다. 시드층(104)은 본 발명에 따라 자기 싱크층의 역할을 한다. 자기 메모리 장치(100)는 반강자성(non-ferromagnetic) 도전층(102)을 더 포함한다. 감지층(112)과 피닝된 층(108)은 모두 강자성 재료로 이루어져 있다. 피닝된 층(108)은 기준층(reference layer)의 역할을 하며, 한 방향으로 고정된 자화를 가진다. 감지층(112)은 데이터층(data layer)의 역할을 하며, 두 방향 중의 어느 쪽으로도 향할 수 있는 자화를 가진다.

[0026] 만약 피닝된 층(108) 및 감지층(112)의 자화 벡터(도시되지 않음)가 동일한 방향을 가리키고 있다면, 감지층(112), 장벽층(110) 및 피닝된 층(108)에 의해서 형성된 스핀 의존 터널(spin dependent tunnel : SDT) 접합의 배향은 "평행(parallel)"하다고 한다. 만약 감지층(112)과 피NING된 층(108)의 자화 벡터가 서로 반대 방향을 가리키고 있다면, 자기 터널 접합의 배향은 "반평행(anti-parallel)"하다고 한다. 이러한 2개의 안정한 배향인 평행 및 반평행은 논리 값 "0" 및 "1"에 대응된다.

[0027] 전형적으로 장벽층(110)은 감지층(112)과 피NING된 층(108) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 발생되게 하는 절연 터널 장벽(insulating tunnel barrier)이다. 이 터널링 현상은 전자 스핀의존적(electron-spin dependent)으로서, 자기 터널 접합의 저항이 피NING된 층(108)과 감지층(112)의 자화 벡터에 대한 상태 배향의 함수가 되게 한다. 예를 들면, 자기 터널 접합의 저항은 자기 터널 접합의 자화 배향이 평행하다면 제 1 값(R)이고, 자화 배향이 반평행하다면 제 2 값($R + \Delta R$)이 된다. 절연 터널 장벽(110)은 산화 알루미늄(Al_2O_3), 이산화 규소(SiO_2), 산화 탄탈(Ta_2O_5), 질화 실리콘(SiN_x), 질화 알루미늄(AlN_x) 또는 산화 마그네슘(MgO)으로 이루어질 수 있다. 다른 유전체 또는 소정의 반도체 재료는 절연 터널 장벽(110)으로 사용될 수 있다. 절연 장벽(110)의 두께는 약 0.5nm에서 약 3nm의 범위일 수 있다.

[0028] 임재적인 강자성층 재료에는 니켈, 철, 코발트 또는 이러한 재료의 합금이 포함된다. 예를 들면, 피NING된 층(108)은 NiFe 또는 CoFe 등의 재료로 이루어질 수 있고, 감지층은 그와 동일한 재료 또는 예를 들면, NiFeCo 등의 상이한 재료로 이루어질 수 있다.

[0029] 자유층(free layer) 또는 데이터층으로도 지칭되는 감지층(112)은, 그 자화가 한 방향에서 다른 방향으로 자유롭게 스위칭될 수 있는 강자성 재료로 제조된다. 다른 층은 강자성 피NING된 층(108)으로 구성되며, 이 층은 인접한 반강자성 피NING층(106)의 존재에 의해서 고정된 자체의 자화를 가진다. 이는 피NING된 층(108)의 자화를 특정한 방향으로 고정되게 한다. 제 2 도전층(118)은 작동 중에 감지층(112)에 전류를 전달하는 역할을 하고, 실제적으로는, 어레이 내에서 하부 도전체(102)가 워드 라인의 역할을 하는 메모리 어레이 내에서 비트 라인으로

서 작동한다.

[0030] 층(102)은 2가지의 용도를 가진다. 첫 번째로, 층(102)은 특정 작동 중에 전류가 흐르는 경로를 제공하는 하부 도전체(bottom conductor)의 역할을 한다. 두 번째로, 층(102)은 시드층의 역할을 한다. 층(102)은, Cu, Ta, Ta/Ru 또는 Cu/Ru의 다층 조합체와 같이 여러 재료들 중에서 잘 알려진 재료로 제조될 수 있다. 이러한 재료는 <111> 결정 텍스쳐(crystal texture)로 필름을 후속적으로 성장하도록 촉진시키는 그 재료들의 기능 때문에 선택되었다. 이는 층(102) 위에 NiFe의 층을 후속적으로 증착하여 더 높은 <111> 배향의 자체의 결정 텍스쳐를 가지게 해준다. 이 성장 배향은, 평행한 층(106, 108)이 <111> 텍스쳐를 가지는 (이는 피닝을 촉진하기 위해서 요구되는 조건임) 후속 스택 내에서 피닝 효과를 달성하기 위해서 필요하다.

[0031] 또한, 시드층(104)은 자기 싱크층의 역할을 한다. 실제적으로, 시드층(104)은 제 2 피닝된 층(114) 및 확장층(extension layer)(116) 등과 같은 2개의 분리된 영역을 포함하는데, 이는 층(104)에 더 큰 자기 싱크 능력을 제공하고, 또한 스택의 나머지 부분의 면적을 초과하여 확장할 수 있게 한다. 피닝층(114)은 층(106, 108, 110, 112)과 후속적으로 자기 정렬(self-align)되도록 형성된다. 이는 층(104)의 일부를 제거하여 층(114)과 층(116)의 경계에 의해 나타난 어깨(shoulder) 부분과, 층(106)과 층(114)의 경계에 의해서 나타난 어깨 부분을 생성한다. 층(104)은 층(104)의 성장을 위한 시드(seed)의 역할을 하는 도전층(102) 위에 제조된다. 시드층(104)은 피닝층(106)이 <111>의 결정 구조 배향으로 정렬되게 한다.

[0032] 층(108, 112)을 정의하는 말단 경계(end boundary)에 수직하게 배향된 자화는 이러한 층의 작은 형상에 기인하여 강한 자기장을 생성한다. 경계와 연관된 자기장은, 제조 도중에 피닝된 층의 설정, 또한 기록 작동 및 감지 작동 도중에 감지층의 판독을 수행하는 도중에 감지층을 설정하는 것과 관련된 문제점을 유발한다. 추가적인 문제점은, 인접한 자기 메모리 장치 내의 비트의 영향과 연관된다. 시드층(104)을 제조하기 위해 활용되는 재료는 강자성 재료로 제조되기 때문에, 남아있는 층의 경계 이상으로 지지 표면 면적(support surface area)을 확장시키는 것에 의해 자기 싱크층을 형성시키는 것이 제안되었다. 자기 싱크층은, 제어, 감소 또는 제거하는 것 중의 하나에 의해서, 일반적으로 층(108, 112)의 경계와 연관된 강한 자기장 효과를 수정하는 역할을 한다.

[0033] 도 2의 실시예에서, 층(104)은 부분적으로 패터닝되어, 층(104) 위에 후속적으로 위치된 각 층의 상부 표면을 넘어서 확장하는 스텝 보더(step border)를 드러낸다. 이와 다른 실시예에서, 층(104)은 패터닝될 필요는 없지만, 그 위에 후속적으로 제조된 층의 상부 표면 면적(top surface area)을 초과하여 확장되도록 제조된다.

[0034] 또 다른 실시예에서, 도 3의 평면도에서 도시된 바와 같이, 스핀 의존 터널링(SDT) 접합을 포함하는 자기 메모리 장치가 도시되어 있다. 자기 싱크층(104)은 충분히 커서, 층(118)의 평면도에 의해 나타낸 바와 같이, 2개의 분리된 자기 비트(magnetic bits)를 형성하는 2개의 층을 층(104)에 맞출 수 있다. 이는 자기 싱크층이 오로지 하나의 장치를 서비스한다기보다는 복수의 자기 메모리 장치에 수용할 수 있다는 것을 예시한다. 이와 같이, 수백 개의(수천 개가 아닌 경우) 메모리 장치의 전체 라인이 공통 자기 싱크층(104)을 공유할 수 있다는 것이 의도된다. 이러한 예에서, 싱크층(104)은 사실상 어레이의 전체 길이(또는 폭)를 따라서 확장될 수 있다.

[0035] 가장 간단한 설계는, 층(114)과 후속적인 층이 정확히 동일한 치수를 가지고 있고, 오직 층(116)만이 더 큰 경우(전형적으로 2~10배 큼)이다. 그러나, 층(114)의 치수가 후속적인 층(106, 108, 112 등)의 치수와 정확히 동일하지 않은 것도 가능하다. 이들은 전형적으로 크기면에서 근접하여, 층(114)은 그 자체로 싱크층이 될 수 없고, 전체 싱크 효과가 아니라도, 층(116)은 대부분의 싱크 효과를 수행한다. 특정한 일 실시예에서, 층(114)은 후속 층과 동일하거나 약간 큰 치수를 가진다. 잘 알려진, 층(114)의 확장에 의해서 피복된 영역은, 아래 이내의 다른 인접한 층(114)과 중첩되지 않도록 행 또는 열을 따라 비트 사이의 분리(separation)에 의해 제한된다. 이는 층(116)이 층(114)보다 더 크게 되도록 선택되었음에도 그러하다.

[0036] 도 9(a)는, 시드층(102, 104)이 자성을 띠는 장치(100)에서의 오프셋 효과에 대해 도시하는데, 여기에서 층(102)은 Ta로 형성되고 층(104)은 NiFe로 형성된다. 자기 시드층은 루프(loop) 내에 도시된 바와 같이 실질적으로 자기 오프셋을 감소시킨다. 자화 용이축(easy axis)의 루프는 참조 부호(904)에 도시되어 있는 반면에, 자화 곤란축(hard axis)의 루프는 참조 부호(902)에 도시되어 있다. 도 9(b)는, 시드층(102, 104)이 비자성(non-magnetic)인 경우의 오프셋 효과를 도시하며, 종래 기술에서 확인되는 바와 같이, 층(102)은 Ta로 이루어지고, 층(104)은 Ru로 이루어진다. 이는 상당히 큰 자기 오프셋을 유발한다. 자화 용이축이 참조 부호(908)에 도시되어 있는 반면에, 자화 곤란축은 참조 부호(906)에 도시되어 있다. 도 9(a)의 예에서, 시드층은 패터닝되지 않았다. 패터닝된 NiFe 시드층은 추가적인 오프셋을 초래한다. 위의 2가지 경우에서, 다른 모든 층은 동일하다.

[0037]

추가적으로, 층(114)과 경계층(116)의 두께 비율이 변화된다면(즉, 조합된 104층의 패터닝된 깊이가 어느 정도 인지에 따라서), 생성된 오프셋의 양은 변화된다. 더욱이, 비트 또는 감지층(112)의 층면 치수는 오프셋이 얼마나 존재하는지 판정하는데 중요하다. 만약에, 비트의 크기가 $1.0\mu\text{m} \times 2.0\mu\text{m}$ 이고 두께가 대략 5.0nm 이면, 소정의 오프셋이 달성된다. 만약 비트(112)가 완전히 동일한 재료로 형성되고, 크기가 $0.5\mu\text{m} \times 1.0\mu\text{m}$ 이면, 오프셋은 대략 더 큰 비트보다 2배정도 클 수 있다. 그러므로, 오프셋을 보상하기 위해서 사용된 층(114, 116)의 두께는 패터닝된 비트의 크기에 의해서 판정될 수도 있다. 보다 구체적으로는, 자기 싱크층의 존재에 의해서, 오프셋은 감소되고, 비트의 크기에 따른 오프셋의 변화도 또한 감소된다.

[0038]

자기 싱크층(104)은 임의의 자기-저항(R-H) 곡선 내에서 오프셋을 제거하는 역할을 한다. 더욱이, 표류 자기장(stray magnetic field)이 제거되지는 않았으나 감소되었을 때, 더 엄격한 공차가 수용되어 공통 어레이 내에 더 높은 밀도를 가진 자기 메모리 장치를 생성할 수도 있다. 이것으로 더 큰 저장 용량을 가진, 전체적으로 더 작은 어레이가 된다.

[0039]

도 4는 스택(400)에 도시된 하부 스핀 밸브(bottom spin valve) 메모리 장치의 다른 실시예에 대한 단면을 도시한 것으로, 시드층(404)은 싱크층의 역할을 하고, 도 2의 층(104)과 유사하게 제조될 수 있다. 추가적인 층(114, 116)을 형성하기 위해 층(104)에 만들어진 어깨 부분은 층(404)에서는 패터닝되지 않는다. 더욱이, 피닝 층(106)은 시드층(404)과 거의 동일한 치수를 가지도록 제조된다. 나머지 층인 피닝된 층(108), 장벽층(110) 및 감지층(112)은 도 2에서 앞서 설명된 것과 동일하다.

[0040]

도 5는 스택(510)에 도시된 하부 스핀 밸브(bottom spin valve) 메모리 장치의 다른 실시예에 대한 단면을 도시한 것으로, 여기에서, 시드층(504)은 도 2의 시드층(104)을 대체한다. 시드층(504)은 Ru 또는 Cu 등의 비자성 재료로 이루어진다. 별도의 싱크층이 FM 피닝된 층(508) 내에 형성된다. 이 경우에, 층(508)은, 도 2의 층(104)에서 이전에 제조된 바와 같이, 시드층(114) 및 싱크층(116)을 정의하기 위한 어깨 부분을 가지도록 제조되지만, 층(114)은 층(110)에 대략 부합되는 것으로 도시되어 있다. 피닝층(106)은 시드층(504) 및 층(508)의 싱크층(116) 부분과 거의 동일한 면적 치수를 가지도록 제조된다. 장벽층(110) 및 감지층(112)은 이전에 설명된 실시예에서와 같다.

[0041]

도 2, 4, 5의 실시예에서는 하부 스핀 밸브 메모리 장치를 나타내었지만, 자기 오프셋을 제거하기 위해서, 상부 스핀 밸브 구조도 고려될 수 있다. 전형적으로, 상부 스핀 밸브 구조는 도 2에 도시된 층의 배향 및 순서를 반전시킨 것이다. 도 6은 본 발명에 따른 상부 스핀 밸브 구조의 단면도를 도시한 것이며, 이는 스택(600)으로 도시되어 있다. 그러므로, 층(112)은 Ta 또는 Ta/Ru로 제조된 시드층(602) 위에 제조되어, 장벽층(110) 아래의 층에 대한 시드층의 역할을 한다. 장벽층(110)은 층(112) 위에 형성되며, 피닝된 층(108)은 장벽층(110) 위에 형성된다. 층(108)은 그 위에 형성될 피닝층(106) 등의 후속 층에 대한 시드층의 역할을 한다. 자기 싱크층(604)은 층(106) 위에 형성되고, 도 2의 층(104) 위의 어깨 부분과 비교되는 반전된 어깨 부분을 가진다. 따라서, 층(614)은 층(106)에 인접하게 형성되고, 층(616)은, 층(614) 위에 형성되어, 기본적으로는 하부층(lower layers)의 에지 경계(edge boundary)에서 자기장에 의해서 유발된 R-H 곡선 내의 오프셋을 감소시키거나 제거하기 위한 싱크층의 역할을 한다. 또한, 층(614)은 층(106)의 면적을 초과하지만, 층(616)보다 더 작은 면적을 가지도록 제조될 수 있다.

[0042]

도 7은 본 발명에 따른 위와 다른 상부 스핀-스핀 밸브 구조의 단면도를 도시하며, 이는 스택(700)으로 도시되어 있다. 먼저, 싱크층(704)이 도전층(102) 위에 제조된다. 다음으로, 비자성 시드층(702)이 싱크층(704) 위에 제조되어 도 6의 시드층(602)과 거의 비슷하게 기능한다. 그 다음, 층(112)은, Ta, Ta/Ru, Ta/Cu 또는 Cu/Ru로부터 제조된 시드층(702) 위에 제조된다. 이와 함께, 층(102, 704, 702)은 장벽층(110) 아래의 층에 대한 시드층의 역할을 한다. 장벽층(110)은 층(112) 위에 형성되고, 피닝된 층(108)은 층(110) 위에 형성된다. 층(108)은, 그 위에 형성된 피NING층(106)과 같은 후속 층에 대한 시드층으로서의 역할을 한다. 층(704)은 에지 경계에서 하부 층에 의해 유발된 R-H 오프셋 곡선을 감소시키거나 제거하는 역할을 한다.

[0043]

특정한 일 실시예에서, 자기 싱크층은 비트층의 시트 크기의 5에서 10배의 범위를 가진 시트 크기를 가진다. 이와 다르게, 자기 싱크층(104)은 단지 비트 크기의 2에서 5배일 수 있다. 물론, 자기 싱크층은 하나 이상의 메모리 비트에 대한 R-H 곡선에서 오프셋을 약화시키는 역할을 할 수 있어서, 이러한 치수는 단지 단일 비트 구현에 대해서 나타낸 것일 뿐이며, 제한적인 의미는 아니다.

[0044]

감지층(112)은 어레이 내의 각 셀에 대한 비트의 역할을 하고, 장벽층(110)과 접촉하고 있다. 제 2 도전층(118)은 Y축을 따라서 연장하는 비트 라인의 역할을 하는 상부 리드(top lead)이며, 층(110)과 접촉하고 있다. 제 1 층(102)은 X축을 따라서 연장하는 제 2 도전체의 역할을 하며, 이는 자기 싱크층(104)과 접촉한다. 도전

층(102)은 알루미늄, 구리, 금, 은, 또는 탄탈 등의 전기적으로 도전성이며, 비자성인 재료로 이루어진다.

[0045] 데이터는 도전층(118) 및 도전층(102)에 기록 전류를 인가하는 것에 의해서, 감지층(112), 장벽층(110) 및 피닝된 층(108)에 대해서 형성된 자기 터널 접합에 기록될 수 있다. 전기적으로, 층(118, 112)은 하나의 도전체를 형성하며, 층(102, 104, 106, 108)은 제 2 도전체를 형성한다. 그러므로, 도전층(118)을 따라 흐르는 전류는 감지층(112) 주위에 하나의 자기장을 생성하고, 도전층(102)을 통해서 흐르는 전류는 다른 자기장을 생성한다. 이러한 2개의 자기장은, 조합되면, 감지층(112)의 보자력(coercivity)을 초과하고, 그에 따라, 층(102, 118)에 공급된 전류의 방향 및 크기에 의존하여, 감지층(112)의 자화 벡터가 희망하는 배향으로 설정되게 한다. 하나의 자화 배향은 논리 값 1을 정의하고, 다른 하나는 논리 값 0을 정의한다. 기록 전류가 제거된 후에, 감지층(112)의 자화 벡터는 자체의 배향을 유지한다.

[0046] 자기 메모리 장치(100)의 내용을 판독하기 위해서, 도전층(118) 및 도전층(102)을 경유하여 자기 터널 접합 양단에 전압을 인가한다. 이 전압은 감지 전류가, 감지 층(112), 피닝된 층(108) 및 감지층(112)과 피닝된 층(108) 사이에 개재된 장벽층(110) 사이에 형성된 자기 터널 접합을 통해서 흐르게 한다.

[0047] 자기 터널 접합의 저항은 자기 터널 접합을 통해서 흐르는 전류를 감지하는 것에 의해 측정된다. 감지된 전류는 자기 터널 접합의 저항에 반비례한다. 그러므로, $I_s = V/R$ 또는 $I_s = V/(R + \Delta R)$ 이고, 여기에서 V는 인가된 전류, I_s 는 감지된 전류, R은 장치(100)의 공칭 저항(nominal resistance), ΔR 은 평행 자화 배향에서 반평행 자화 배향으로 되어 가는 것에 의해 유발된 저항의 변화이다.

[0048] 도 8은 워드 라인(518) 및 비트 라인(520)을 포함하는 자기 랜덤 액세스 메모리(MRAM)를 도시한다. 자기 터널 접합(511)은 워드 라인(518)과 비트 라인(520)의 교차점에 위치된다. 자기 터널 접합은 두 개의 메모리 장치(100)에서 확인된 것과 같은 자기 싱크층을 포함하도록 제조된다. 자기 터널 접합(511)은 행과 열(행은 X축을 따라 연장되고 열은 Y축을 따라서 연장됨)로 배열된다. MRAM 장치(510)의 도시를 단순화하기 위해서 비교적 작은 수의 자기 터널 접합(511)만을 도시하였다.

[0049] 워드 라인(518)으로서 기능하는 트레이스(trace)는 어레이(512)의 한쪽 면 위의 면 내에서 X방향을 따라서 연장된다. 워드 라인(518)은 자기 터널 접합(511)의 피닝된 층과 접촉되어 있다. 비트 라인(520)으로서 기능하는 트레이스는, 어레이(512)의 인접한 면 위의 면 내에서 Y 방향을 따라서 연장된다. 비트 라인(520)은 자기 터널 접합(511)의 피닝층(106)과 접촉되어 있다. 어레이(512)의 각 행에 대해서는 하나의 워드 라인(518)이, 어레이(512)의 각 열에 대해서는 하나의 비트 라인(512)이 있을 수 있다.

[0050] 또한 시드층(104)은 접합(511) 아래에 형성된다. 일례에서, 각 접합(511)이 자체의 시드층을 가지도록, 시드층(104)은 고립되어 있다. 다른 워드 라인에서, 시드층은 동일한 워드 라인 내에서 두 개 이상의 접합의 역할을 하기 위해 연장될 수 있도록 도시되어 있다. 각 행에는 별도의 도전체가 있기 때문에, 시드층은 자체의 금속 함유로 인해서 행 사이에서 공유될 수 없다. 이로 인해, 자기 싱크층은 전도체의 상부를 넘어서 확장될 수 있고, 워드 라인을 따라 2개 이상의 비트 사이에서 공유될 수는 있으나, 전체 어레이(512) 내에서 공유되지는 않는다.

[0051] 또한, MRAM 장치(512)는 제 1 및 제 2 행 디코더(514a, 514b), 제 1 및 제 2 열 디코더(516a, 516b), 판독/기록 회로(519)를 포함한다. 판독/기록 회로(519)는 감지 증폭기(sense amplifier)(522), 접지 접속부(ground connector)(524), 행 전류 소스(row current source)(526), 전압 소스(528) 및 열 전류 소스(530)를 포함한다.

[0052] 선택된 자기 터널 접합(511)에 대한 기록 작동 도중에, 제 1 행 디코더(514a)는 선택된 워드 라인(518)의 한쪽 단(end)을 행 전류 소스(526)로 접속시키고, 제 2 행 디코더(514b)는 워드 라인(518)의 반대쪽 단을 접지로 접속시키고, 제 1 열 디코더(516a)는 선택된 비트 라인(520)의 한쪽 단을 접지로 접속시키고, 제 2 열 디코더(516b)는 선택된 비트 라인(520)의 반대쪽 단을 열 전류 소스(530)에 접속시킨다. 결과적으로, 기록 전류는 선택된 워드 라인(518) 및 비트 라인(520)을 통해서 흐른다. 기록 전류는 자기장을 생성하는데, 이는 자기 터널 접합(511)이 스위칭되게 한다. 또한, 열 디코더(516a, 516b)는 선택된 자기 터널 접합(511)을 교차하는 워드 라인(518)을 통해서 기록 전류가 흐르게 한다.

[0053] 선택된 자기 터널 접합(511) 위의 판독 작동 도중에, 제 1 행 디코더(514a)는 전압 소스(528)를 선택된 워드 라인(518)에 접속시키고, 제 1 열 디코더(518a)는 선택된 비트 라인(520)을 감지 증폭기(sense amplifier)(522)의 가상 접지 입력(virtual ground input)에 접속시킨다. 한편, 제 1 및 제 2 열 디코더(516a, 516b)는 정상

판독 전류(steady read current) 또는 바이폴라 전류 펄스(bipolar current pulse) 중의 하나가, 선택된 자기 터널 접합(511)을 교차하는 판독 라인을 통해서 흐르게 한다. 만약 정지 판독 전류가 선택된 판독 라인(read line)에 공급된다면, 선택된 자기 터널 접합(511)의 저항 상태는 감지 증폭기(522)에 의해서 감지된다. 바이폴라 펄스는 선택된 판독 라인에 공급되고, 감지 증폭기(522)는 접합 저항의 변화를 검사한다.

[0054] 자기 터널 접합(511)은 여러 평행 경로를 통해서 함께 결합된다. 하나의 교차점에서 관찰된 저항은, 다른 행 또는 열 내의 자기 터널 접합(511)의 저항과 평행한 교차점에서의 자기 터널 접합의 저항과 동일하다. 그러므로, 자기 터널 접합(511)의 어레이(512)는 교차점 저항 네트워크(cross point resistor network)로서의 특징을 가질 것이다.

[0055] 자기 터널 접합(511)은 교차점 저항 네트워크로서 접속되어 있기 때문에, 기생(parasitic) 또는 스니크 경로(sneak path) 전류는 선택된 자기 터널 접합(511)에서의 판독 동작을 방해할 수 있다. 다이오드나 트랜지스터 등의 차단 장치(blocking device)는 자기 터널 접합(511)에 접속될 수 있다. 이러한 차단 장치는 기생 전류를 차단할 수 있고, 또한 그와 함께 형성된 싱크층을 가질 수도 있다.

[0056] 이와 다르게, 기생 전류는 참조에 의해 통합된, 공통으로 양도된 미국 특허 No.6,259,644에 개시된 "등전위(equipotential)" 방법을 사용하여 다를 수 있다. 등전위 방법을 사용하는 것으로 구성되었다면, 판독/기록 회로(518)는 선택되지 않은 비트 라인(520)에 선택된 비트 라인(520)과 동일한 전위를 제공하거나, 선택되지 않은 워드 라인(518)에 선택된 비트 라인(520)과 동일한 전위를 제공할 수 있다.

[0057] 제 1 행 디코더(514a)는 전압 소스(528)를 선택된 워드 라인(518)으로 접속시키고 제 1 열 디코더(516a)는 선택된 비트 라인(520)의 한쪽 단을 감지 증폭기(522)의 가상 접지 입력으로 접속시킨다. 결과적으로, 감지 전류(sense current)(I_s)는 선택된 자기 터널 접합(511)을 통해서 감지 증폭기(522)로 흐른다. 제 2 열 디코더(516b)는 열 전류 소스(530)를 선택된 비트 라인(520)의 다른 쪽 단으로 접속시킨다. 결과적으로, 판독 전류(I_r)가 선택된 비트 라인(520)을 통해서 감지 증폭기(522)로 흐른다. 판독 전류(I_r)는 기준층의 자화 벡터를 설정한다. 감지 증폭기(522)는 감지 전류와 판독 전류의 합(I_s+I_r)을 감지한다. 판독 전류(I_r)의 크기가 알려져 있기 때문에, 감지 전류(I_s)의 크기와 그에 따른 자기 터널 접합(511)의 저항 및 논리 상태를 판정할 수 있다.

[0058] 본 발명은 TMR 장치와 관련하여 설명하였으나, 이는 그것으로 한정되지 않는다. 본 발명은 유사한 작동 특성을 가지는 다른 타입의 자기 저항 장치에 적용될 수 있다. 예를 들면, 본 발명은 GMR(Giant Magneto Resistive) 장치에 적용될 수 있다. GMR 장치는, 데이터 및 기준층이 절연 터널 장벽(도 2의 장벽층(110))대신에, 도전성 비자기 금속층에 의해 분리되어 있다는 사실을 제외하고는, TMR 장치와 동일한 기본 구성을 가지고 있다. 이 구분층은 0.5nm에서 3nm의 범위이다. 예시적인 스페이서층 금속은 금, 은 및 구리를 포함한다. 데이터 및 기준 자화 벡터의 상대 배향은 GMR 장치의 면 내부 저항(in-plane resistance)에 영향을 준다.

[0059] 위에서 언급한 배열은 본 발명의 원칙에 대한 적용을 도시한 것에 불과하다는 것을 이해할 수 있을 것이다. 본 발명의 정신 및 범주를 벗어나지 않는 한도 내에서 다수의 보정 및 변경 배열을 고안할 수 있을 것이다. 본 발명에서 개시된 바와 같이 싱크층을 사용하는 것은 교차점 구조 또는 등전위 방법에 한정되지 않으며, 예를 들면, 여러 가지 중에서, 또한 스택으로 제조될 수 있는 다이오드 또는 트랜지스터 등의 에지 경계에서 표류 자기장을 가지는 여타 반도체로 제조된 회로에 적용될 수 있다. 더욱이, 스핀 밸브 구조는 메모리 애플리케이션에만 한정되지 않는다. 예를 들면, 필드 센서(field sensors) 및 자기 판독 헤드(magnetic read heads)에 대해 정확히 동일한 구조를 사용할 수 있다. 물론, 각 애플리케이션은 터널 접합 특성(TMR 竊, 절대 저항, 보자력, 스위칭 필드 등)에 대해 재설계할 필요가 있을 것이나, 이러한 재설계는 적당한 실험만으로도 당업자들의 기술 능력 내에서 충분히 가능할 것이다.

[0060] 본 발명은 도면으로 도시되었고, 앞서 무엇이 본 발명에서 현재 가장 실제적이고, 바람직한 실시예로 간주되는 것인지와 관련된 상세 내용과 세부 사항으로 충분히 설명되었으나, 당업자들에게는, 청구 범위에서 제시된 바와 같은 본 발명의 원칙 및 개념을 벗어나지 않으면서 수많은 변경이 가능하다는 것이 명백할 것이다.

발명의 효과

[0061] 본 발명에 의하면, 자기 터널 접합 장치 내의 강자성층의 에지에서 발생된 표류 자기장을 약화시키는 수단(싱크 층을 포함함)을 가지고, 표류 경계 자기 저항 오프셋을 감소시키거나 제거하는 메모리 장치 및 그 메모리 장치

의 제조 방법을 제공한다.

도면의 간단한 설명

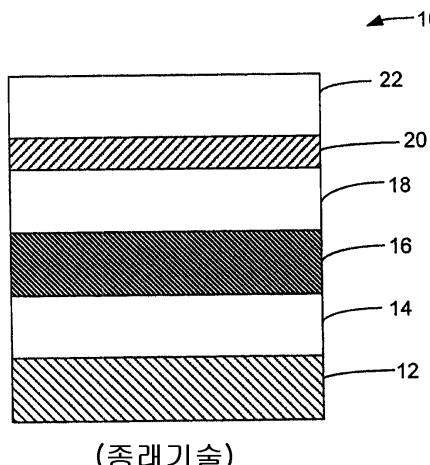
- [0001] 도 1은 종래 기술에 따른 자기 저항 저장 장치의 단면에 대한 측면도,
- [0002] 도 2는 본 발명에 따른 자기 싱크층을 포함하는 자기 저항 저장 장치의 단면도,
- [0003] 도 3은 본 발명에 따른 공통 자기 싱크층을 공유하는 2개의 자기 저항 저장 장치의 평면도,
- [0004] 도 4는 본 발명에 따른 자기 싱크층을 포함하는 자기 저항 저장 장치의 다른 실시예에 대한 단면도,
- [0005] 도 5는 본 발명에 따른 자기 싱크층을 포함하는 자기 저항 저장 장치의 다른 실시예에 대한 단면도,
- [0006] 도 6은 본 발명에 따른 자기 싱크층을 포함하는 자기 저항 저장 장치의 다른 실시예에 대한 단면도,
- [0007] 도 7은 본 발명에 따른 자기 싱크층을 포함하는 자기 저항 저장 장치의 다른 실시예에 대한 단면도,
- [0008] 도 8은 본 발명의 범위 내에서 구현된 바와 같은 지지 조직을 가진 메모리 어레이의 개략도,
- [0009] 도 9는 종래 기술에 따른 시드층의 오프셋 효과(도 9(b))와 본 발명(도 9(a))에 따른 시드층의 오프셋 효과의 비교를 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

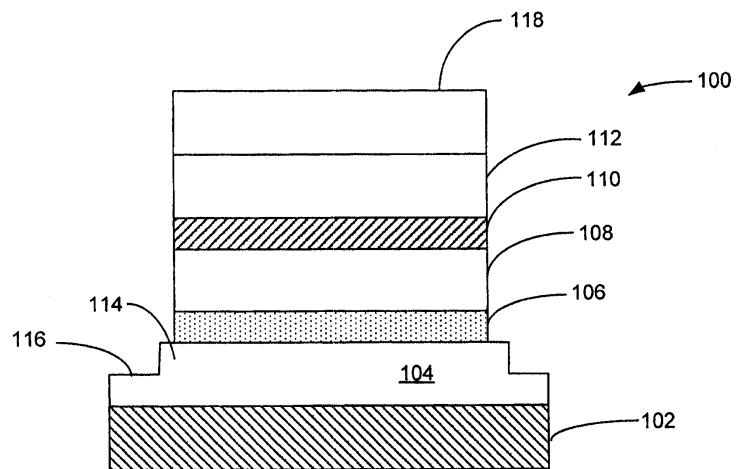
- | | |
|---------------------|----------------|
| [0011] 100 : 메모리 장치 | 102, 104 : 시드층 |
| [0012] 106 : 피닝층 | 108 : 피닝된 층 |
| [0013] 110 : 장벽층 | 112 : 감지층 |

도면

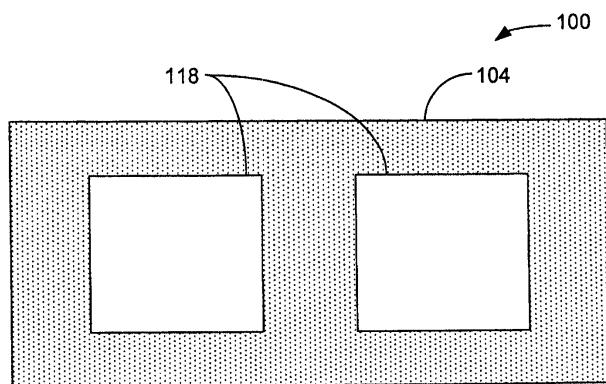
도면1



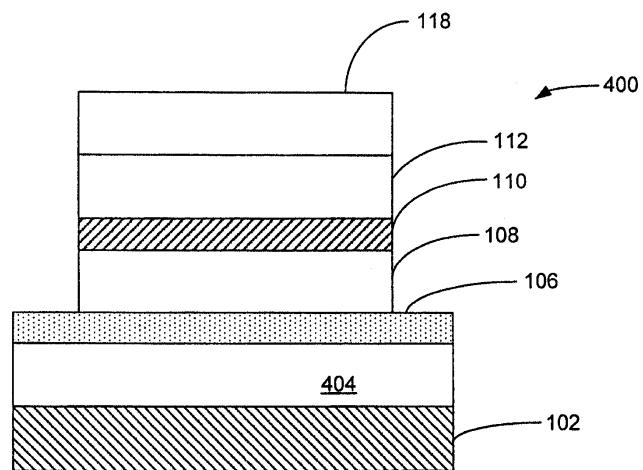
도면2



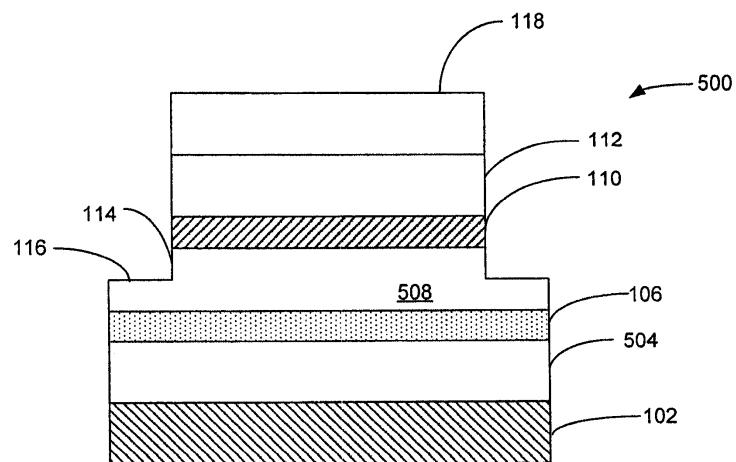
도면3



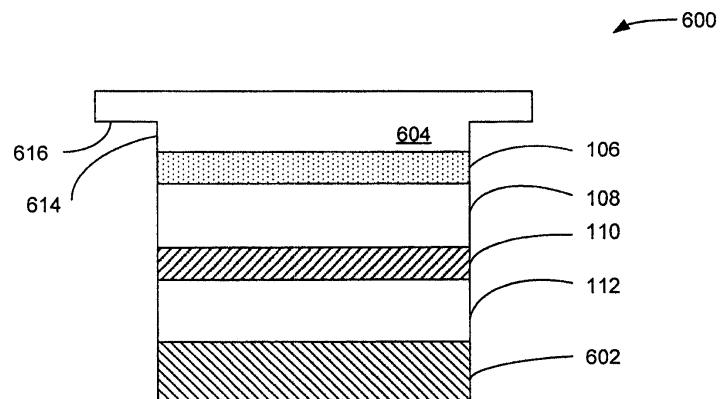
도면4



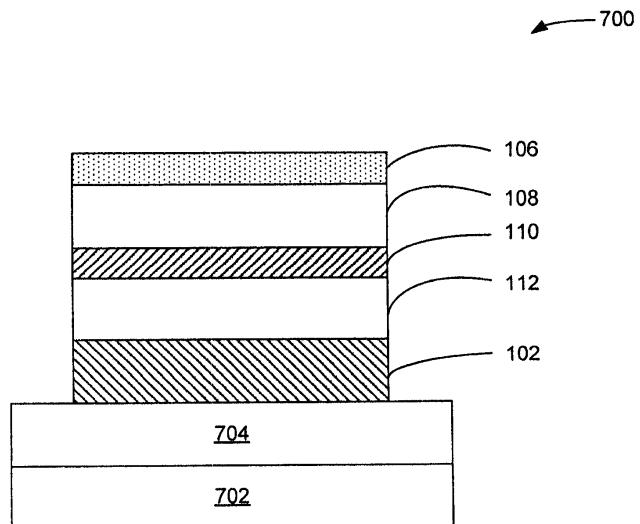
도면5



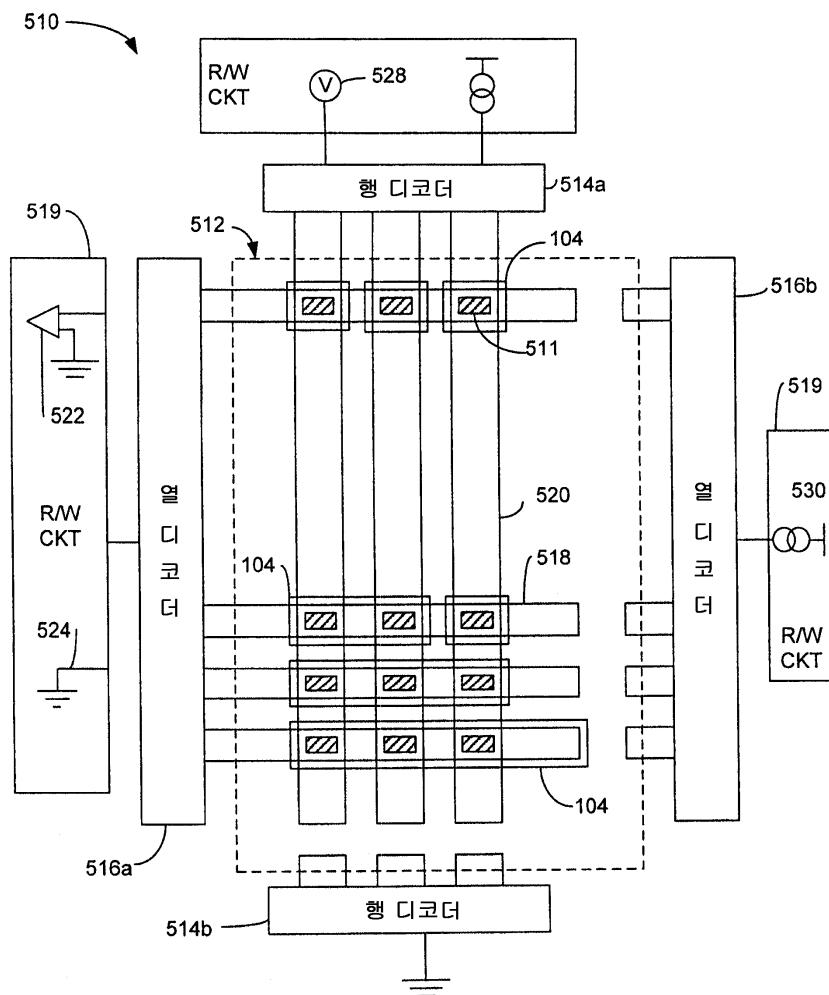
도면6



도면7



도면8



도면9

