

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-167275

(P2005-167275A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/338	H O 1 L 29/80 B	5 F O O 3
H O 1 L 21/20	H O 1 L 21/20	5 F O 4 5
H O 1 L 21/205	H O 1 L 21/205	5 F O 5 2
H O 1 L 21/331	H O 1 L 29/72 H	5 F 1 O 2
H O 1 L 29/737	H O 1 L 29/80 H	
審査請求 有 請求項の数 22 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2005-15790 (P2005-15790)	(71) 出願人	000004064
(22) 出願日	平成17年1月24日 (2005.1.24)		日本碍子株式会社
(62) 分割の表示	特願2001-267299 (P2001-267299) の分割		愛知県名古屋瑞穂区須田町2番56号
原出願日	平成13年9月4日 (2001.9.4)	(74) 代理人	100072051
(31) 優先権主張番号	特願2001-153693 (P2001-153693)		弁理士 杉村 興作
(32) 優先日	平成13年5月23日 (2001.5.23)	(74) 代理人	100100125
(33) 優先権主張国	日本国 (JP)		弁理士 高見 和明
(31) 優先権主張番号	特願2000-373039 (P2000-373039)	(74) 代理人	100101096
(32) 優先日	平成12年12月7日 (2000.12.7)		弁理士 徳永 博
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100086645
			弁理士 岩佐 義幸
		(74) 代理人	100107227
			弁理士 藤谷 史朗
		(74) 代理人	100114292
			弁理士 来間 清志
		最終頁に続く	

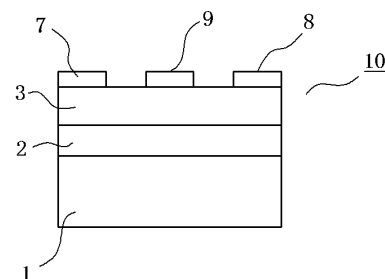
(54) 【発明の名称】 半導体素子

(57) 【要約】

【課題】 Al、Ga、Inの少なくとも一つを含む窒化物半導体からなる、エピタキシャル成長させた半導体層中の転位密度を低減し、FETやHEMTなどの実用デバイスとして使用することのできる、前記窒化物半導体からなる半導体素子を提供する。

【解決手段】 基板1上に、転位密度 $10^{11}/\text{cm}^2$ 以下、(002)面におけるX線ロッキングカーブにおける半値幅90秒以下のAlN層を下地層2としてエピタキシャル成長させ、この下地層2上に、n-GaN層を導電層3としてエピタキシャル成長させて、導電層3中の転位密度を $10^{10}/\text{cm}^2$ 以下、(002)面におけるX線ロッキングカーブにおける半値幅150秒以下とする。この際、基板1と下地層2との界面に発生したミスフィット転位が前記界面で絡まることにより、下地層2内に伝播しない

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、この基板上にエピタキシャル成長され、厚さが $0.5 \mu\text{m}$ 以上であって、Al 含有量が 50 原子% 以上であり、転位密度が $10^{11} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 90 秒以下である第 1 の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長された、Al、Ga、及び In の少なくとも一つを含むとともに、Al 含有量が前記下地層よりも小さく、転位密度が $10^{10} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 2 の窒化物半導体からなる導電層とを実質的に具え、

前記基板と前記下地層との界面に発生したミスフィット転位が前記基板と下地層との界面で絡まることにより、前記下地層内に伝播せず、 10

前記下地層と前記導電層との界面において、前記下地層と前記導電層との格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子。

【請求項 2】

前記下地層を構成する前記第 1 の窒化物半導体は、AlNであることを特徴とする、請求項 1 に記載の半導体素子。

【請求項 3】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により 1100°C 以上の温度で形成されたことを特徴とする、請求項 1 又は 2 に記載の半導体素子。

【請求項 4】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により $1100^\circ\text{C} \sim 1250^\circ\text{C}$ の温度で形成されたことを特徴とする、請求項 3 に記載の半導体素子。 20

【請求項 5】

前記基板はサファイア単結晶からなり、前記下地層は前記基板の、表面窒化処理が施された主面上に形成されていることを特徴とする、請求項 1～4 のいずれか一に記載の半導体素子。

【請求項 6】

前記下地層を構成する前記第 1 の窒化物半導体中の成分含有量が、前記基板側から前記導電層に向かって連続的又はステップ状に変化していることを特徴とする、請求項 1～5 のいずれか一に記載の半導体素子。 30

【請求項 7】

前記半導体素子の反りが、 5 cm 当たり $100 \mu\text{m}$ 以下であることを特徴とする、請求項 1～6 のいずれか一に記載の半導体素子。

【請求項 8】

請求項 1～7 のいずれか一に記載の半導体素子と、この半導体素子上においてソース／ドレイン電極、及びゲート電極とを具えることを特徴とする、電界効果トランジスタ。

【請求項 9】

基板と、この基板上にエピタキシャル成長され、厚さが $0.5 \mu\text{m}$ 以上であって、Al 含有量が 50 原子% 以上であり、転位密度が $10^{11} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 90 秒以下である第 1 の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含むとともに、Al 含有量が前記下地層よりも小さく、転位密度が $10^{10} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 2 の窒化物半導体からなるキャリア移動層と、このキャリア移動層上にエピタキシャル成長された前記第 2 の窒化物半導体よりもバンドギャップの大きい、Al、Ga、及び In の少なくとも一つを含む第 3 の窒化物半導体からなるキャリア供給層とを実質的に具え、 40

前記基板と前記下地層との界面に発生したミスフィット転位が前記界面で絡まることにより、前記下地層内に伝播せず、

前記下地層と前記キャリア移動層との界面において、前記下地層と前記キャリア移動層 50

の格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子。

【請求項 10】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により 1100℃以上の温度で形成されたことを特徴とする、請求項 9 に記載の半導体素子。

【請求項 11】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により 1100℃～1250℃の温度で形成されたことを特徴とする、請求項 10 に記載の半導体素子。

【請求項 12】

前記基板はサファイア単結晶からなり、前記下地層は前記基板の、表面窒化処理が施された主面上に形成されていることを特徴とする、請求項 9～11 のいずれか一に記載の半導体素子。 10

【請求項 13】

前記下地層を構成する前記第 1 の窒化物半導体中の成分含有量が、前記基板側から前記キャリア移動層に向かって連続的又はステップ状に変化していることを特徴とする、請求項 9～12 のいずれか一に記載の半導体素子。

【請求項 14】

前記半導体素子の反りが、5cm 当たり 100μm 以下であることを特徴とする、請求項 9～13 のいずれか一に記載の半導体素子。

【請求項 15】

請求項 9～14 のいずれか一に記載の半導体素子と、この半導体素子上においてソース／ドレイン電極、及びゲート電極とを具えることを特徴とする、高電子移動度トランジスタ。 20

【請求項 16】

基板と、この基板上にエピタキシャル成長され、厚さが 0.5μm 以上であって、Al 含有量が 50 原子% 以上であり、転位密度が $10^{11} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 90 秒以下である第 1 の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含み、転位密度が $10^{10} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 2 の窒化物半導体からなる第 1 の導電型の第 1 の導電層と、この第 1 の導電層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含み、転位密度が $10^{10} / \text{cm}^2$ 以下であり、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 3 の窒化物半導体からなる、前記第 1 の導電型の第 2 の導電層と、この第 2 の導電層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含み、転位密度が $10^{10} / \text{cm}^2$ 以下であり、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 4 の窒化物半導体からなる、前記第 1 の導電型と反対の第 2 の導電型の第 3 の導電層と、この第 3 の導電層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含み、転位密度が $10^{10} / \text{cm}^2$ 以下であり、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 5 の窒化物半導体からなる、前記第 1 の導電型の第 4 の導電層とを實質的に具え、 30 40

前記基板と前記下地層との界面に発生したミスフィット転位が前記界面で絡まることにより、前記下地層内に伝播せず、

前記下地層と前記第 1 の導電層との界面において、前記下地層と前記第 1 の導電層の格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子。

【請求項 17】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により 1100℃以上の温度で形成されたことを特徴とする、請求項 16 に記載の半導体素子。

【請求項 18】

前記下地層を構成する前記第 1 の窒化物半導体は、MOCVD 法により 1100℃～1250℃の温度で形成されたことを特徴とする、請求項 17 に記載の半導体素子。 50

【請求項 19】

前記基板はサファイア単結晶からなり、前記下地層は前記基板の、表面窒化処理が施された主面上に形成されていることを特徴とする、請求項 16～18 のいずれか一に記載の半導体素子。

【請求項 20】

前記下地層を構成する前記第 1 の窒化物半導体中の成分含有量が、前記基板側から前記導電層に向かって連続的又はステップ状に変化していることを特徴とする、請求項 16～19 のいずれか一に記載の半導体素子。

【請求項 21】

前記半導体素子の反りが、5 cm 当たり 100 μ m 以下であることを特徴とする、請求項 16～20 のいずれか一に記載の半導体素子。 10

【請求項 22】

請求項 16～21 のいずれか一に記載の半導体素子と、この半導体素子上においてエミッタ／コレクタ電極、及びベース電極とを具えることを特徴とする、ヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子に関し、詳しくは電界効果トランジスタ（FET）、高電子移動度トランジスタ（HEMT）、及びヘテロ接合バイポーラトランジスタ（HBT）などとして好適に使用することのできる半導体素子に関する。 20

【背景技術】

【0002】

近年、携帯電話や光通信などが発展する中で、高周波特性に優れ、低消費電力型で高出力の電子デバイスに対する需要が急速に増大している。このような用途としては、従来、Si デバイスや GaAs デバイスが用いられてきた。しかし、携帯電話の高性能化や光通信の高速化に伴い、より良い高周波特性で高出力の電子デバイスが望まれている。

【0003】

このため、GaAs 系の HEMT やシュードモルフイック HEMT、GaAs 系の HBT などが実用化されている。また、さらに高性能な電子デバイスとして、InP 系の HEMT や HBT などの電子デバイスが盛んに研究開発されている。 30

【0004】

しかし、これらのより高性能の電子デバイスの製造にあっては、電子デバイス作製のためのエピタキシャル成長させた半導体層の構造がより複雑になり、またデバイスプロセスもより微細化し、製造コストが高くなるとともに、半導体層を構成する材料系もより高価になるため、これらの材料系にとって代わる新しい材料系が望まれていた。

【0005】

このような新しい材料として GaN を用いた電子デバイスが最近注目されている。GaN はバンドギャップが 3.39 eV と大きいため、Si、GaAs に比べて絶縁破壊電圧が約一桁大きく、電子飽和ドリフト速度が大きいため、Si、GaAs に比べて電子デバイスとしての性能指数が優れており、高温動作デバイス、高出力デバイス、高周波デバイスとして、エンジン制御、電力変換、移動体通信などの分野で有望視されている。 40

【0006】

特に、Khan ら（Appl. Phys. Lett., 63 (1993), 1214）が AlGaIn / GaN 系の HEMT 構造の電子デバイスを実現して以来、世界中で開発が進められている。これらの GaN 系の電子デバイスは従来、サファイア基板の上に所定の半導体層をエピタキシャル成長させて作製していた。

【0007】

しかしながら、GaN 系とサファイア基板とは格子不整合が大きいため、格子不整合に伴いエピタキシャル成長させた半導体層と基板の間で発生した転位が前記半導体層中に 50

伝播する。この結果、前記半導体層中には $10^{10} / \text{cm}^2$ 台の高密度の転位が存在し、十分な電気的特性が得られないため、電子デバイスの性能向上にも限界があった。

【発明の開示】

【発明が解決しようとする課題】

【0008】

このように良質の膜が得られないために、電子デバイスを構成するエピタキシャル成長させた半導体層と基板の間に種々のバッファ層を介したり、前記半導体層とできるだけ格子整合する SiC、GaN および各種酸化物を基板として用いたりする方法が試みられているが、前記半導体層中の転位密度を低減するには未だ十分ではない。

【0009】

また、 SiO_2 などのストライプのマスクを基板上に作製して、半導体層／基板界面で発生したミスフィット転位が、前記マスク上の、横方向にエピタキシャル成長した半導体層部分に伝播することを防止して、前記マスク上において低転位密度の半導体エピタキシャル膜を作製することが試みられている。

【0010】

しかしながら、この方法は、プロセスが複雑であり、製造コストが高くなるほか、厚い GaN 系の膜を成長させるため、基板が反ってしまい、実際、デバイスプロセスに使用すると大半の基板が割れてしまうという決定的な問題点があり、実用化を妨げている。

【0011】

本発明は、上記のような Al、Ga、In の少なくとも一つを含む窒化物半導体からなる、エピタキシャル成長させた半導体層中の転位密度を低減し、FET や HEMT などの実用デバイスとして使用することのできる、前記窒化物半導体からなる半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成すべく、本発明は、

基板と、この基板上にエピタキシャル成長され、厚さが $0.5 \mu\text{m}$ 以上であって、Al 含有量が 50 原子% 以上であり、転位密度が $10^{11} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 90 秒以下である第 1 の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長された、Al、Ga、及び In の少なくとも一つを含むとともに、Al 含有量が前記下地層よりも小さく、転位密度が $10^{10} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 2 の窒化物半導体からなる導電層とを實質的に具え、

前記基板と前記下地層との界面に発生したミスフィット転位が前記基板と下地層との界面界面で絡まることにより、前記下地層内に伝播せず、前記下地層と前記導電層との界面において、前記下地層と前記導電層との格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子（第 1 の半導体素子）に関する。

【0013】

また、本発明は、

基板と、この基板上にエピタキシャル成長され、厚さが $0.5 \mu\text{m}$ 以上であって、Al 含有量が 50 原子% 以上であり、転位密度が $10^{11} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 90 秒以下である第 1 の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長された Al、Ga、及び In の少なくとも一つを含むとともに、Al 含有量が前記下地層よりも小さく、転位密度が $10^{10} / \text{cm}^2$ 以下であって、(002) 面における X 線ロックアップカーブにおける半値幅が 150 秒以下である第 2 の窒化物半導体からなるキャリア移動層と、このキャリア移動層上にエピタキシャル成長された前記第 2 の窒化物半導体よりもバンドギャップの大きい、Al、Ga、及び In の少なくとも一つを含む第 3 の窒化物半導体からなるキャリア供給層とを實質的に具え、

前記基板と前記下地層との界面に発生したミスフィット転位が前記界面で絡まることに

10

20

30

40

50

より、前記下地層内に伝播せず、

前記下地層と前記キャリア移動層との界面において、前記下地層と前記キャリア移動層の格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子（第2の半導体素子）に関する。

【0014】

さらに、本発明は、

基板と、この基板上にエピタキシャル成長され、厚さが $0.5\mu\text{m}$ 以上であって、Al含有量が50原子%以上であり、転位密度が $10^{11}/\text{cm}^2$ 以下であって、(002)面におけるX線ロックングカーブにおける半値幅が90秒以下である第1の窒化物半導体からなる下地層と、この下地層上にエピタキシャル成長されたAl、Ga、及びInの少なくとも一つを含み、転位密度が $10^{10}/\text{cm}^2$ 以下であって、(002)面におけるX線ロックングカーブにおける半値幅が150秒以下である第2の窒化物半導体からなる第1の導電型の第1の導電層と、この第1の導電層上にエピタキシャル成長されたAl、Ga、及びInの少なくとも一つを含み、転位密度が $10^{10}/\text{cm}^2$ 以下であり、(002)面におけるX線ロックングカーブにおける半値幅が150秒以下である第3の窒化物半導体からなる、前記第1の導電型の第2の導電層と、この第2の導電層上にエピタキシャル成長されたAl、Ga、及びInの少なくとも一つを含み、転位密度が $10^{10}/\text{cm}^2$ 以下であり、(002)面におけるX線ロックングカーブにおける半値幅が150秒以下である第4の窒化物半導体からなる、前記第1の導電型と反対の第2の導電型の第3の導電層と、この第3の導電層上にエピタキシャル成長されたAl、Ga、及びInの少なくとも一つを含み、転位密度が $10^{10}/\text{cm}^2$ 以下であり、(002)面におけるX線ロックングカーブにおける半値幅が150秒以下である第5の窒化物半導体からなる、前記第1の導電型の第4の導電層とを實質的に具え、

前記基板と前記下地層との界面に発生したミスフィット転位が前記界面で絡まることにより、前記下地層内に伝播せず、

前記下地層と前記第1の導電層との界面において、前記下地層と前記第1の導電層の格子定数差に起因して前記下地層の転位が絡まることを特徴とする、半導体素子（第3の半導体素子）に関する。

【0015】

本発明者らは、長年、サファイア基板上にAlN膜をエピタキシャル成長させる研究を行っていた。この研究の過程で、発明者らは、特定の条件でサファイア基板上にAlN膜をエピタキシャル成長させると、AlN膜と基板との間に生じる格子定数差に起因して、AlN膜／基板界面に発生したミスフィット転位が界面で絡まり、エピタキシャル膜中に伝播しなくなることを見出した。

【0016】

したがって、エピタキシャル成長させたAlN膜中の転位密度を著しく低減できるとともに、結晶性をも向上させることができ、上述したGaN系／基板界面ではこれまで認められなかった、驚くべき現象を見出した。上記のようにして作製したAlN膜は、転位密度が $10^{11}/\text{cm}^2$ 以下であって、X線ロックングカーブにおける半値幅が90秒以下である優れた結晶性を有する。

【0017】

さらに驚くべきことに、上記のAlN膜上にGaN膜を成膜すると、前記AlN膜と前記GaN膜との間に生じる格子定数差に起因して、前記AlN膜内の転位がAlN膜／GaN膜界面で絡まり、前記GaN膜中に伝播しなくなることを見出した。このようにして作製したGaN膜は、転位密度が $10^{10}/\text{cm}^2$ 以下であって、X線ロックングカーブにおける半値幅は150秒以下の優れた結晶性を有する。

【0018】

このため、上記のようなAlN膜を下地層として用い、この下地層上に導電層などを構成する窒化物半導体層をエピタキシャル成長させることにより、前記導電層は前記下地層の高結晶性を引き継いで前記下地層と同様の高結晶性を示すようになるだけでなく、転位

10

20

30

40

50

密度も低減される。したがって、前記導電層はキャリア移動度などの電気的特性において良好な値を示すようになる。

【0019】

本発明の半導体素子は、上記のような長年の研究によってなされたものであり、元来有望視されていた、Al、Ga、及びInの少なくとも一つを含む窒化物半導体から構成される半導体素子として、FET、HEMT及びHBTなどの実用デバイスに好適に使用することができる。

【0020】

なお、上述したように、基板上にSiO₂などのマスクを作製し、このマスク上に上記窒化物半導体をエピタキシャル成長させた場合においても、この部分において低転位密度のエピタキシャル膜を成長することができ、結果的に本発明の半導体素子に近似した下地層及び導電層などを有する半導体素子を作製することができる。しかしながら、このようにして作製した半導体素子中には、SiO₂マスクなどが残留する。

【0021】

このような観点より、本発明でいう「実質的に具える」とは、このような半導体素子として不必要な構成要素を含まないことを示すために用いているものである。したがって、このような残留物を含まない本発明の第1の半導体素子、第2の半導体素子及び第3の半導体素子は、上記のようにして形成した残留マスクを含む半導体素子とは異なる。

【0022】

なお、第1の半導体素子は、FETなどの実用デバイスの好適に用いることができ、第2の半導体素子は、HEMTなどの実用デバイスに好適に用いることができる。さらに、第3の半導体素子は、HBTなどの実用デバイスに好適に用いることができる。

【発明の効果】

【0023】

以上説明したように、本発明の半導体素子は、低転位密度及び高結晶性の下地層に起因した高品質の導電層を有するため、移動度などの電気的特性において優れ、実用デバイスとして使用することのできるAl、Ga、及びInの少なくとも一つを含む半導体窒化物からなる半導体素子を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明を発明の実施の形態に即して詳細に説明する。

図1は、本発明の半導体素子（第1の半導体素子）を用いたFETの一例を示す断面図である。

図1に示すFET10は、基板1と、この基板1上にエピタキシャル成長された第1の窒化物半導体としてAlNからなる下地層2と、この下地層2上にエピタキシャル成長された第2の窒化物半導体としてn-GaNからなる導電層3とを含む。さらに、導電層3上において、例えば、Ti/AlPt/Auの多層構造からなるオーミックコンタクト特性を有するソース電極7及びドレイン電極8が形成されるとともに、例えば、Ni/Pt/Auの多層構造からなるショットキーコンタクト特性を有するゲート電極9が形成されている。

【0025】

図1に示すFET10において、下地層2を構成するAlNは転位密度が $10^{11} / \text{cm}^2$ 以下であることが必要であり、さらには $10^{10} / \text{cm}^2$ 以下であることが好ましい。これによって、図1に示すFET10の導電層3中の転位密度を $10^{10} / \text{cm}^2$ 以下、好ましくは $10^9 / \text{cm}^2$ 以下まで低減させることができ、キャリア移動度などの電気的特性を良好な状態にすることができる。

【0026】

また、転位密度は少ないほど好ましく、現状においては $10^8 / \text{cm}^2$ まで低減することができる。

【0027】

10

20

30

40

50

また、下地層 2 を構成する A l N の結晶性は (0 0 2) 面における X 線ロックアップにおける半値幅が 9 0 秒以下であることが必要であり、さらには 5 0 秒以下であることが好ましい。これによって、導電層 3 も下地層 2 の結晶性を引き継ぎ、上記同様に X 線ロックアップにおける半値幅で 1 5 0 秒以下、好ましくは 1 0 0 秒以下の結晶性を示すようになる。

【 0 0 2 8 】

したがって、導電層 3 は低転位密度であるとともに、高い結晶性を有し、高品質な状態に形成することができるため、極めて高い移動度を有する。

【 0 0 2 9 】

上記のような A l N は、例えば、トリメチルアルミニウム (T M A) 及びアンモニア (N H ₃) を供給原料として用いることにより、M O C V D 法によって好ましくは 1 1 0 0 ° C 以上、さらに好ましくは 1 2 0 0 ° C 以上に加熱することによって形成することができる。

【 0 0 3 0 】

従来の半導体素子における下地層は、A l を含まない G a N から構成されており、その形成温度は 1 0 0 0 ° C 以上、1 1 0 0 ° C 未満である。これに対して、本発明の半導体素子における下地層は、少なくとも A l を含む窒化物半導体から構成されている。そして、この窒化物半導体中の A l 含有量は、5 0 原子 % 以上であることが好ましく、さらには上述したように A l N であることが好ましい。

【 0 0 3 1 】

また、下地層の形成温度は、上述したように 1 1 0 0 ° C 以上であることが好ましく、上述した従来の半導体素子における下地層の形成温度と比較して極めて高い。すなわち、M O C V D 法において従来と全く異なる条件を採用することによって、本発明の条件を満足する下地層を形成することができる。なお、本願発明における「形成温度」とは、前記下地層を形成する際の基板の温度である。

【 0 0 3 2 】

また、下地層の形成温度の上限については特に限定されるものではないが、好ましくは 1 2 5 0 ° C である。これによって、下地層を構成する窒化物半導体の材料組成などに依存した表面の荒れ、さらには下地層内における組成成分の拡散を効果的に抑制することができる。これによって、前記下地層を構成する窒化物半導体の材料組成によらずに、前記下地層の結晶性を良好な状態に保持することが可能となるとともに、表面の荒れに起因する導電層の結晶性の劣化を効果的に防止することができる。

【 0 0 3 3 】

なお、結晶性向上の観点から、下地層 2 の膜厚は大きいほど好ましいが、膜厚が大きくなり過ぎるとクラックの発生や剥離などが生じる。したがって、下地層 2 の膜厚は 0 . 5 μ m 以上に設定し、さらには 1 μ m ~ 3 μ m であることが好ましい。

【 0 0 3 4 】

基板 1 は、サファイア単結晶、Z n O 単結晶、L i A l O ₂ 単結晶、L i G a O ₂ 単結晶、M g A l ₂ O ₄ 単結晶、M g O 単結晶などの酸化物単結晶、S i 単結晶、S i C 単結晶などの IV 族あるいは IV - IV 族単結晶、G a A s 単結晶、A l N 単結晶、G a N 単結晶、及び A l G a N 単結晶などの III - V 族単結晶、Z r B ₂ などのホウ化物単結晶などの、公知の基板材料から構成することができる。

【 0 0 3 5 】

特にサファイア単結晶基板を用いる場合については、下地層 2 を形成すべき主面に対して表面窒化処理を施すことが好ましい。前記表面窒化処理は、前記サファイア単結晶基板をアンモニアなどの窒素含有雰囲気中に配置し、所定時間加熱することによって実施する。そして、窒素濃度や窒化温度、窒化時間を適宜に制御することによって、前記主面に形成される窒化層の厚さを制御する。

【 0 0 3 6 】

このようにして表面窒化層が形成されたサファイア単結晶基板を用いれば、その主面上

に直接的に形成される下地層 2 の結晶性をさらに向上させることができる。さらに、より厚く、例えば上述した好ましい厚さの上限値である $3\text{ }\mu\text{m}$ まで、特別な成膜条件を設定することなく、クラックの発生や剥離を生じることなく簡易に厚くすることができる。したがって、導電層 3 のさらなる高結晶化を図ることができ、それらの層中の転位量をさらに低減することができる。

【0037】

また、この場合において、下地層 2 を形成する際の温度を、上記好ましい温度範囲において 1200°C 以下、あるいは 1150°C 程度まで低減しても、その結晶性を十分に高く維持することができ、例えば、 $10^{10}/\text{cm}^2$ 以下の転位密度を簡易に実現することができる。

10

【0038】

さらに、上述した表面窒化層上に下地層 2 を形成することにより、その厚さを大きくしても剥離やクラックが発生しにくくなる。このため、成膜条件などに依存することなく、例えば上述したような $3\text{ }\mu\text{m}$ 程度まで簡易に厚く形成することができる。したがって、下地層 2 の、表面窒化層に起因した結晶性の向上と、厚さ増大による結晶性の向上との相乗効果によって、その結晶性はさらに向上し、転位密度をより低減させることができる。

【0039】

前記表面窒化層は、比較的薄く、例えば 1 nm 以下に形成する、又は比較的厚く、例えば、前記主面から 1 nm の深さにおける窒素含有量が 2 原子% 以上となるように厚く形成することが好ましい。

20

【0040】

また、下地層を厚く形成する場合、この厚膜化に起因して下地層内に引張応力が発生し、この結果、下地層内においてクラックが発生する場合がある。このような場合においては、下地層を構成する第 1 の窒化物半導体の成分含有量を、基板側から導電層側に向かって連続的又はステップ状に変化させることが好ましい。これによって、下地層内の格子定数を導電層の格子定数及び基板 1 の格子定数に対して任意に制御することができる。したがって、下地層内に発生する引張応力の大きさを減少させることができ、下地層におけるクラックの発生を効果的に防止することができる。

【0041】

例えば、図 1 に示すように、導電層 3 が n-GaN から構成されている場合は、下地層 2 を AlGaN から構成する。そして、導電層側に向かって Al 含有量が減少し、 Ga 含有量が増大するように、 AlGaN 中の成分組成を変化させることができる。

30

【0042】

また、本発明の半導体素子は、上述したような SiO_2 マスクなどを用いていないため、その反りを大幅に低減することができる。具体的には、2 インチ (5 cm) の基板を用いた場合、その全体の反りは $100\text{ }\mu\text{m}$ 以下、さらには $50\text{ }\mu\text{m}$ 以下まで低減することができる。

【0043】

図 2 は、本発明の半導体素子（第 2 の半導体素子）を用いた HEMT の一例を示す断面図である。なお、図 1 に示す FET10 と同様の部分については、同じ数字を用いて示している。

40

【0044】

図 2 に示す HEMT20 は、基本的に導電層の代わりに i-GaN 層からなるキャリア移動層 3 を有し、このキャリア移動層 3 上に第 3 の窒化物半導体として n-AlGaN からなるキャリア供給層 4 を有している点で、図 1 に示す FET10 と異なっている。したがって、下地層に要求される特性は上記と同様であり、下地層自体も上記同様にして形成することができる。なお、この場合において、キャリア供給層 4 からキャリア移動層 3 に供給されたキャリアは、キャリア移動層 3 の、キャリア供給層 4 に隣接した表面層部分を移動する。

【0045】

50

また、下地層 2 内のクラックを抑制するために、下地層 2 を構成する成分含有量、基板 1 側からキャリア移動層 3 側に向かって連続的又はステップ状に変化させることが好ましい。

【0046】

さらに、図 2 に示す H E M T を構成する半導体素子についても、 SiO_2 マスクなどを用いていないため、2 インチ (5 cm) の基板を用いた場合、反りの大きさを $100\text{ }\mu\text{m}$ 以下、さらには $50\text{ }\mu\text{m}$ 以下まで低減することができる。

【0047】

図 3 は、本発明の半導体素子 (第 3 の半導体素子) を用いた H B T の一例を示す断面図である。なお、図 1 に示す F E T 1 0 と同様の部分については、同じ数字を用いて示している。 10

【0048】

図 3 に示す H B T 3 0 は、基板 1 上に、この基板 1 上にエピタキシャル成長された第 1 の窒化物半導体として A l N からなる下地層 2 と、この下地層 2 上にエピタキシャル成長された、第 2 の窒化物半導体として n-GaN からなる第 1 の導電型の第 1 の導電層 1 3 とを含む。

【0049】

さらに、第 1 の導電層 1 3 上にエピタキシャル成長された第 3 の窒化物半導体として、同じく n-GaN からなる第 1 の導電型の第 2 の導電層 1 4 と、この第 2 の導電層 1 4 上にエピタキシャル成長された第 4 の窒化物半導体として、 $\text{p}^+ - \text{GaN}$ の第 2 の導電型の第 3 の導電層 1 5 とを含む。また、この第 3 の導電層 1 5 上にエピタキシャル成長された第 5 の窒化物半導体として、 $\text{n}^+ - \text{AlGaIn}$ の第 1 の導電型の第 4 の導電層 1 6 を含んでいる。したがって、図 3 に示す H B T 3 0 は、 n-p-n 型接合の半導体素子から構成されている。 20

【0050】

また、第 1 の導電層 1 3 の露出した表面には、 Ti/Al/Pt/Au からなるコレクタ電極 1 8 が形成されており、第 3 の導電層 1 5 の露出した表面には Ni/Pt/Au からなるベース電極 1 7 が形成されている。そして、第 4 の導電層 1 6 上には、同じく Ti/Al/Pt/Au からなるエミッタ電極 1 9 が形成されている。

【0051】

この場合においても、下地層に要求される特性は上記と同様であり、下地層自体も上記同様にして形成することができる。そして、このような下地層を有することにより、第 1 ~ 第 4 の導電層も転位密度が $10^{10} / \text{cm}^2$ 以下、好ましくは $10^9 / \text{cm}^2$ 以下で、(0 0 2) 面における X 線ロックングカーブにおける半値幅が 9 0 秒以下、好ましくは 5 0 秒以下の結晶性を有し、高品質化される。したがって、キャリア移動度などの電気的特性が良好となる。 30

【0052】

また、下地層及び導電層を構成する窒化物半導体間の格子定数差が大きくなる場合は、これらの層にクラックが発生する場合があるため、上記同様にして、下地層を構成する成分含有量を基板側から導電層側に向かって連続的又はステップ状に変化させることが好ましい。 40

【0053】

さらに、図 3 に示す H B T を構成する半導体素子についても、 SiO_2 マスクなどを用いていないため、2 インチ (5 cm) の基板を用いた場合、反りの大きさを $100\text{ }\mu\text{m}$ 以下、さらには $50\text{ }\mu\text{m}$ 以下まで低減することができる。

【0054】

なお、本発明における窒化物半導体は、A l、G a、及び I n の少なくとも一つを含むことが必要であるが、必要に応じて G e、S i、M g、Z n、B e、P、及び B などの添加元素を含有することもできる。さらに、意識的に添加した元素に限らず、成膜条件などに依存して必然的に取り込まれる微量元素、並びに原料、反応管材質に含まれる微量不純 50

物を含むこともできる。

【0055】

また、図1に示すような本発明の半導体発光素子は、下地層及び導電層について上述した要件を満足する限りにおいて、通常の方法にしたがって製造することができる。

【実施例】

【0056】

(実施例1)

2インチ径の厚さ430 μm のサファイア基板を $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ で前処理した後、MOCVD装置の中に設置した。MOCVD装置には、ガス系として NH_3 系、TMA、TMG、 SiH_4 が取り付けられている。 H_2 を流速1 m/sec で流しながら、基板を1200 $^{\circ}\text{C}$ まで昇温した。その後、 NH_3 ガスを水素キャリアガスとともに5分間流し、前記基板の主面を窒化させた。なお、ESCAによる分析の結果、この表面窒化処理によって、前記主面には窒化層が形成されており、前記主面から深さ1 nm における窒素含有量が7原子%であることが判明した。

【0057】

次いで、TMA及び NH_3 を合計して流速10 m/sec で流して、下地層としてのAlN層を厚さ1 μm までエピタキシャル成長させた。このAlN層の転位密度は $8 \times 10^9 / \text{cm}^2$ であり、(002)面におけるX線回折ロッギングカーブの半値幅は90秒であり、良質のAlN層であることがわかった。さらに、表面平坦性を確認したところ、5 μm 範囲におけるRaが2 $\text{\AA}$ であり、極めて平坦な表面を有することが判明した。

【0058】

次いで、TMG、 NH_3 、及び SiH_4 を合計して流速1 m/sec で流して、導電層としてのSiをドーピングしたn-GaN層を厚さ10 μm にエピタキシャル成長させた。このn-GaN層の転位密度は $2 \times 10^8 / \text{cm}^2$ であり、(002)面におけるX線ロッギングカーブの半値幅は120秒であった。また、キャリア濃度は $8 \times 10^{16} / \text{cm}^3$ であり、室温における移動度は $800 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であった。

【0059】

成長終了後、n-GaN層表面にTi/Al/Pt/Auからなるソース/ドレイン電極を形成するとともに、Ni/Pt/Auからなるゲート電極を形成した。なお、ゲート長及びゲート幅は、それぞれ0.5 μm 及び70 μm となるようにした。

【0060】

得られたFETの高周波特性を評価したところ、カットオフ周波数 $f_t = 30 \text{ GHz}$ なる特性が得られ、優れた高周波特性を有することが判明した。

【0061】

(実施例2)

実施例1と同様にして、サファイア基板の表面窒化処理を実施した後、転位密度 $8 \times 10^9 / \text{cm}^2$ 、(002)面におけるX線ロッギングカーブにおける半値幅90秒の、下地層としてのAlN層をエピタキシャル成長させた後、転位密度 $2 \times 10^8 / \text{cm}^2$ 、(002)面におけるX線ロッギングカーブの半値幅120秒の、キャリア移動層としてのi-GaN層をエピタキシャル成長させた。

【0062】

次いで、TMA、TMG、及び NH_3 を合計して流速3 m/sec で流しながら、キャリア供給層としてのn-AlGaN層をi-GaN層上にエピタキシャル成長させた。

【0063】

成長終了後、n-AlGaN層表面にTi/Al/Pt/Auからなるソース/ドレイン電極を形成するとともに、Ni/Pt/Auからなるゲート電極を形成した。なお、ゲート長及びゲート幅は、それぞれ0.5 μm 及び70 μm となるようにした。

【0064】

また、得られたHEMTの室温における移動度を測定したところ、 $2000 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であることが判明した。また、高周波特性を評価したところ、カットオフ周波数

f t = 6 0 G H z なる特性が得られ、優れた高周波特性を有することが判明した。

【0065】

以上、実施例1及び2より、本発明の半導体素子から構成されるFET及びHEMTは、キャリア濃度及び移動度などにおいて優れた電気的特性を示すとともに、この電気的特性に基づいて優れた高周波特性を示すことが分かる。すなわち、本発明によれば、FET及びHEMTの実用デバイスとして使用することのできる、Al及びGaの少なくとも一つを含む窒化物半導体からなる、半導体素子を提供することができる。

【0066】

以上、具体例を挙げながら、本発明を発明の実施の形態に即して詳細に説明してきたが、本発明は上記内容に限定されるものではなく、各層の厚さ、組成、及びキャリア濃度などについては、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。

【0067】

また、積層構造においても、図2示すHEMTのキャリア移動層3とキャリア供給層4との間に、Siの拡散を防止するためのスペーサー層としてのi-AlGaIn層を挿入することもできる。また、キャリア供給層4上に電極のコンタクト抵抗を低減するための、コンタクト層としてのn-GaN層などを積層することもできる。さらには、キャリア供給層4とコンタクト層との間にSiの拡散を防止すべくバリア層を挿入することもできる。

【0068】

さらに、図3に示すHBTにおいては、npn型接合の半導体素子から構成されているが、各窒化物半導体層の導電型を入れ替えて、pnp型接合の半導体素子から構成することもできる。また、下地層2上の各層の結晶性をさらに向上させる目的で、下地層2と導電層13との間などにおいて、温度、流量、圧力、原料供給量、及び添加ガスなどの成膜条件を変化させて、バッファ層やひずみ超格子などの多層積層膜を挿入することもできる。

【図面の簡単な説明】

【0069】

【図1】本発明の半導体素子を用いたFETの一例を示す断面図である。

【図2】本発明の半導体素子を用いたHEMTの一例を示す断面図である。

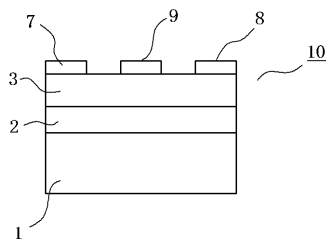
【図3】本発明の半導体素子を用いたHBTの一例を示す断面図である。

【符号の説明】

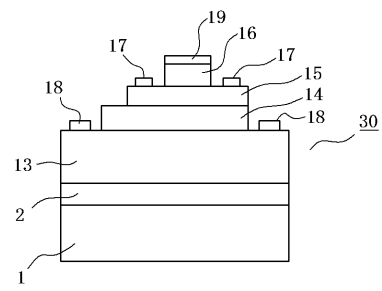
【0070】

1 基板、2 下地層、3 導電層（キャリア移動層）、4 キャリア供給層、7 ソース電極、8, 18 ドレイン電極、9 ゲート電極、13 第1の導電層、14 第2の導電層、15 第3の導電層、16 第4の導電層、10 FET、17 ベース電極、18 コレクタ電極、19 エミッタ電極、20 HEMT、30 HBT

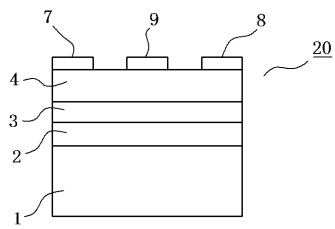
【図 1】



【図 3】



【図 2】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード (参考)
H O 1 L 29/778
H O 1 L 29/812

(74)代理人 100119530
弁理士 富田 和幸

(74)代理人 100110180
弁理士 阿相 順一

(72)発明者 堀 裕二
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

(72)発明者 柴田 智彦
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

(72)発明者 田中 光浩
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

(72)発明者 小田 修
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

Fターム(参考) 5F003 BA92 BB90 BC90 BE90 BJ15 BM02 BM03 BP32
5F045 AA04 AB09 AB14 AB17 AC08 AC12 AC19 AD16 AF04 AF09
AF12 BB12 BB16 CA07 DA53 DA67
5F052 EA11 KA01 KA05
5F102 FA00 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ05 GJ10 GK04
GK09 GL04 GM04 GM07 GQ01 GR01 GT01 GT03 HC01