

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/003634 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) *H03K 17/695* (2006.01)
H02M 7/48 (2007.01) *H03K 17/16* (2006.01)
- (21) 国際出願番号: PCT/JP2019/010388
- (22) 国際出願日: 2019年3月13日(13.03.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-123032 2018年6月28日(28.06.2018) JP
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 上 妻 央 (KAMIZUMA Hiroshi);
〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 二宮隆典(NINOMIYA Takanori); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 松井克紀(MATSUI

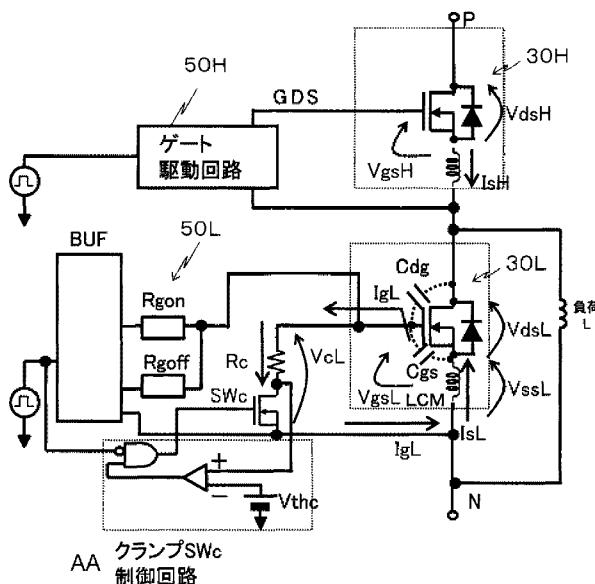
Katsunori); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 嶋田 尊衛(SHIMADA Takae); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 馬淵 雄一(MABUCHI Yuichi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 目黒 光(MEGURO Hikaru); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 嶋島 じゅん(NARUSHIMA Jun); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 青木 宏輔(AOKI Kosuke); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 特許業務法人開知国際特許事務所 (KAICHI IP); 〒1030022 東京都中央区日本橋室町四丁目3番16号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



50H Gate drive circuit
L Load
AA Clamp SWc; control circuit

(57) Abstract: In the present invention, a single-phase bridge circuit (bridge circuit) includes an upper arm device 30H (first power device) and a lower arm device 30L (second power device) that is connected in series thereto. A gate drive circuit 50L charges and discharges capacitance of a gate of the lower arm device 30L (second power device). A clamp circuit allows conduction between the gate of the lower arm device 30L and a source of the lower arm device 30L (second power device) if a voltage V_{gsL} between the gate and the source of the lower arm device 30L is less than a prescribed value V_{thc} . The clamp circuit comprises a clamp switch SWc (switching element) and a clamp resistance circuit Rc (first resistor).

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 単相ブリッジ回路 (ブリッジ回路) は、上アームデバイス 30H (第1のパワーデバイス) とそれに直列接続された下アームデバイス 30L (第2のパワーデバイス) とを含む。ゲート駆動回路 50L は、下アームデバイス 30L (第2のパワーデバイス) のゲートの容量を充放電する。クランプ回路は、下アームデバイス 30L (第2のパワーデバイス) のゲート・ソース間の電圧 V_{gsL} が所定値 V_{thc} より小さい場合、下アームデバイス 30L のゲートと下アームデバイス 30L のソースとを導通する。クランプ回路は、クランプスイッチ SW_c (スイッチング素子) とクランプ抵抗回路 R_c (第1の抵抗) から構成される。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、電力変換装置に関する。

背景技術

[0002] 近年の電力変換装置は、その主要部品であるパワー半導体モジュールの技術革新によって、より高速なスイッチング動作を実現し、このパワー半導体から発する損失を低減させている。これにより、特に冷却器を小型化することができ、その結果、電力変換装置を小型化可能である。また、パワー半導体の損失を低減することにより、電力変換装置の効率を向上することができる。

[0003] 例えば、SiCやGaN等のワイドバンドギャップデバイスは、電子飽和速度がSiに対し約2倍以上あることから高速SW（Switching）動作によるSW損失低減、さらに高周波インバータSW動作が可能となる。

[0004] 一方、Si-IGBTに対し、SiC-MOSFETでは、負側ゲート耐圧が低く、閾値電圧も低い。すなわち、SiC-MOSFETでは、誤点弧（ターンオン）や定格超過を回避するゲート電圧の許容振動範囲が狭い。そして、このゲート電圧の跳ね上がり／跳ね下がり電圧は高速SW動作とトレードオフの関係にある。

[0005] 特許文献1には、共通ソースインダクタンス起因のゲート振動を抑制するため、ゲートソース端子を個別に設けた構造が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2015-126342号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1に記載の技術は、ゲート、ソース、ドレイン、

ゲートソースの4端子パッケージ品となり、ゲート、ソース、ドレインの汎用3端子デバイスからの置き換えが困難である。

[0008] 本発明の目的は、パワーデバイス的高速駆動に伴うゲート電圧振動を抑制することができる電力変換装置を提供することにある。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明の電力変換装置は、第1のパワーデバイスとそれに直列接続された第2のパワーデバイスとを含むブリッジ回路と、前記第2のパワーデバイスのゲートの容量を充放電するゲート駆動回路と、前記第2のパワーデバイスのゲート・ソース間の電圧が所定値より小さい場合、前記第2のパワーデバイスのゲートと前記第2のパワーデバイスのソースとを導通するクランプ回路と、を備え、前記クランプ回路は、スイッチング素子とそれに直列接続された第1の抵抗から構成される。

発明の効果

[0010] 本発明によれば、パワーデバイス的高速駆動に伴うゲート電圧振動を抑制することができる。上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0011] [図1]本発明の実施形態が適用される電力変換装置の概略構成図である。
[図2]図1に示すコンバータ、インバータ及びチョッパの概略内部構成図である。
[図3]コンバータの構成を示す等価回路図である。
[図4]インバータの構成を示す等価回路図である。
[図5]チョッパの構成を示す等価回路図である。
[図6A]パワーデバイスの外観を示す図である。
[図6B]冷却フィンの外観を示す図である。
[図7A]本発明の第1の実施形態の単相ブリッジ回路の構成図である。
[図7B]本発明の第1の実施形態の単相ブリッジ回路において、上アームがターンオンするときの動作を示す図である。

[図8]本発明の第1の実施形態の単相ブリッジ回路において、上アームがターンオフするときの動作を示す図である。

[図9]本発明の第2の実施形態の単相ブリッジ回路を示す図である。

[図10]本発明の第3の実施形態の単相ブリッジ回路を示す図である。

[図11]本発明の第4の実施形態の単相ブリッジ回路を示す図である。

[図12]本発明の第5の実施形態の単相ブリッジ回路を示す図である。

[図13]本発明を適用した電力変換装置の回路構成の一例を示す図である。

[図14]図13の電力変換装置の回路を基板上に実装したレイアウト（上面図）を示す図である。

[図15A]図14に示した回路構成における配線レイアウト（L1層）の一例を示す図である。

[図15B]図14に示した回路構成における配線レイアウト（L2層）の一例を示す図である。

[図15C]図14に示した回路構成における配線レイアウト（L3層）の一例を示す図である。

[図15D]図14に示した回路構成における配線レイアウト（L4層）の一例を示す図である。

[図16]図15AのB-B'線に沿った断面図である。

発明を実施するための形態

[0012] 以下、添付図面を参照して本発明を実施するための形態について説明する。なお、以下の説明では、複数の運転状態を有する電力変換装置の一例として無停電電力変換装置について説明する。本実施形態の目的は、前述した目的と一部重複するが、例えば、パワー半導体デバイス的高速駆動に伴うゲート振動を抑制し、パワー半導体デバイス損失を低減した高効率・小型な電力変換装置を実現することである。

[0013] （概略構成）

図1は、本発明の実施形態が適用される電力変換装置100の概略構成図である。

- [0014] 図1において、電力変換装置100は、コンバータ102と、インバータ103と、チョッパ104と、これらを制御する上位制御回路105とを備える。
- [0015] コンバータ102は、商用電源（交流電源）106から供給される三相交流電力を直流電力に変換して、インバータ103に供給する三相のコンバータである。
- [0016] インバータ103は、コンバータ102から供給された直流電力を再び三相交流電力に変換して負荷108に供給する三相のインバータである。
- [0017] チョッパ104は、蓄電池（直流電源）107からの供給される直流電力を、所定電圧に昇圧または降圧し、所定の直流電力に変換して、インバータ103に供給する。
- [0018] 上位制御回路105は、コンバータ102と、インバータ103と、チョッパ104とを制御する。なお、上位制御回路105は、例えば、マイコンであり、プロセッサ、メモリ、入出力回路等から構成される。
- [0019] 商用電源106が何らかの理由で停電した場合、チョッパ104は、蓄電池107に蓄えた電力をインバータ103に直流電力として供給する。インバータ103は、チョッパ104から供給された直流電力を交流電力に変換して負荷108に供給する。これにより、電力変換装置100は、負荷108へ途切れることなく給電することができる。
- [0020] 図2は、コンバータ102、インバータ103及びチョッパ104の概略内部構成図である。図2に示すように、コンバータ102、インバータ103及びチョッパ104は、複数の整流素子及びスイッチング素子を備えている。
- [0021] 図3は、コンバータ102の内部構成における等価回路図である。
- [0022] 図3において、コンバータ102は、3つのハーフブリッジ回路201、202、203（電力変換ユニット）を備えており、これらハーフブリッジ回路201、202、203は、コンバータ制御部（電力変換ユニットの駆動部）204によって制御される。コンバータ102は、R、S、T端子が

ら供給される三相交流の商用電源 106 からの三相交流電力を、正側端子 P と負側端子 N との間の直流電力に変換する。

[0023] ハーフブリッジ回路 201 は、上アームのスイッチング素子 21 および整流素子 23 と、下アームのスイッチング素子 22 および整流素子 24 とを備えている。図 3 の例では、スイッチング素子 21、22 は、I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r) が用いられ、整流素子 23、24 は、ダイオードが用いられているが、これらに限定されるものではない。

[0024] 整流素子 23 は、スイッチング素子 21 のエミッタからコレクタへの方向に接続される。スイッチング素子 21 のエミッタは、スイッチング素子 22 のコレクタと、交流端子 R とに接続される。コンデンサ 25 と 26 とは、スイッチング素子 21 のコレクタとスイッチング素子 22 のエミッタとの間に並列接続される。なお、図 3 の回路図では、図面を見やすくするため、コンデンサ 25 とコンデンサ 26 の並列接続を省略して、単一のコンデンサの記号で示している。スイッチング素子 21 のゲートは、コンバータ制御部 204 に接続される。

[0025] 整流素子 24 は、スイッチング素子 22 のエミッタからコレクタへの方向に接続される。スイッチング素子 22 のゲートは、コンバータ制御部 204 に接続される。

[0026] ハーフブリッジ回路 202 は、スイッチング素子 21 のエミッタとスイッチング素子 22 のコレクタとの接続ノードが、交流端子 S に接続されることを除き、ハーフブリッジ回路 201 (電力変換ユニット) と同様に構成されている。

[0027] ハーフブリッジ回路 203 は、スイッチング素子 21 のエミッタとスイッチング素子 22 のコレクタとの接続ノードが、交流端子 T に接続されることを除き、ハーフブリッジ回路 201 (電力変換ユニット) と同様に構成されている。

[0028] 以下、図 3 を適宜参照して、コンバータ 102 の動作を説明する。

[0029] 商用電源 106 から供給された三相の交流電力は、交流端子 R、S、T を介して、コンバータ 102 の各相のハーフブリッジ回路 201、202、203 に供給される。ハーフブリッジ回路 201、202、203 の上アームのスイッチング素子 21 および整流素子 23 と、下アームのスイッチング素子 22 および整流素子 24 は、コンバータ制御部 204 でスイッチングタイミングを制御されて、この交流電力を整流する。

[0030] 図 4 は、インバータ 103 の構成を示す等価回路図である。

[0031] 図 4 において、インバータ 103 は、3 つのハーフブリッジ回路 301、302、303（電力変換ユニット）を備えており、更にインバータ制御部（電力変換ユニットの駆動部）304 によって制御される。インバータ 103 は、P 端子及び N 端子間の直流電力を三相交流電力に変換する。

[0032] ハーフブリッジ回路 301 は、スイッチング素子 21 のエミッタとスイッチング素子 22 のコレクタとの接続ノードが、交流端子 U に接続されることを除き、ハーフブリッジ回路 201（図 3 参照）と同様に構成されている。

[0033] ハーフブリッジ回路 302 は、スイッチング素子 21 のエミッタとスイッチング素子 22 のコレクタとの接続ノードが、交流端子 V に接続されることを除き、ハーフブリッジ回路 201（図 3 参照）と同様に構成されている。

[0034] ハーフブリッジ回路 303 は、スイッチング素子 21 のエミッタとスイッチング素子 22 のコレクタとの接続ノードが、交流端子 W に接続されることを除き、ハーフブリッジ回路 201（図 3 参照）と同様に構成されている。

[0035] 以下、図 4 を適宜参照して、インバータ 103 の動作を説明する。

[0036] コンバータ 102 により変換された直流電力は、端子 P と端子 N との間に供給される。ハーフブリッジ回路 301、302、303 の上アームのスイッチング素子 21 および整流素子 23 と、下アームのスイッチング素子 22 および整流素子 24 とは、インバータ制御部 304 でスイッチングタイミングを制御されて、この直流電力を交流電力に変換し、交流端子 U、V、W に出力する。

[0037] 図 5 は、チョッパ 104 の構成を示す等価回路図である。

- [0038] 図5において、チョッパ104は、ハーフブリッジ回路401（電力変換ユニット）とリアクトル406とを備えており、チョッパ制御部（電力変換ユニットの駆動部）405によって制御される。チョッパ104は、蓄電池107による低圧の直流電圧と、端子Pと端子Nとの間の高圧の直流電圧とを相互に変換するものである。
- [0039] ハーフブリッジ回路401は、スイッチング素子21のエミッタとスイッチング素子22のコレクタとの接続ノードが端子Cに接続されることを除き、ハーフブリッジ回路201（図3参照）と同様に構成されている。
- [0040] リアクトル406は、蓄電池107の正極と端子Cとを接続する。
- [0041] 以下、図5を参照して、チョッパ104の動作を説明する。
- [0042] ハーフブリッジ回路401の下アームのスイッチング素子22がオンしている間に、蓄電池107と端子Cとの間に接続されたリアクトル406にエネルギーが蓄積される。次に、スイッチング素子22がオフした際に、リアクトル406が発する逆起電圧により上アームの整流素子23がオンする。これより、チョッパ104の出力端には、蓄電池107の直流電圧とリアクトル406の逆起電圧とを加算した電圧が生じる。これにより、チョッパ104は、蓄電池107の直流電圧を昇圧する。チョッパ制御部405は、ハーフブリッジ回路401のスイッチングタイミングを制御することにより、昇圧比を任意に設定可能である。
- [0043] 以上より、本発明の実施形態が適用される電力変換装置100に搭載されるコンバータ102、インバータ103、チョッパ104は、いずれも、上アームのスイッチング素子21および整流素子23と、下アームのスイッチング素子22および整流素子24とが直列に接続された2レベルのハーフブリッジ回路20を基本構成としている。
- [0044] なお、上記の例では、パワーデバイス30は、IGBT（スイッチング素子21、22）とダイオード（整流素子23、24）から構成されるが、それに限らず、SiC-MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）等

他のパワーデバイスでもよい。

[0045] 図6（6A、6B）は、本発明の実施形態におけるパワーデバイス30（ハーフブリッジ回路201～203、301～303、401におけるスイッチング素子と整流素子（21と23、22と24））と、このパワーデバイス30に接続される冷却フィン40との外観を示す図である。

[0046] 図6Aのパワーデバイス30は、例えばSiC-MOSFETであり、スイッチング素子とダイオードがひとつのパッケージに含まれた形態を有している。

[0047] 図6Aはパワーデバイス30の外観を示し、図6Bは、パワーデバイス30に冷却フィン40が接続された状態の外観を示している。

[0048] 図6Aに示すようなドレイン、ソース、ゲートの電極端子が3つで構成された標準パッケージ（例えばTO-247）では、ソース端子が1つで構成されているため、共通ソースインダクタンスの増大が課題となる。

[0049] （第1の実施形態）

次に、単相ブリッジ回路におけるパワーデバイスのSW動作について示す。

[0050] 図7Aは本発明の第1の実施形態の単相ブリッジ回路を示している。

[0051] 図7Aの単相ブリッジ回路は2つのパワー半導体素子と、個別のゲート駆動回路を含む。換言すれば、単相ブリッジ回路（ブリッジ回路）は、上アームデバイス30H（第1のパワーデバイス）とそれに直列接続された下アームデバイス30L（第2のパワーデバイス）とを含む。

[0052] 前記個別のゲート駆動回路50H、50Lは、オフ時にゲートとソース間を接続するクランプSW（SWc）と、クランプSW制御回路と、クランプSWと直列のクランプ抵抗回路（Rc）を含む。なお、クランプSWは、クランプ用のスイッチ（スイッチング素子）を意味する。また、図7AのGDSは、ゲート駆動信号（ゲート信号）を示す。

[0053] ゲート駆動回路50Lは、下アームデバイス30L（第2のパワーデバイス）のゲートの容量を充放電する。クランプスイッチSWc（スイッチング

素子)とクランプ抵抗回路 R_c (第1の抵抗)はクランプ回路を構成する。クランプ回路は、下アームデバイス $30L$ (第2のパワーデバイス)のゲート・ソース間の電圧 V_{gsL} が所定値 V_{thc} より小さい場合、下アームデバイス $30L$ のゲートと下アームデバイス $30L$ のソースとを導通する。クランプスイッチ SW_c (スイッチング素子)は、オン状態で双方向に電流を流すことができる双方向スイッチング素子である。これにより、双方向にゲート電圧振動を抑制することができる。

[0054] 次に図7Aの単相ブリッジ回路において、上アームがターンオンするときの動作を図7Bに示す。

[0055] 上アームがターンオンする $P_{h,1}$ の期間において、上アームのゲート信号 V_{gsH} は H_i 状態となり、一方、下アームのゲート信号 V_{gsL} は L_o w状態となる。また、下アームのクランプ SW 制御信号 SW_c は H_i 状態となり、下アームのゲート・ソース間はクランプ SW とクランプ抵抗回路を介して導通状態となっている。

[0056] 上アームのターンオン動作に伴い、上アームのドレイン・ソース電流 I_{sH} は増加し、下アームのドレイン・ソース電流 I_{sL} (ダイオード電流)は減少方向に電流変化する。このとき、ダイオード電流の変化に応じて、下アームのコモンソースインダクタンス L_{CM} の両端電圧($V_{ssL} = L_{CM} \times dI_{sL}/dt$)が跳ね上がる。

[0057] コモンソースインダクタンスの両端電圧 V_{ssL} の上昇に伴い、下アームのゲート電流 I_{gL} は、 C_{gs} を放電する方向に流れる。このゲート電流を、クランプ抵抗回路が接続されていないクランプ SW の低インピーダンスラインでバイパスすると、クランプライン電圧 V_{cL} は変動せず、その結果、下アームのゲート・ソース間電圧 V_{gsL} ($V_{cL} - V_{ssL}$)が、コモンソースインダクタンスの両端電圧 V_{ssL} 起因で負側に振動する。このゲート・ソース間電圧の負側ピーク電圧が、ゲート負側定格を超過すると、ゲート酸化膜が劣化し寿命が短くなる。

[0058] 一方、クランプラインに直列抵抗 R_c (クランプ抵抗回路)があるとき、

クランプライン電圧 V_{cL} は直列抵抗 R_c の影響で、 V_{ssL} に対し同位相で正側に跳ね上がる。対アームのゲート振動 V_{gsL} は、 $V_{cL} - V_{ssL}$ で定義されるため、クランプライン直列抵抗 R_c 起因の跳ね上がり電圧 V_{cL} を増大することで、コモンソース起因の負側ピークを低減（キャンセル）でき、ゲートソース間電圧の負側振動を抑制することで、ゲート酸化膜にかかる負担を軽減でき、長寿命化の効果がある。

[0059] 次に図 7 A の単相ブリッジ回路において、 P_h 2 期間の動作を図 7 B に示す。

[0060] 上アームの SW オン動作に伴い、下アームのドレインソース間電圧 V_{dsL} が上昇する。このとき、 V_{dsL} 上昇速度を dV/dt とすると、下アームのゲートにはミラー容量 C_{dg} を介して、ミラー電流 ($I_{gL} = C_{dg} \times dV/dt$) が流れ込む。このミラー電流がクランプ SW を介してソースに流れるとき、デバイス直近のゲートソース間電圧に跳ね上がり電圧 ΔV_{gsL} ($I_{gL} \times R_c$) が発生する。この跳ね上がり電圧 ΔV_{gsL} がゲート閾値電圧以上になると、上下アームが同時オンとなり、短絡電流による素子破壊が起こる。

[0061] クランプ SW にクランプライン直列抵抗を接続する本実施の形態では、ミラー電流起因のゲート振動が増大する一方、コモンソースインダクタンス起因のゲート振動を低減することが可能となる。

[0062] 次に図 8 の単相ブリッジ回路において、上アームがターンオフするときの動作を示す。図 8 は図 7 (7 A、7 B) と同様に本発明の第 1 の実施形態であり、前記各個別のゲート駆動回路は、オフ時にゲートとソース間を接続するクランプ SW (SW_c) と、クランプ SW 制御回路と、クランプ SW と直列のクランプ抵抗回路 (R_c) を含む。

[0063] 上アームがターンオフする P_h 1 の期間において、上アームのゲート信号 V_{gsH} は Low 状態となり、また、下アームのゲート信号 V_{gsL} は Low 状態となる。また、下アームのクランプ SW 制御信号 SW_c は Hi 状態となり、下アームのゲートソース間はクランプ SW とクランプ抵抗回路を

介して導通状態となっている。

[0064] 上アームのターンオフ動作に伴い、上アームのドレインソース間電圧 V_{dsH} は増加し、下アームのドレインソース間電圧 V_{dsL} は減少方向に電流変化する。このとき、 V_{dsL} 上昇速度を dV/dt とすると、下アームのゲートにはミラー容量 C_{dg} を介して、ミラー電流 ($I_{gL} = C_{dg} \times dV/dt$) が流れ込む。このミラー電流がクランプ SW を介してソースに流れるとき、デバイス直近のゲートソース間電圧に跳ね下がり電圧 ΔV_{gsL} ($I_{gL} \times R_c$) が発生する。この跳ね下がり電圧 ΔV_{gsL} がゲート負側定格を超過すると、ゲート酸化膜が劣化し寿命が短くなる。

[0065] 次に図 8 の単相ブリッジ回路において、 P_h 2 期間の動作について示す。

[0066] 上アームのターンオフ動作に伴い、上アームのドレインソース電流 I_{dsH} は減少し、下アームのドレインソース電流 I_{sL} (ダイオード電流) は増加方向に電流変化する。このとき、ダイオード電流の変化に応じて、下アームのコモンソースインダクタンスの両端電圧 ($V_{ssL} = L_{CM} \times dI_{sL}/dt$) が跳ね下がる。

[0067] コモンソースインダクタンスの両端電圧 V_{ssL} の減少に伴い、下アームのゲート電流 I_{gL} は、 C_{gs} を充電する方向に流れる。このゲート電流を、クランプ抵抗回路が接続されていないクランプ SW の低インピーダンスラインでバイパスすると、クランプライン電圧 V_c は変動せず、その結果、下アームのゲートソース間電圧 V_{gsL} ($V_{cL} - V_{ssL}$) が、コモンソースインダクタンスの両端電圧 V_{ssL} 起因で正側に振動する。この跳ね上がり電圧 V_{gsL} がゲート閾値電圧以上になると、上下アームが同時オンとなり、短絡電流による素子破壊が起こる。

[0068] 一方、クランプラインに直列抵抗 R_c (クランプ抵抗回路) があるとき、クランプライン電圧 V_{cL} は直列抵抗 R_c の影響で、 V_{ssL} に対し同位相で負側に跳ね下がる。対アームのゲート振動 V_{gsL} は、 $V_{cL} - V_{sL}$

s Lで定義されるため、クランプライン直列抵抗 R_c 起因の跳ね下がり電圧 V_{cL} を増大することで、コモンソース起因の正側ピークを低減（キャンセル）でき、誤オン防止の効果がある。

[0069] ターンオフ動作においても、クランプSWにクランプライン直列抵抗を接続する本実施の形態では、ミラー電流起因のゲート振動が増大する一方、コモンソースインダクタンス起因のゲート振動を低減することが可能となる。

[0070] 以上のように本発明の第1の実施形態によれば、ターンオン、およびターンオフ動作における、コモンソースインダクタンス起因の非駆動アームのゲート電圧振動を低減可能となる。すなわち、本実施形態によれば、パワーデバイスの高速駆動に伴うゲート電圧振動を抑制することができる。

[0071] （第2の実施形態）

図9は本発明の第2の実施形態の単相ブリッジ回路を示している。

[0072] 図9の単相ブリッジ回路は2つのパワー半導体素子と、個別のゲート駆動回路を含む。

[0073] 前記個別のゲート駆動回路は、オフ時にゲートとソース間を接続するクランプSW（ SW_c ）と、クランプSW制御回路と、クランプSWと直列のクランプ抵抗回路（ R_c ）と、前記クランプ抵抗回路と並列のダイオード D_c を含む。換言すれば、クランプ回路は、クランプ抵抗回路 R_c （第1の抵抗）に並列接続されるダイオード D_c （第1のダイオード）をさらに備える。図9の例では、ダイオード D_c （第1のダイオード）のカソードは、下アームデバイス30L（第2のパワーデバイス）のゲートに接続される。

[0074] 図9の構成では、上アームがターンオン時、クランプスイッチ SW_c は導通状態となる。このとき、ターンオン期間において、 V_{dsL} 変動に伴うミラー電流（図7BのPh2期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図7BのPh1期間）はクランプ抵抗 R_c を介して、クランプスイッチ SW_c でソースにバイパスされる。よって、ターンオン時の負側のゲート振動が低減される。

[0075] 一方、上アームがターンオフ時、クランプスイッチ SW_c は導通状態とな

る。このとき、ターンオフ期間において、 V_{dsL} 変動に伴うミラー電流（図 8 の P_{h1} 期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図 8 の P_{h2} 期間）はクランプダイオード D_c を介して、クランプスイッチ SW_c でソースにバイパスされる。よって、ターンオフ時においても負側のゲート振動が低減される。

[0076] 以上の構成では、ターンオン、及びターンオフともに負側のゲート振動が低減できる。よって、特にパワー半導体デバイスのゲート負側耐圧が小さい場合に効果的であり、非駆動アームにおける負側のゲート振動を抑制することで、ゲート酸化膜にかかる負担を軽減でき、パワー半導体デバイスの長寿命化の効果がある。

[0077] （第 3 の実施形態）

図 10 は本発明の第 3 の実施形態の単相ブリッジ回路を示している。

[0078] 図 10 の単相ブリッジ回路は 2 つのパワー半導体素子と、個別のゲート駆動回路を含む。

[0079] 前記個別のゲート駆動回路は、オフ時にゲートとソース間を接続するクランプ SW (SW_c) と、クランプ SW 制御回路と、クランプ SW と直列のクランプ抵抗回路 (R_c) と、前記クランプ抵抗回路と並列のダイオード D_c を含む。

[0080] 図 10 の例では、ダイオード D_c （第 1 のダイオード）のアノードは、下アームデバイス $30L$ （第 2 のパワーデバイス）のゲートに接続される。

[0081] 図 10 の構成では、上アームがターンオン時、クランプスイッチ SW_c は導通状態となる。このとき、ターンオン期間において、 V_{dsL} 変動に伴うミラー電流（図 7 B の P_{h2} 期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図 7 B の P_{h1} 期間）はクランプダイオード D_c を介して、クランプスイッチ SW_c でソースにバイパスされる。よって、ターンオン時の正側のゲート振動が低減される。

[0082] 一方、上アームがターンオフ時、クランプスイッチ SW_c は導通状態とな

る。このとき、ターンオフ期間において、 V_{dsL} 変動に伴うミラー電流（図 8 の P_{h1} 期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図 8 の P_{h2} 期間）はクランプ抵抗 R_c を介して、クランプスイッチ SW_c でソースにバイパスされる。よって、ターンオフ時においても正側のゲート振動が低減される。

[0083] 以上の構成では、ターンオン、及びターンオフともに正側のゲート振動が低減できる。よって、特にパワー半導体デバイスのしきい値電圧が低い場合に効果的であり、非駆動アームにおける正側のゲート振動を抑制することで、上下アームが同時オンとなることに起因する、短絡電流による素子破壊を防ぐことが可能となる。

[0084] （第 4 の実施形態）

図 11 は本発明の第 4 の実施形態の単相ブリッジ回路を示している。

[0085] 図 11 の単相ブリッジ回路は 2 つのパワー半導体素子と、個別のゲート駆動回路を含む。前記個別のゲート駆動回路は、オフ時にゲートとソース間を接続するクランプ SW (SW_c) と、クランプ SW 制御回路と、クランプ SW と直列のクランプ抵抗回路 (R_{c1} 、 R_{c2}) と、前記クランプ抵抗回路と直列のクランプダイオード (D_{c1} 、 D_{c2}) を含む。

[0086] クランプ回路は、クランプ抵抗回路 R_{c1} （第 1 の抵抗）に直列接続されるクランプダイオード D_{c1} （第 1 のダイオード）と、クランプスイッチ SW_c （スイッチング素子）に直列接続されるクランプ抵抗回路 R_{c2} （第 2 の抵抗）と、クランプ抵抗回路 R_{c2} に直列接続されるクランプダイオード D_{c2} （第 2 のダイオード）と、をさらに備える。図 11 の例では、クランプダイオード D_{c1} のアノードは、下アームデバイス $30L$ のゲートに接続され、クランプダイオード D_{c2} のカソードは、下アームデバイス $30L$ のゲートに接続される。

[0087] 図 11 の構成では、上アームがターンオン時、 V_{dsL} 変動に伴うミラー電流（図 7 B の P_{h2} 期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図 7 B の P_{h1} 期間）

はクランプダイオード D_{c1} とクランプ抵抗 R_{c1} を介して、クランプスイッチ SW_c でソースにバイパスされる。

[0088] 一方、上アームがターンオフ時、 V_{dsL} 変動に伴うミラー電流（図8の P_{h1} 期間）、及び I_{sL} 変動に伴うコモンソースインダクタンス両端電圧変動 V_{ssL} に起因するゲート電流（図8の P_{h2} 期間）はクランプ抵抗 R_{c2} と、クランプダイオード D_{c2} を介して、クランプスイッチ SW_c でソースにバイパスされる。

[0089] 以上の構成では、ターンオン、及びターンオフで個別にクランプライン電圧 V_{cL} を調整可能となる。ターンオフ時、およびターンオン時のスイッチング速度にあわせて、コモンソースインダクタンス起因のゲート振動を個別に低減可能となる。

[0090] （第5の実施形態）

図12は本発明の第5の実施形態の単相ブリッジ回路を示している。

[0091] 図12の単相ブリッジ回路は2つのパワー半導体素子と、個別のゲート駆動回路を含む。前記個別のゲート駆動回路は、オフ時にゲートとソース間を接続するクランプ SW （ SW_c ）と、ターンオン時のゲート容量チャージ電流調整抵抗 R_{gon} と、ターンオフ時のゲート容量ディスチャージ電流調整抵抗 R_{goff} と、ゲートドライブ回路 BUF とを含む。

[0092] 本実施の形態によれば、パワー半導体デバイスからクランプ回路までの配線インダクタンス L_{p2} は、パワー半導体デバイスからゲートドライブ回路までの配線インダクタンス L_{p1} よりも小さくなるように実装される。

[0093] 図12に示すように、下アームデバイス $30L$ （第2のパワーデバイス）のゲートとクランプ回路とを接続する配線を示すクランプ回路配線のインダクタンス L_{p2} は、下アームデバイス $30L$ （第2のパワーデバイス）のゲートとゲート駆動回路とを接続する配線を示すドライブ回路配線のインダクタンス L_{p1} よりも小さい。

[0094] クランプ回路配線インダクタンス L_{p2} を、ドライブ回路配線インダクタンス L_{p1} より小さくすることで、非駆動アームにおいて、ドライブ回路抵

抗 $R_{g\ o\ n} / R_{g\ o\ f\ f}$ に流れるゲート電流を低減でき、非駆動アームのゲート振動を低減できる。

[0095] (第6の実施形態)

図13は、本発明を適用した電力変換装置（電力変換器）の回路構成の一例を示す図である。

[0096] 図13を図2に示した第1の実施形態の回路構成と比較すると、図13の例では、図2のDCリンクコンデンサが互いに直列接続された2つのコンデンサ601とコンデンサ602から構成され、コンデンサ601と602との接続点が、交流電源側に接続されるコンデンサ2100（第1のACフィルタコンデンサ）を介して、R、S、T端子に接続されるとともに、インバータ103の出力側（負荷108側）に接続されるコンデンサ2000（第2のACフィルタコンデンサ）を介して、U、V、W端子に接続される。

[0097] コンデンサ601と602との接続点は、コンデンサ2000及びコンデンサ2100に接続され、中間電位4000となっている。また、チョッパ104の上アームスイッチング素子104-1Bと下アームスイッチング素子104-2Bとの接続中点（接続点）にリアクトル406Aが接続され、上アームスイッチング素子104-1Aと下アームスイッチング素子104-2Aとの接続中点にリアクトル406Bが接続されている。

[0098] 図14は図13の電力変換装置の回路を基板上に実装したレイアウト（上面図）を示す図である。

[0099] コンバータ102及びインバータ103の冷却風の上流側（風上側）にDCリンクコンデンサ600が配置され、チョッパ104の下流側（風下側）にDCACリアクトル800が配置されている。

[0100] この構成により、コンバータ102及びインバータ103の冷却風の上流側にDCリンクコンデンサ600が配置されているので、DCリンクコンデンサ600に対するコンバータ102及びインバータ103の動作による発熱の影響（あおり熱の影響）を除去することができる。さらにコンバータとチョッパは同時に最大発熱とならないため、双方間のあおり熱を低減するこ

とができる。

[0101] さらに、DCACリアクトル800をコンバータ102、インバータ103及びチョッパ104の冷却風の下流側に配置したので、コンバータ102、インバータ103及びチョッパ104に対するDCACリアクトル800による発熱の影響（あおり熱の影響）を除去することができる。

[0102] コンバータ102U、102V、102Wの各パワーデバイス30を駆動するゲートドライブ回路102U1D、102U2D、102V1D、102V2D、102W1D及び102W2D（コンバータ制御部（電力変換ユニット駆動部）204）をそれぞれのパワーデバイス30の近傍に配置する。

[0103] そして、コンバータ102は、U相、V相、W相毎に、パワーデバイス30及び冷却フィン40との組を2組有しているが、U相とV相とが互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路102U2Dと102V1Dとが互いに対向して配置される。さらに、V相とW相とが互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路102V2Dと102W1Dとが互いに対向して配置されている。

[0104] また、インバータ103U、103V、103Wの各パワーデバイス30を駆動するゲートドライブ回路103U1D、103U2D、103V1D、103V2D、103W1D及び103W2D（インバータ制御部（電力変換ユニット駆動部）304）をそれぞれのパワーデバイス30の近傍に配置する。そして、インバータ103は、U相、V相、W相毎に、パワーデバイス30及び冷却フィン40との組を2組有しているが、U相とV相とが互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路103U2Dと103V1Dとが互いに対向して配置され

る。さらに、V相とW相とが互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路103V2Dと103W1Dとが互いに対向して配置されている。

[0105] コンバータ102のW相とインバータ103のU相とは、互いに隣接して配置されており、互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路102W2Dと103U1Dとが互いに対向して配置される。

[0106] また、チョッパ104-1、104-2の各パワーデバイス30を駆動するゲートドライブ回路104-1D1、104-1D2、104-2D1、104-2D2（チョッパ制御部（電力変換ユニット駆動部）405）をそれぞれのパワーデバイス30の近傍に配置する。

[0107] チョッパ104は、パワーデバイス30及び冷却フィン40との組を有し、チョッパ104-1と104-2のそれぞれが2組有している。チョッパ104-1と104-2とが互いに隣接する位置に配置されたパワーデバイス30及び冷却フィン40との組は、それぞれのパワーデバイス30が互いに対向して配置され、かつ、ゲートドライブ回路104-1D2と104-2D1とが互いに対向して配置される。

[0108] 本構成によれば、パワーデバイス30とそのゲートドライブ回路（102U1D～102W1D、103U1D～103W2D、104-1D1～104-2D2）とを互いに近傍に配置したので、ゲートドライブ回路の配線インダクタンスを低減し不要共振を抑制でき、かつ、パワーデバイス30を高速に駆動することができる。

[0109] （第7の実施形態）

図15は、図14に示した回路構成における配線レイアウトの一例を示す図である。

[0110] 図15に示した配線例は、L1層（コンバータ102とインバータ103

のAC配線)、L2層(P極配線)、L3層(N極配線)、L4層(チョッパ104のAC配線、中間電位4000の中間電極配線)の多層構造となっている。換言すれば、電力変換装置100は、表面から順に第1層、第2層、及び第3層を少なくとも含む多層基板を備える。

[0111] 図15Aに示すように、L1層は、コンバータ102の配線1021、1022、1023が形成されている。さらに、インバータ103のAC配線1031、1032、1033が形成されている。

[0112] すなわち、電力変換装置100の交流側端子(U、V、W)にそれぞれ接続される配線を示すAC配線(1031、1032、1033)は、L1層(第1層)に配置される。これにより、AC配線の冷却効率を向上することができる。

[0113] また、図15Bに示すように、L2層は、P極配線3000Pが形成されている。すなわち、電力変換装置100の直流正側端子(P)に接続される配線を示すP極配線3000Pは、L2層(第2層)とL3層(第3層)の一方に配置される。

[0114] また、図15Cに示すように、L3層は、N極配線2000Nが形成されている。すなわち、電力変換装置100の直流負側端子(N)に接続される配線を示すN極配線2000Nは、L2層(第2層)とL3層(第3層)の他方に配置される。

[0115] さらに、図15Dに示すように、L4層は、チョッパAC配線1041、1042が形成されるとともに、中間電位配線4000Lが形成されている。

[0116] 図16は、図15AのB-B'線に沿った断面図(模式図)である。

[0117] 図16において、L4層は、ゲートドライブ配線5000GL4、及びAC中間電位配線5000ML4が形成され、L3層は、ゲートドライブ配線5000GL3、及びN極配線5000ML3が形成されている。

[0118] また、L2層は、ゲートドライブ配線5000GL2、及びP極配線5000ML2が形成され、L1層は、ゲートドライブ配線5000GL1、A

C配線5000ML1が形成されている。

- [0119] 各層の間には、絶縁層5000Iが配置され、互いに絶縁が図られている。また、L1層～L4層を通じてビア6200が形成され、ビア6200内にリード6100が配置されている。L1層の上方には、リード6100に接続された下アームデバイス30L、上アームデバイス30Hが接続されている。また、L1層のゲートドライブ配線5000GL1の上部には、ゲートドライブ回路とゲートクランプ回路（クランプ回路）が配置されている。
- [0120] 上記構成とすることにより、ゲートドライブ配線5000Gと、主回路配線5000Mとを層方向に分離し、低ノイズ化を図ることができる。また、主回路配線5000Mを多層配線構造（ラミネート配線構造）とすることで、低インダクタンス化して、スイッチング動作に伴う主回路電圧の跳ね上がりを抑制することができる。
- [0121] また図16の配線構成では、パワーデバイスのソースリードと、ゲート駆動回路のソース配線はL1層で接続される。換言すれば、ゲート駆動回路50Lと下アームデバイス30L（第2のパワーデバイス）のソースとを接続する配線を示すゲートソース配線は、L1層（第1層）に配置される。この構成により、共通ソースインダクタンスLCMを低減でき、非駆動アームにおいて、共通ソースインダクタンス起因のゲート振動を低減できる。
- [0122] 更に図16の配線構成のように、ゲート駆動回路のソース配線をLp1で配線し、ゲート駆動回路のゲート配線をLp2で配線し、双方をラミネート構造とすることで、ゲート駆動回路の配線インダクタンスを低減し、非駆動アームにおけるゲート振動を低減できる。
- [0123] なお、本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上述した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一

部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

- [0124] 20…ハーフブリッジ回路
21、22…スイッチング素子
23、24…整流素子
25、26…コンデンサ
30…パワーデバイス
30H…上アームデバイス
30L…下アームデバイス
40…冷却フィン
50H、50L…ゲート駆動回路
100…電力変換装置
102…コンバータ
102U…コンバータ
102U1D…ゲートドライブ回路
102U2D…ゲートドライブ回路
102V…コンバータ
102V1D…ゲートドライブ回路
102V2D…ゲートドライブ回路
102W…コンバータ
102W1D…～
102W1D…ゲートドライブ回路
102W2D…ゲートドライブ回路
103…インバータ
103U…インバータ
103U1D…ゲートドライブ回路
103U2D…ゲートドライブ回路
103V…インバータ

103V1D…ゲートドライブ回路
103V2D…ゲートドライブ回路
103W…インバータ
103W1D…ゲートドライブ回路
104…チョッパ
104-1…チョッパ
104-1A…上アームスイッチング素子
104-1B…上アームスイッチング素子
104-1D1…ゲートドライブ回路
104-1D2…ゲートドライブ回路
104-2…チョッパ
104-2A…下アームスイッチング素子
104-2B…下アームスイッチング素子
104-2D1…ゲートドライブ回路
104-2D2…ゲートドライブ回路
105…上位制御回路
106…商用電源（交流電源）
107…蓄電池（直流電源）
108…負荷
201…ハーフブリッジ回路
202…ハーフブリッジ回路
203…ハーフブリッジ回路
204…コンバータ制御部（電力変換ユニット駆動部）
301…ハーフブリッジ回路
302…ハーフブリッジ回路
303…ハーフブリッジ回路
304…インバータ制御部（電力変換ユニット駆動部）
401…ハーフブリッジ回路

４０５…チョッパ制御部（電力変換ユニット駆動部）

４０６…リアクトル

４０６Ａ…リアクトル

４０６Ｂ…リアクトル

６００…リンクコンデンサ

６０１…コンデンサ

６０２…コンデンサ

８００…リアクトル

２０００…コンデンサ

２１００…コンデンサ

５０００Ⅰ…絶縁層

６１００…リード

６２００…ビア

請求の範囲

- [請求項1] 第1のパワーデバイスとそれに直列接続された第2のパワーデバイスとを含むブリッジ回路と、
前記第2のパワーデバイスのゲートの容量を充放電するゲート駆動回路と、
前記第2のパワーデバイスのゲート・ソース間の電圧が所定値より小さい場合、前記第2のパワーデバイスのゲートと前記第2のパワーデバイスのソースとを導通するクランプ回路と、を備え、
前記クランプ回路は、
スイッチング素子とそれに直列接続された第1の抵抗から構成される
ことを特徴とする電力変換装置。
- [請求項2] 請求項1に記載の電力変換装置であって、
前記クランプ回路は、
前記第1の抵抗に並列接続される第1のダイオードをさらに備える
ことを特徴とする電力変換装置。
- [請求項3] 請求項2に記載の電力変換装置であって、
前記第1のダイオードのカソードは、
前記第2のパワーデバイスのゲートに接続される
ことを特徴とする電力変換装置。
- [請求項4] 請求項2に記載の電力変換装置であって、
前記第1のダイオードのアノードは、
前記第2のパワーデバイスのゲートに接続される
ことを特徴とする電力変換装置。
- [請求項5] 請求項1に記載の電力変換装置であって、
前記クランプ回路は、
前記第1の抵抗に直列接続される第1のダイオードと、
前記スイッチング素子に直列接続される第2の抵抗と、

前記第2の抵抗に直列接続される第2のダイオードと、をさらに備え、

前記第1のダイオードのアノードは、
前記第2のパワーデバイスのゲートに接続され、
前記第2のダイオードのカソードは、
前記第2のパワーデバイスのゲートに接続される
ことを特徴とする電力変換装置。

[請求項6] 請求項1に記載の電力変換装置であって、
前記第2のパワーデバイスのゲートと前記クランプ回路とを接続する配線を示すクランプ回路配線のインダクタンス L_{p2} は、前記第2のパワーデバイスのゲートと前記ゲート駆動回路とを接続する配線を示すドライブ回路配線のインダクタンス L_{p1} よりも小さい
ことを特徴とする電力変換装置。

[請求項7] 請求項6に記載の電力変換装置であって、
パワーデバイスが搭載される側を表面とし、
表面から順に第1層、及び第2層を少なくとも含む多層基板をさらに備え、
前記ゲート駆動回路と前記第2のパワーデバイスのソースとを接続する配線を示すゲートソース配線は、前記第1層に配置される
ことを特徴とする電力変換装置。

[請求項8] 請求項7に記載の電力変換装置であって、
前記多層基板は、第1層、第2層、及び第3層を少なくとも含む多層基板であり、
前記電力変換装置の交流側端子に接続される配線を示すAC配線は、前記第1層に配置される
ことを特徴とする電力変換装置。

[請求項9] 請求項8に記載の電力変換装置であって、
前記電力変換装置の直流正側端子に接続される配線を示すP極配線

は、

前記第2層と前記第3層の一方に配置され、

前記電力変換装置の直流負側端子に接続される配線を示すN極配線

は、

前記第2層と前記第3層の他方に配置され、

ことを特徴とする電力変換装置。

[請求項10]

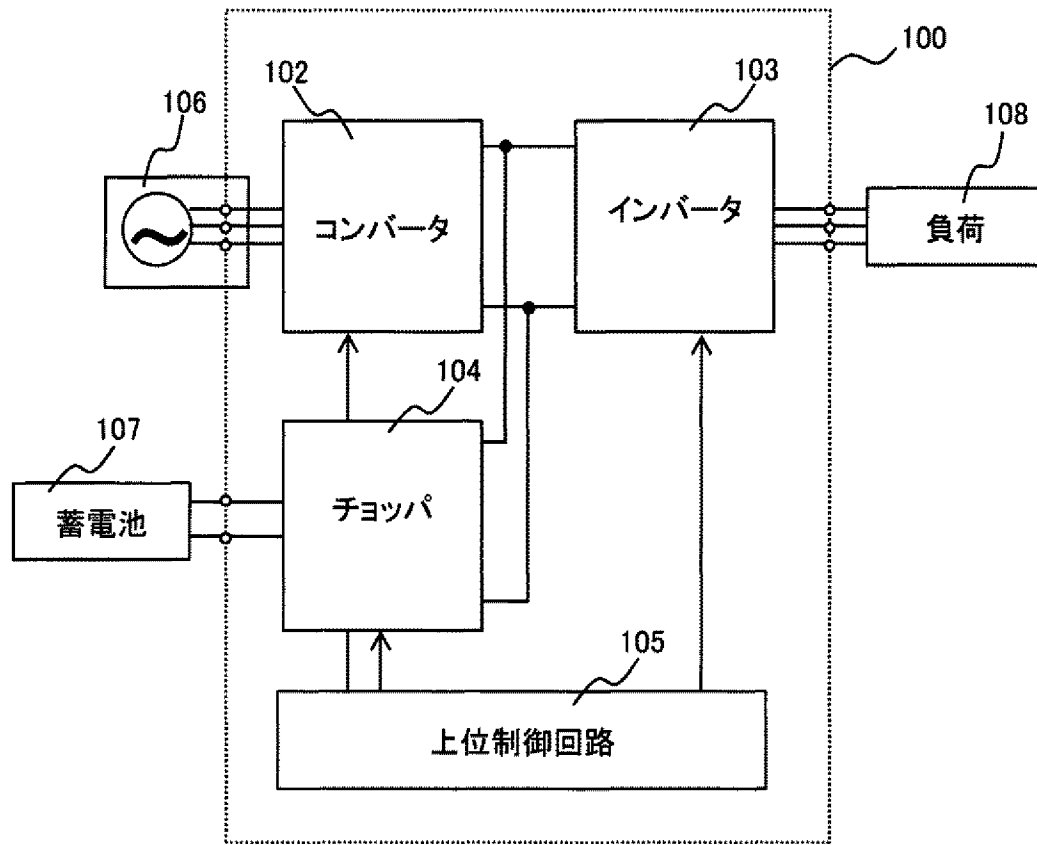
請求項1に記載の電力変換装置であって、

前記スイッチング素子は、

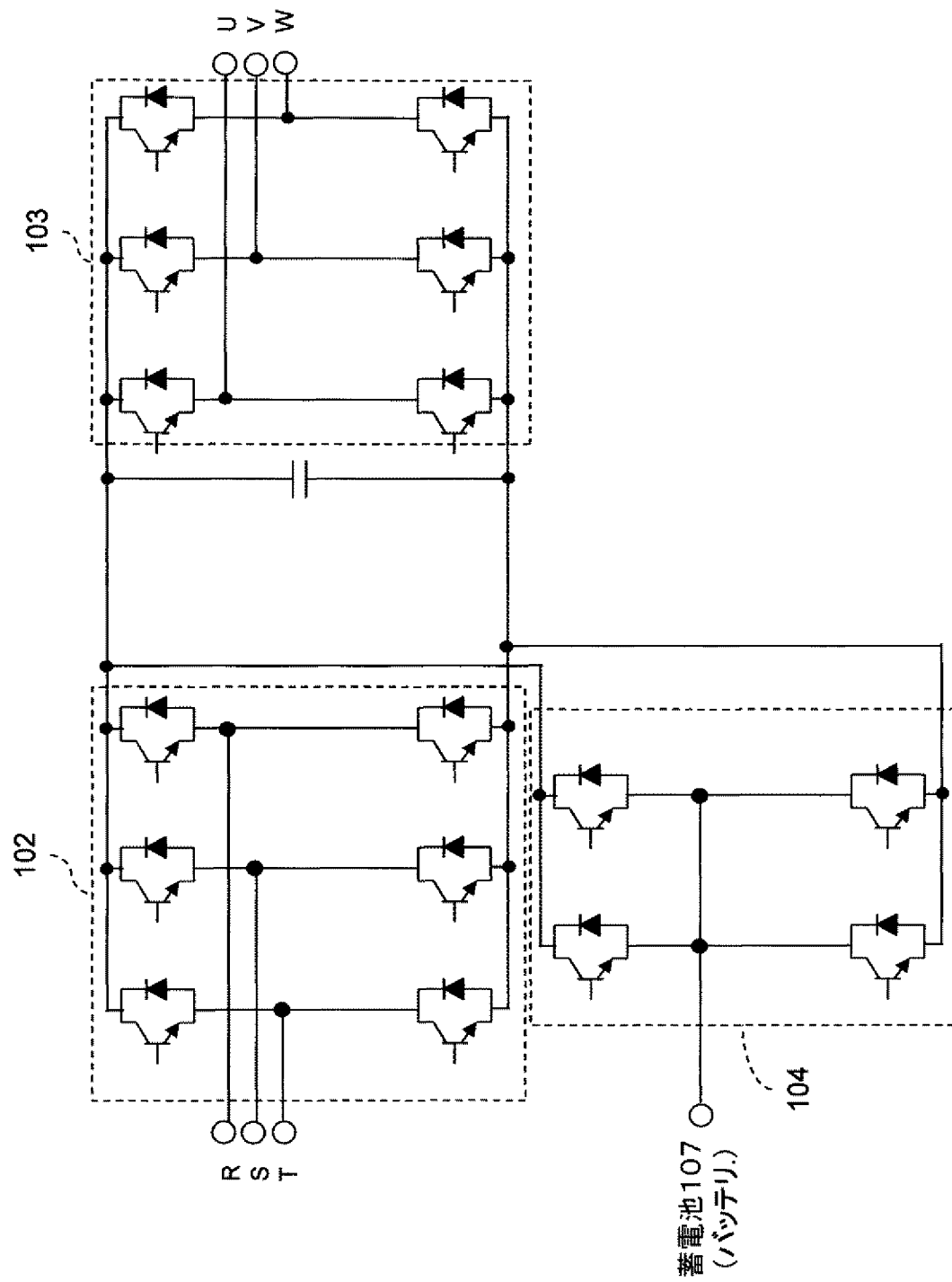
オン状態で双方向に電流を流すことができる双方向スイッチング素子である

ことを特徴とする電力変換装置。

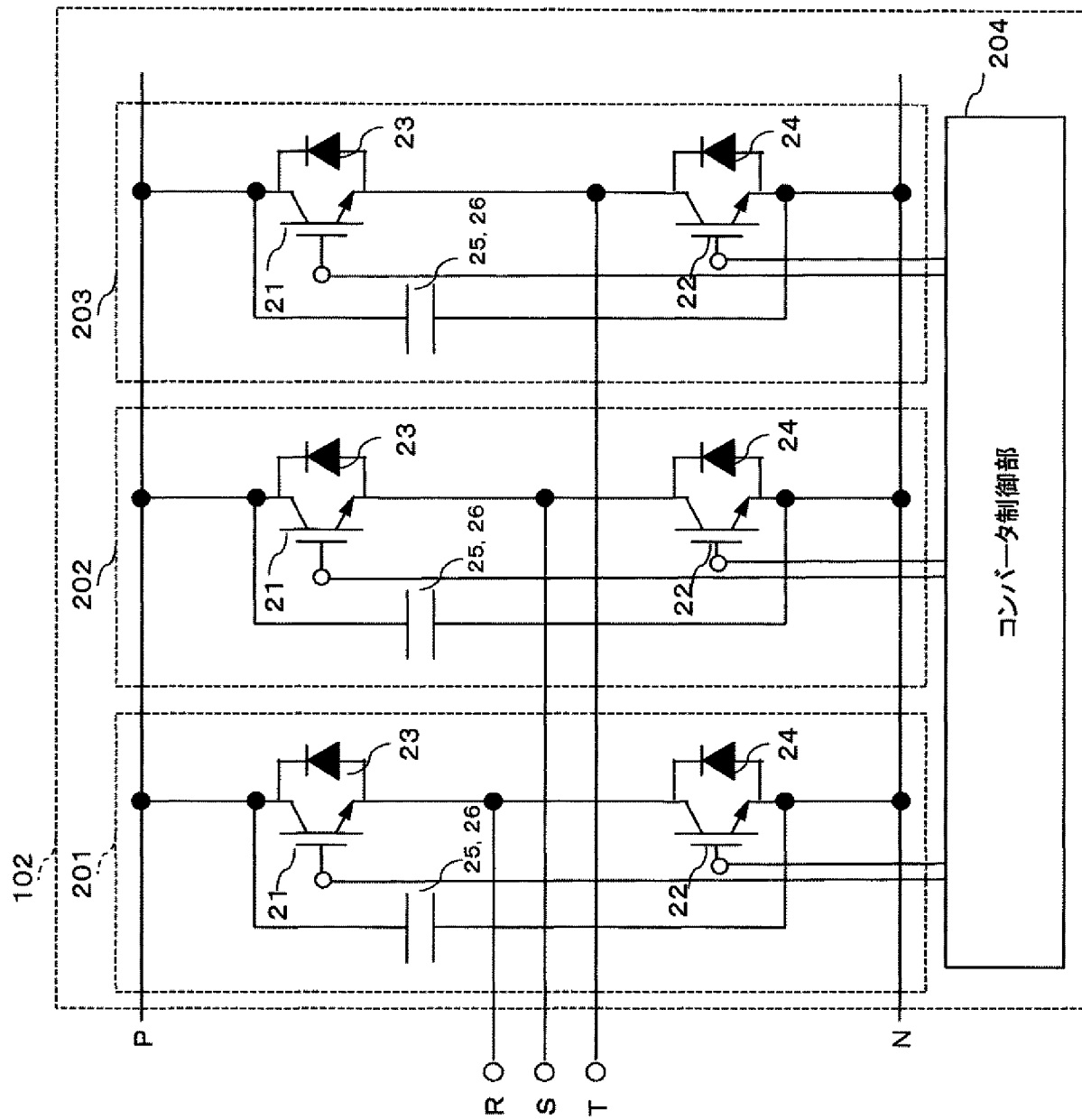
[図1]



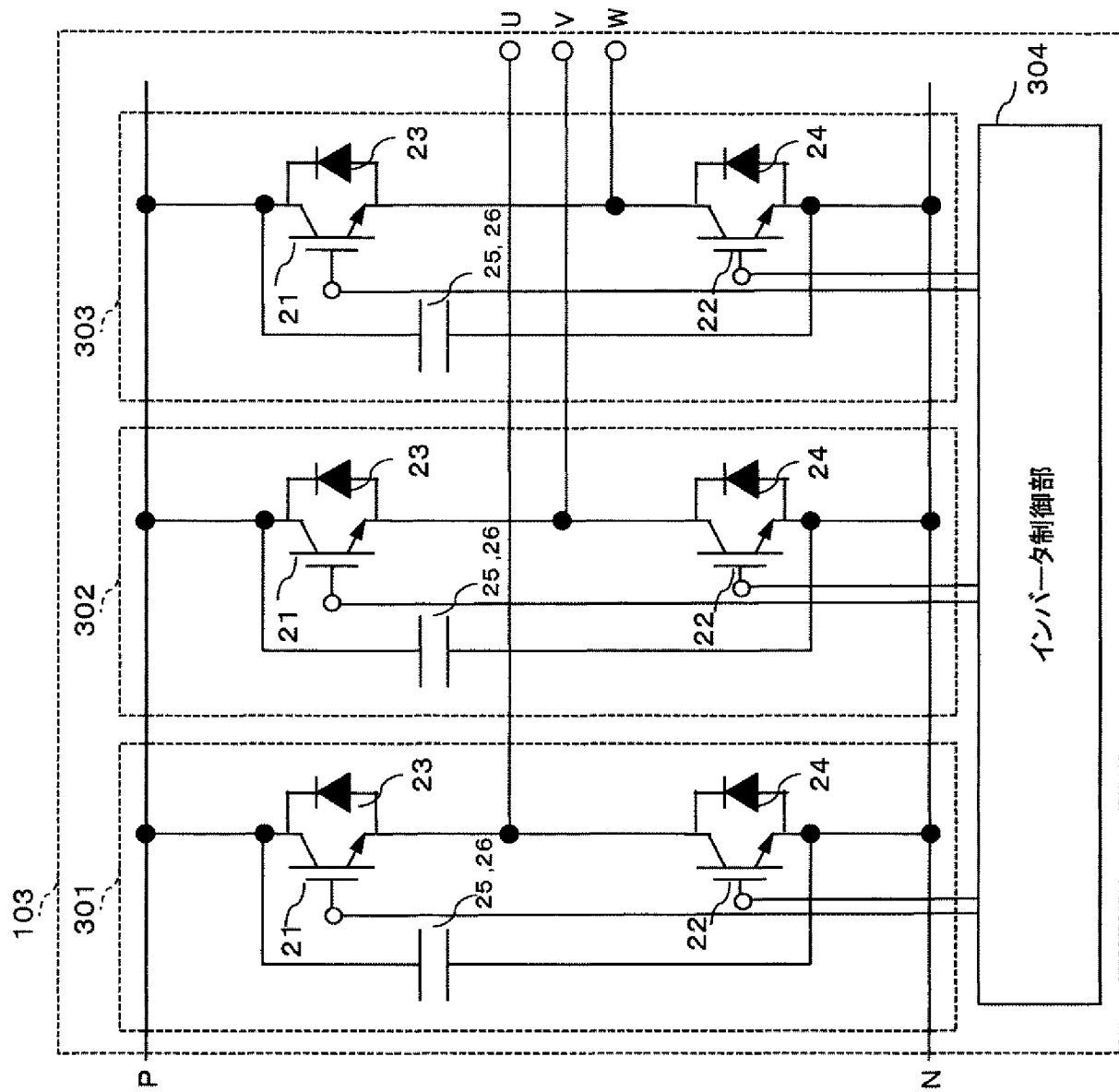
[図2]



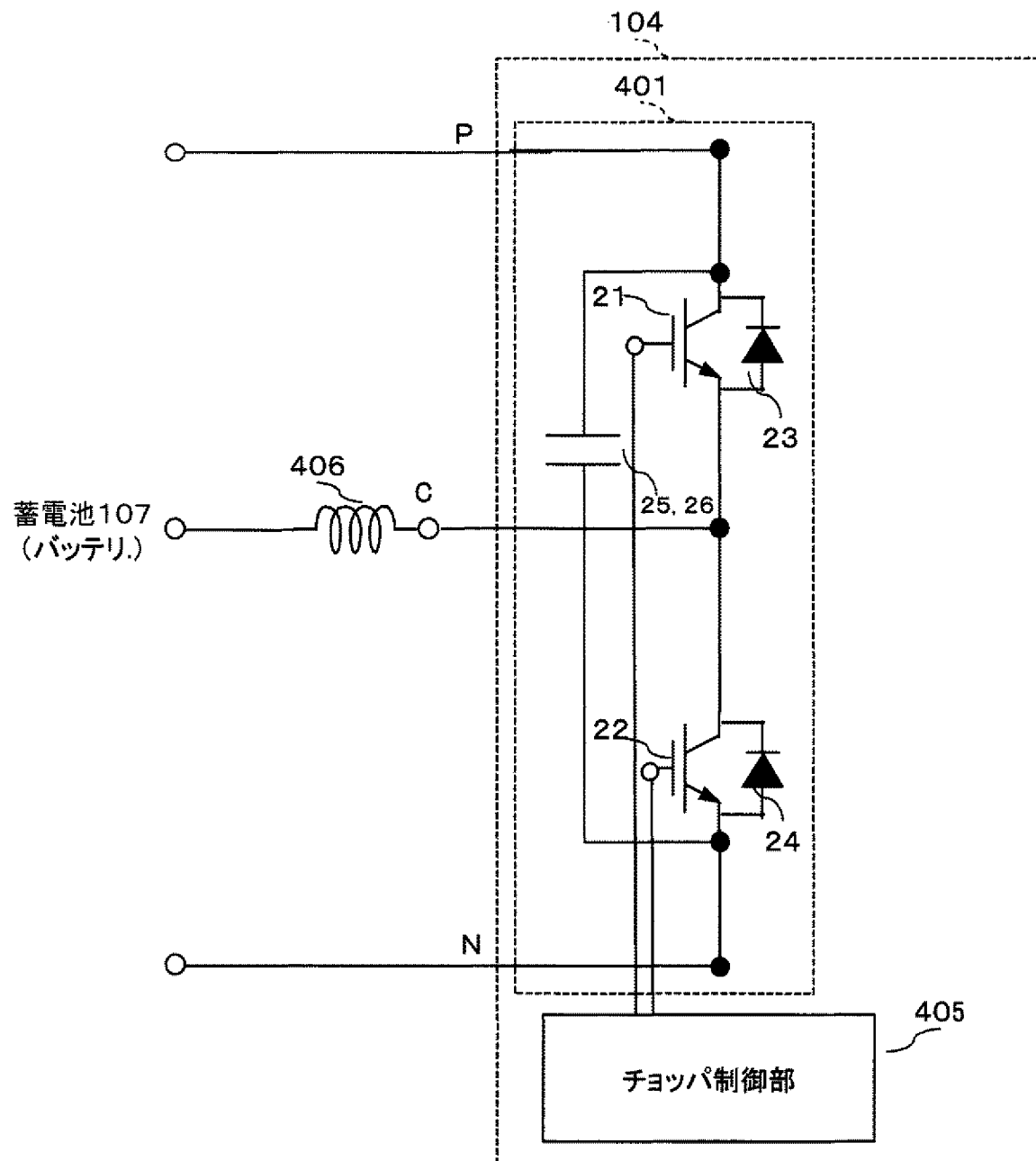
[図3]



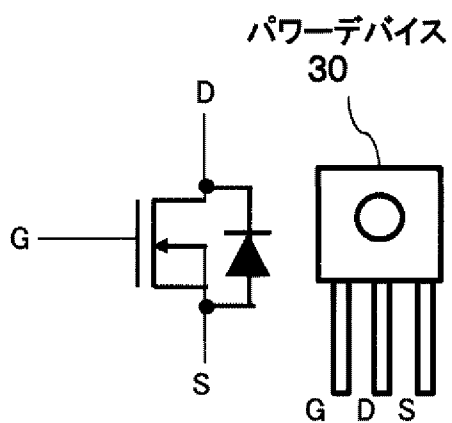
[図4]



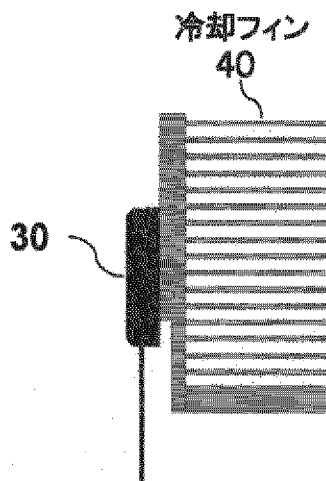
[図5]



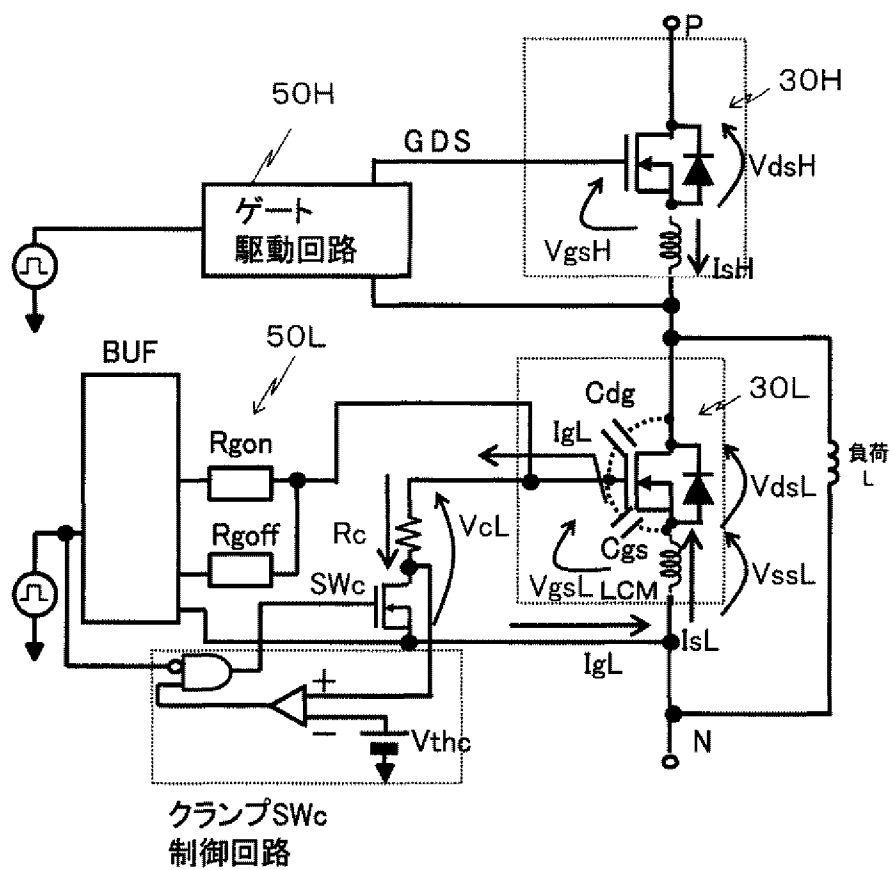
[図6A]



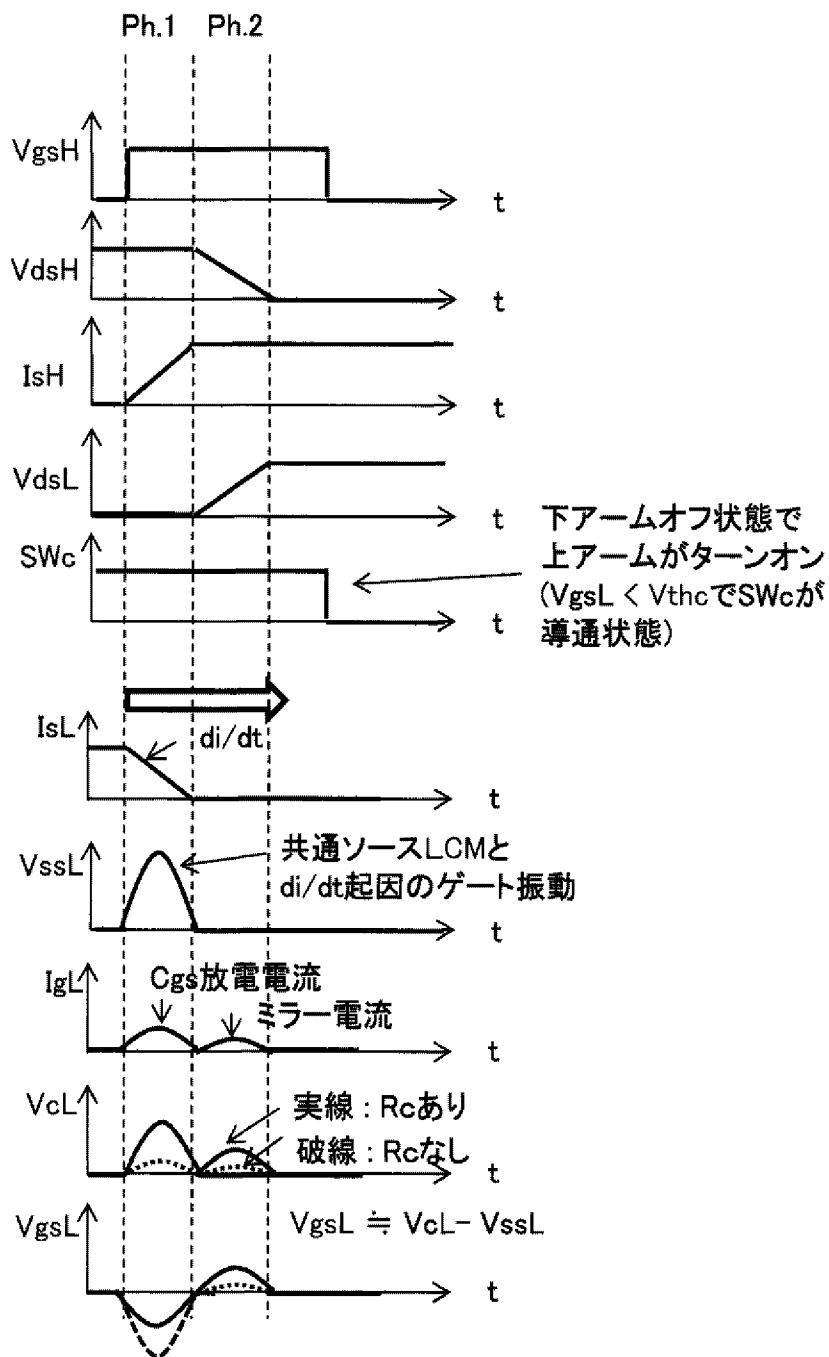
[図6B]



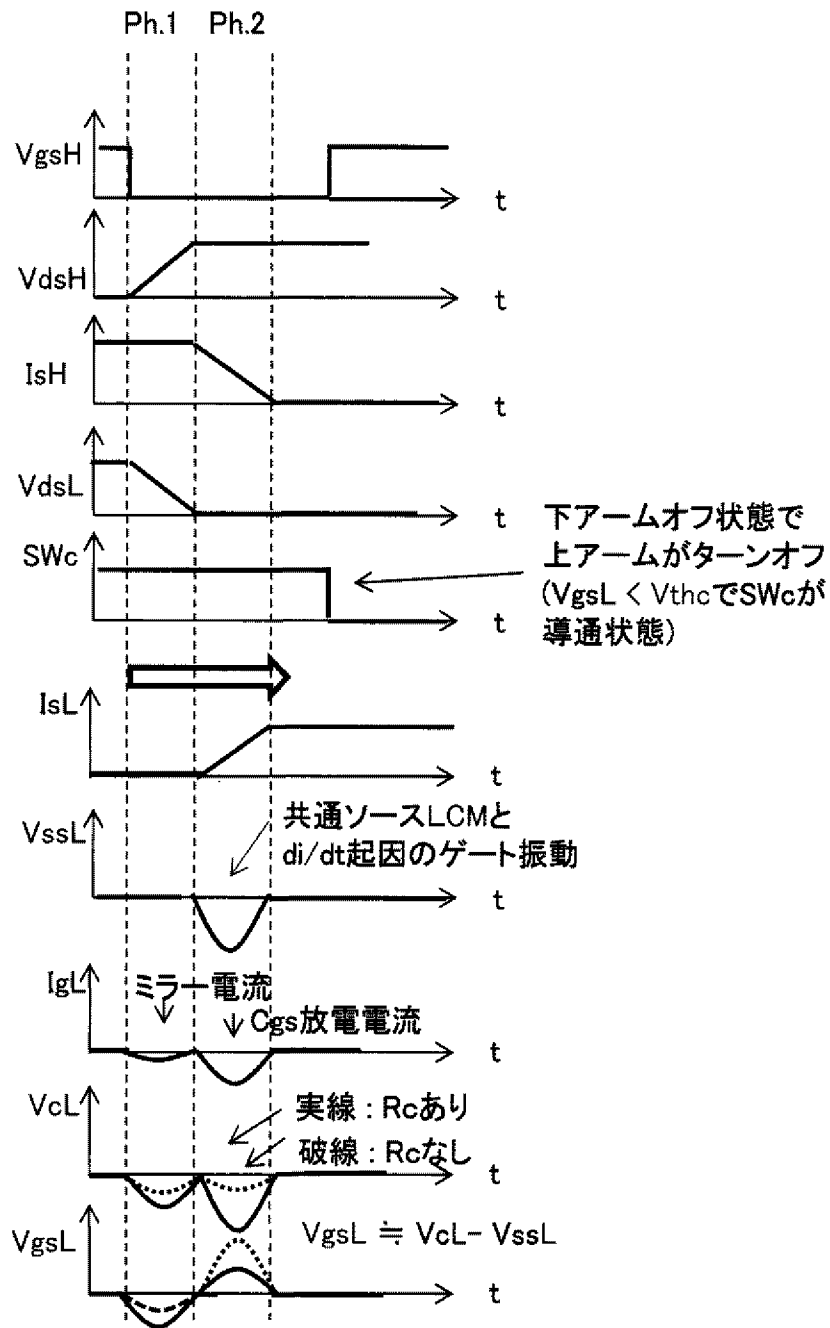
[図7A]



[図7B]

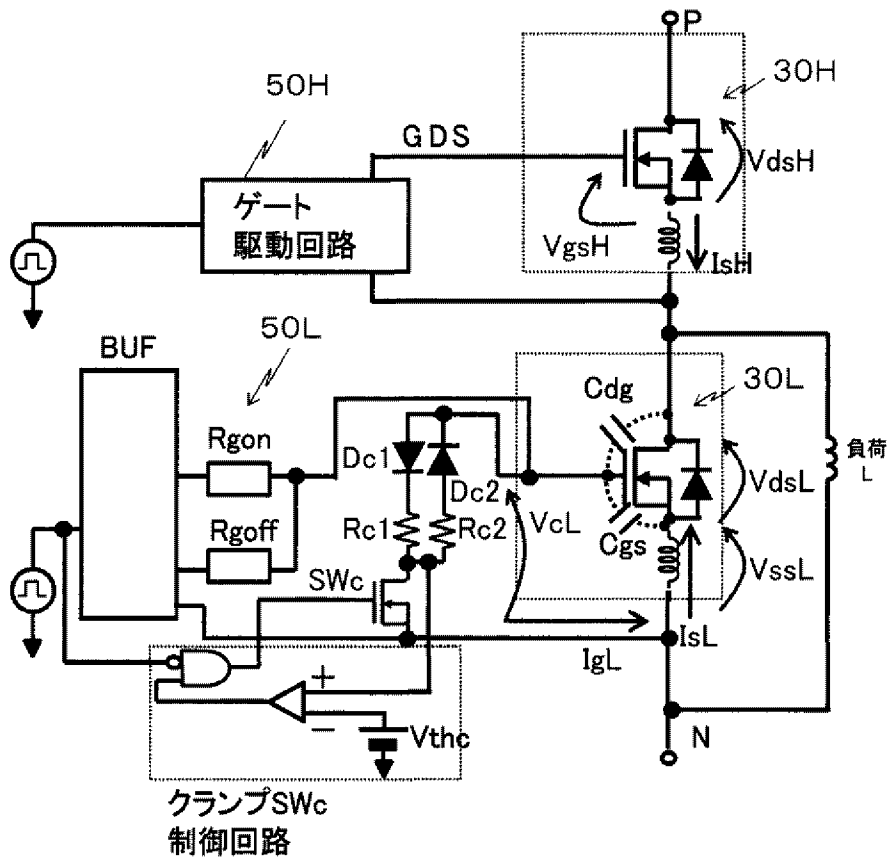


[図8]

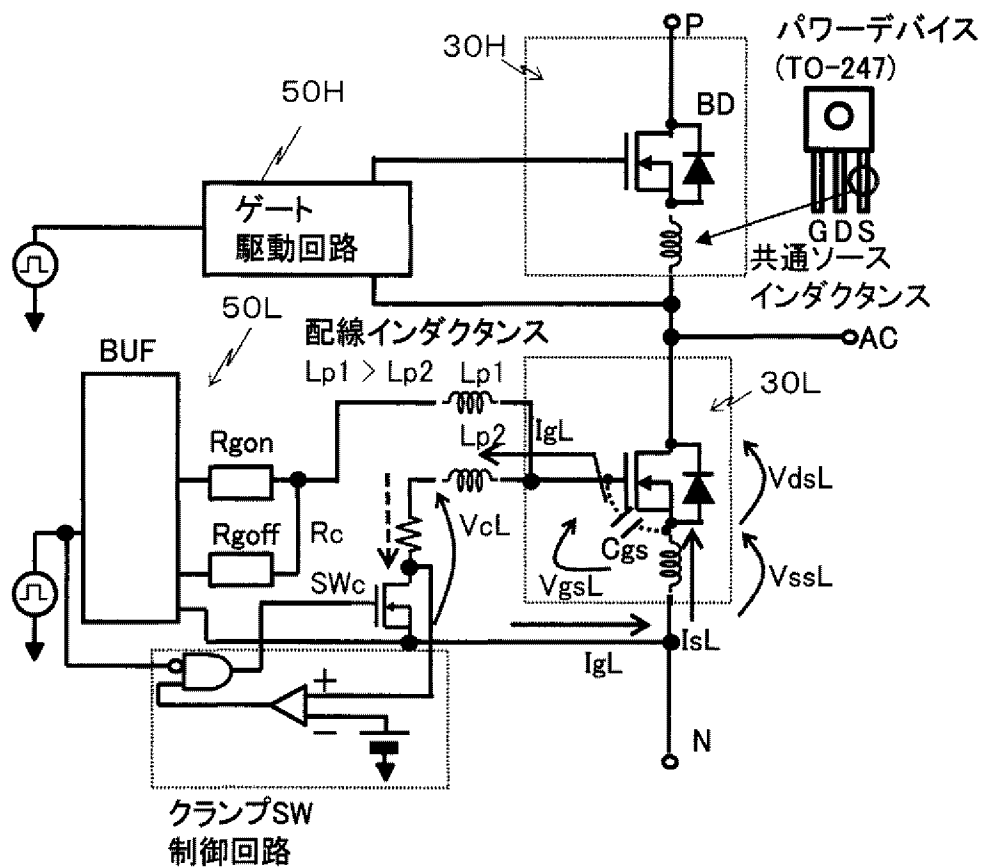


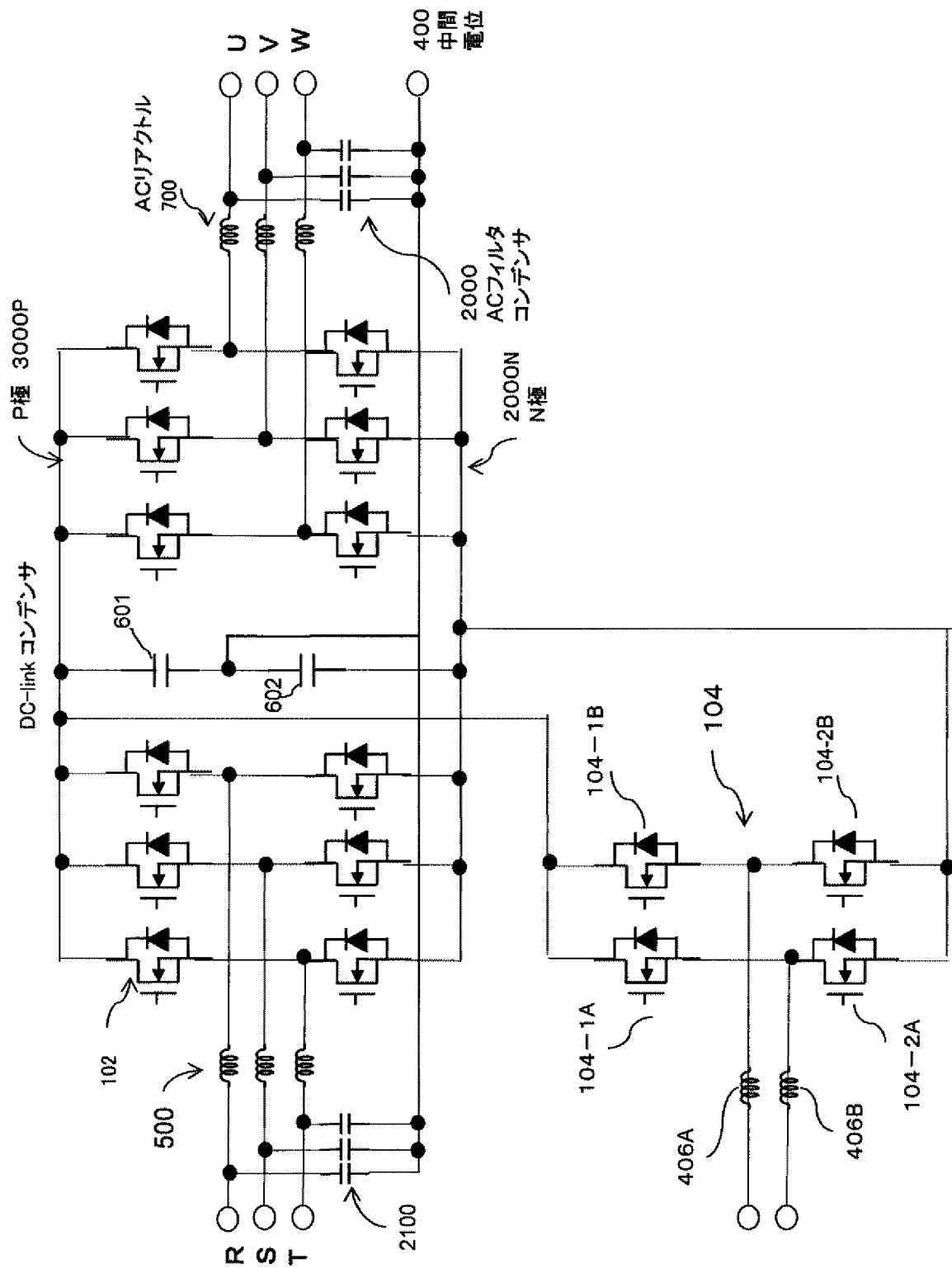
[illegible]

[図11]

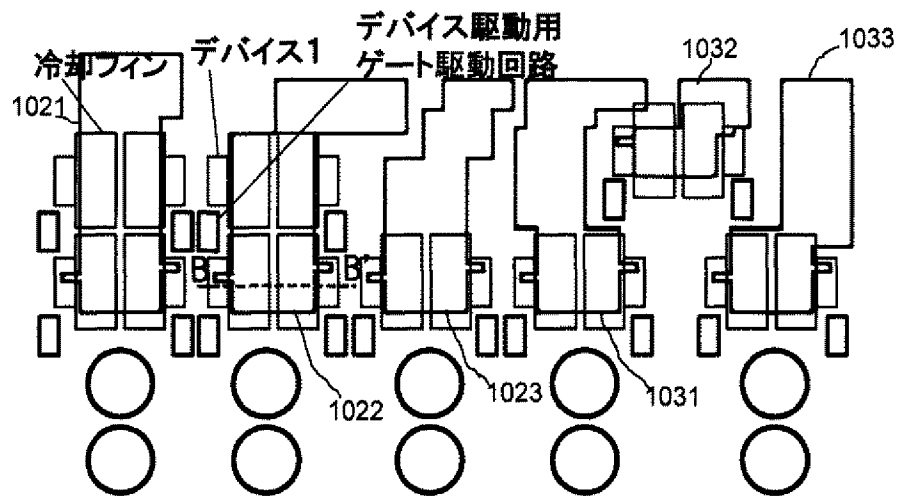


[図12]





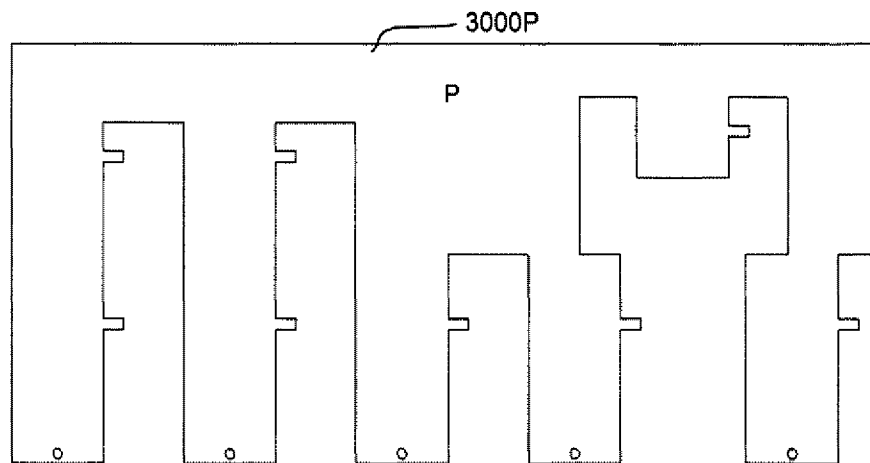
[図15A]



L1層(コンバータ、インバータAC配線)

(A)

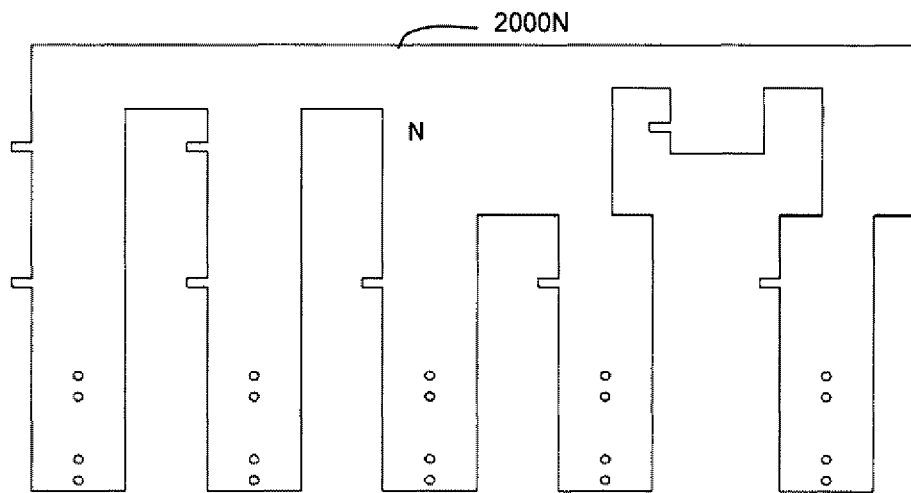
[図15B]



L2層(P極配線)

(B)

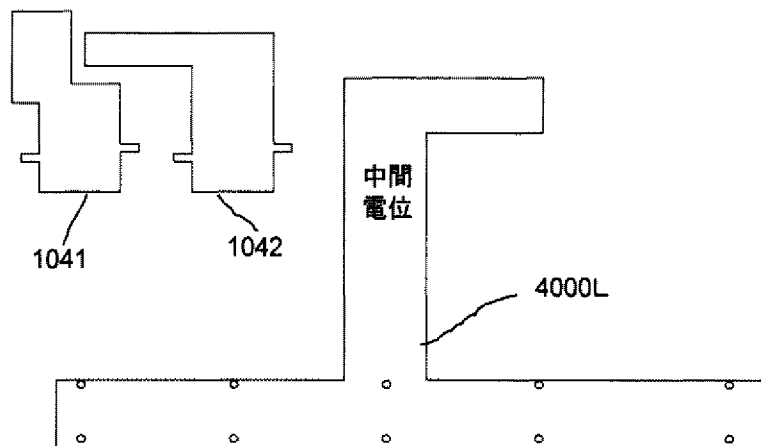
[図15C]



L3層(N极配線)

(C)

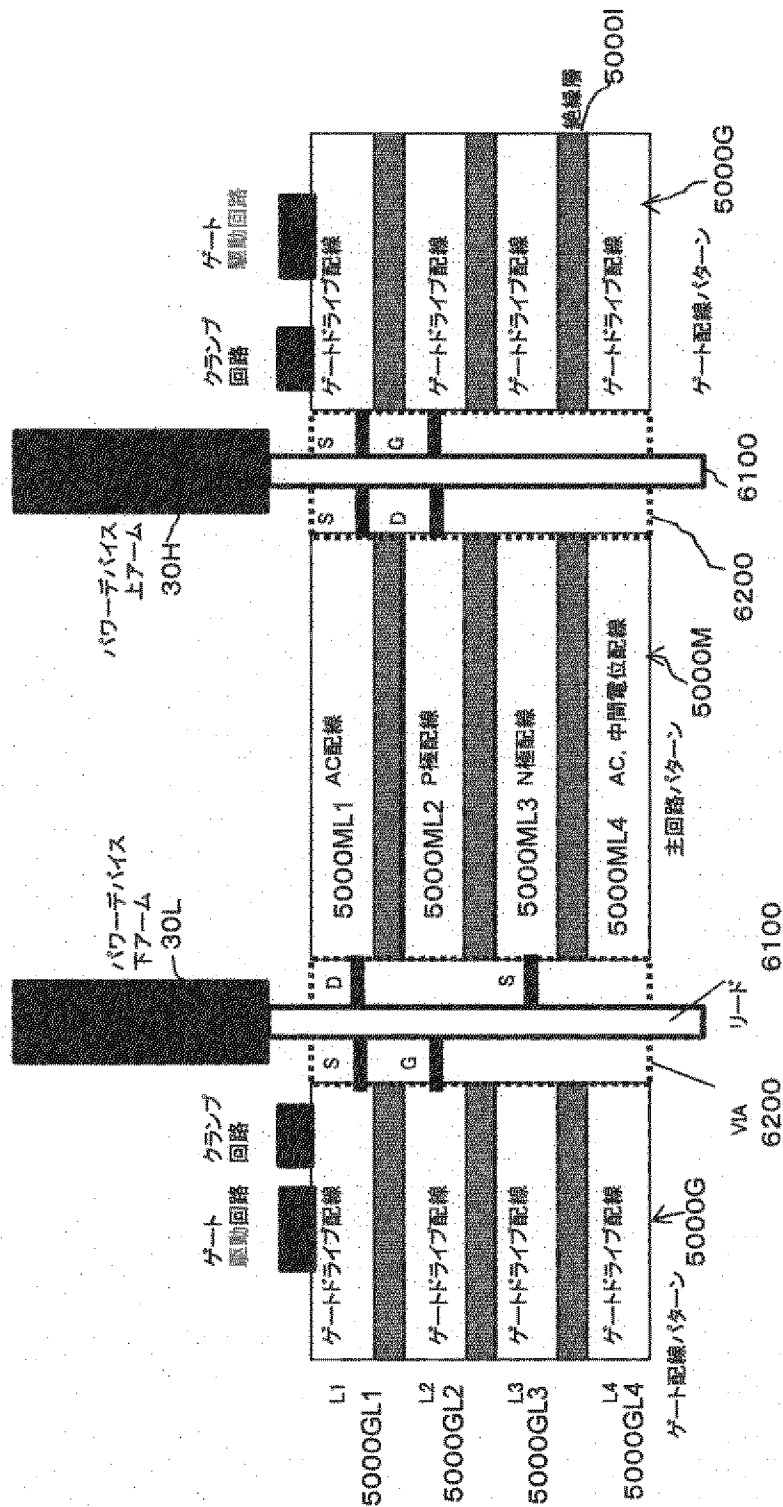
[図15D]



L4層(チョッパAC配線、中間電極配線)

(D)

[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/010388

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H02M1/08 (2006.01) i, H02M7/48 (2007.01) i, H03K17/695 (2006.01) i, H03K17/16 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M1/00-1/44, H02M7/42-98, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-075694 A (RENESAS ELECTRONICS CORP.) 24 April 2014, paragraphs [0001], [0025], [0046]-[0051], fig. 7, 15, 16A (Family: none)	1, 7-10 2-6
Y A	JP 2013-013051 A (DENSO CORP.) 17 January 2013, paragraphs [0022]-[0027], fig. 1, 2 & WO 2012/165649 A1, page 9, line 12 to page 11, line 9, fig. 1, 2	1, 7-10 2-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28.05.2019

Date of mailing of the international search report
11.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/695(2006.01)i, H03K17/16(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/00-1/44, H02M7/42-98, H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	J P 2014-075694 A (ルネサスエレクトロニクス株式会社) 2014.04.24, 段落[0001], [0025], [0046] - [0051], 図7, 図15, 図16A (ファミリーなし)	1, 7-10 2-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.05.2019

国際調査報告の発送日

11.06.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

5G

8843

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	J P 2013-013051 A (株式会社デンソー) 2013.01.17, 段落 [0022] - [0027], 図1-2 & WO 2012/165649 A1 第9頁第12行-第11頁第9行, 図1-2	1, 7-10 2-6