

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年9月26日 (26.09.2002)

PCT

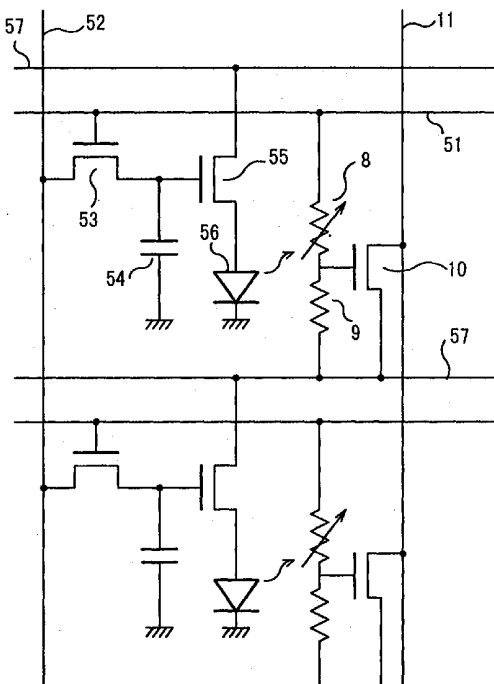
(10) 国際公開番号
WO 02/075711 A1

- (51) 国際特許分類: G09G 3/30, 3/20
 - (21) 国際出願番号: PCT/JP02/02493
 - (22) 国際出願日: 2002年3月15日 (15.03.2002)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願2001-77816 2001年3月19日 (19.03.2001) JP
 - (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 井上 満夫 (INOUE, Mitsuo) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
 - (74) 代理人: 宮田 金雄, 外 (MIYATA, Kaneo et al.); 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
 - (81) 指定国 (国内): CN, JP, KR, US.
 - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書

[続葉有]

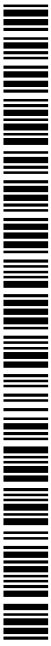
(54) Title: SELFLUMINOUS DISPLAY DEVICE

(54) 発明の名称: 自発光型表示装置



(57) Abstract: An active-matrix selfluminous display device has a pixel drive circuit such that the variation of the threshold voltage of a transistor for controlling the current of a luminescent device and the variation of the luminescence threshold voltage of the luminescent device are suppressed, and thereby the variation of the luminescence of the luminescent device is suppressed. An optical sensor for detecting emission of a luminescent element is connected in series with a resistor. The threshold voltage of the transistor is measured from the potential at the node. A transistor controlled by means of the signal of the optical sensor is provided so as to measure the luminescence threshold voltage of the luminescent element.

[続葉有]



WO 02/075711 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

アクティブマトリックス方式による自発光型表示装置の画素駆動回路において、発光素子の電流を制御するトランジスタの閾値電圧のばらつき、及び発光素子の発光閾値電圧のばらつきを抑制して、発光素子の輝度ばらつきのない自発光型表示装置を実現することを目的とする。

発光素子の発光を検知する光検知素子と抵抗とを直列接続し、その接続点の電位により、トランジスタの閾値電圧を検知している。また、光検知素子の信号により制御されたトランジスタを設け、発光素子の発光閾値電圧をも検知している。

明 細 書

自発光型表示装置

技術分野

- 5 この発明は、発光素子マトリクスを搭載したアクティブマトリクス方式の自発光型表示装置において、特に自発光素子(例えば有機EL素子のような自発光型の発光素子)の輝度制御に関し、自発光素子の輝度ばらつき抑制を目的としたものである。なお、以下の説明では自発光素子を単に発光素子と記載している。

10

背景技術

- 表示パネルに、発光素子である有機EL素子を用いた有機ELパネルが実用レベルに達してきた。有機ELパネルは自発光、高速応答、広視野角など液晶パネルに持ち合わせていない優れた特徴を有しているため、文字図形画像や動画像表示が鮮明にできるフラットパネルとして期待
15 が大きい。有機ELパネルは駆動方法により、パッシブマトリクス型(PM型)とアクティブマトリクス型(AM型)に分類することができる。

- PM型は有機ELパネルの外部に駆動回路を設けるため、有機ELパネル自体の構造が簡単となり低コストが実現できると言われている。現在、有機ELパネルが製品化されているのは、このPM型であり車載用
20 や携帯電話用に用いられている。

- 有機EL素子は電流駆動素子であるので、有機ELパネルの輝度ばらつきをなくすためには、各発光画素に流れる電流を同じ大きさにする必要がある。しかし、次の(1)から(3)に示す問題により同一電流に
25 することと低消費電力にすることが困難である。

(1) 全画素の輝度を均一化するには、各画素に流れる電流を同一に

2

しなければならない。そのためには各画素の陽極か陰極かのどちらか一方を定電流源にする。しかし、定電流源として動作させるためには、バスラインの抵抗成分による電圧降下分の影響がないように、他方側のマトリクス電極の駆動電圧を高くする必要がある。これは消費電力を大きくする要因となる。駆動電圧が十分に高くできない場合、各画素までのバスライン長の長さに対応した電圧降下分が発光のための電流量に影響を与える。すなわち定電流源にならず輝度ばらつきの原因をつくる。

(2) PM型は所定の面輝度を得るために、表示パネルの走査線の数をN本とすると瞬間輝度はN倍で発光させる必要がある。通常、画素に流れる電流と発光輝度は比例するので流すべき電流はN倍となる。ところが、有機EL素子は流す電流が大きくなれば発光効率が低下する性質を持っているので、所定の面輝度を得るにはN倍以上の画素電流が必要である。

このような理由により走査線の数Nが多くなればなるほど消費電力も大きくなる。この問題は上記(1)の問題をますます助長する。

(3)有機EL素子は面構造になっているので、各画素には等価回路から見れば並列に容量性負荷が接続される。画素電流が大きくなったり、画素数が多くなって繰り返し周波数が高くなると、この容量性負荷への充放電電流が大きくなり消費電力がおおきくなる。上記(2)の問題もあってPM型では、容量性負荷による消費電力が格段に増加する。

以上の問題により、現状で製品化されているPM型のものは、画面サイズが数インチ以下、画素数が1万画素レベルぐらいまでである。

AM型の有機ELパネルは、上記の問題が改善できる。

上記(1)の問題は、AM型は各画素にTFT駆動回路を設けるので、瞬間的に大電流を流す必要がなく、その結果、上記(1)のバスラインによる電圧低下分が小さくなり、印加電圧も小さくてよいので消費電

3

力がPM型に比べて大幅に低減できる。印加電圧が小さくて良いことは少し高めの印加電圧に設定するだけで、各画素までのバスライン長の長さに対応した電圧降下分が画素電流量に影響を与えることが無くなるので、均一な輝度を得ることができる。

- 5 上記(2)の問題は、AM型は各画素にTFT駆動回路を設けるので、走査線の数Nによらず、いつも小さな画素電流を流しておけばよいので、画素電流が大きくなることによる発光効率の低下に起因する消費電力の増大はない。上記(3)の問題は、AM各画素にTFT駆動回路を設けるので、走査線の数Nによらず、小さな画素電流を流しておけばよいので、容量性負荷への充放電電流が小さくて良く、この影響による消費電力は小さい。このようにAM型の有機EL素子は、輝度ばらつきや消費電力を低減できる。

- ところが、AM型には次の大きな欠点がある。すなわち、有機ELパネル全域にわたって、特性のそろった駆動素子を作ることが困難である。
- 15 。その結果、各画素に流れる電流値が異なり輝度のばらつきとなって表れる。

第7図は、従来のAM型有機ELディスプレイにおける画素を発光させるための画素駆動回路を示す回路図であり、この駆動回路は例えば日本特許2784615号公報に記載されている。

- 20 第7図を用いてこの画素駆動回路の動作を説明する。

- 第1のトランジスタ53は、例えばNチャンネルタイプで構成するFETでありスイッチング素子として動作する。第2のトランジスタ55は例えばPチャンネルで構成するFETであり駆動素子として動作する。キャパシタ54は第1のトランジスタ53のドレイン端子に接続されている容量性負荷である。第2のトランジスタ54のドレイン端子には有機EL素子56が接続されている。第1のトランジスタ53のドレイ
- 25

4

ン端子は第2のトランジスタ55のゲート端子に接続される。第1のトランジスタ53のゲート端子には第1の垂直走査線51から走査信号が印加される。ソース端子には第1の水平走査線52から画像信号が印加される。57は電源線である。

- 5 次に発光モードについて説明する。まず、第1のトランジスタ53のゲート端子には走査線信号が印加される。この時に第1のトランジスタ53のソース端子に画像信号が所定の電圧で印加されると、第1のトランジスタ53のドレイン端子に接続されたキャパシタ54には画像信号の大きさに対応した電圧レベルがV1で保持される。第2のトランジスタ
- 10 タ55のゲート電圧に保持される電圧レベルV1の大きさがドレイン電流を流すのに十分な大きさであれば、電圧レベルV1の大きさに対応した電流が第2のトランジスタ55のドレインに流れる。このドレイン電流が有機EL素子56の発光電流となる。輝度は発光電流の大きさに比例する。
- 15 第8図は、このような動作で発光する場合の輝度ばらつきの発生について説明するための特性図である。この特性図は第2のトランジスタ55のゲート・ソース間電圧とドレイン電流の関係を示したものである。第1のトランジスタ53や第2のトランジスタ55が低温ポリシリコンで構成される場合、低温ポリシリコンの製法上の関係から、表示パネル
- 20 全域にわたり同一特性のFETが得られない。例えば、第1のトランジスタ53や第2のトランジスタ55は第8図に示すような特性のばらつきをもつ。このような特性をもつ第2のトランジスタ55に電圧レベルV1が印加されると、ドレイン電流の大きさはIaからIbの幅でばらつく。有機ELは電流の大きさに比例した輝度で発光するので、第2の
- 25 トランジスタ55における特性のばらつきが発光輝度のばらつきとなって表れる。特に、第8図に示すような特性ばらつきは、アナログ量で輝

度変調する方式、すなわち電圧レベルV1の大きさを発光輝度を制御する方式では輝度ばらつきの発生を防止することができない。

そこで、第2のトランジスタ55のゲート・ソース間電圧とドレイン電流の関係を示した第9図において、電圧レベルV1が常に一定の値となるレベルで輝度制御するデジタル輝度制御方式では、電流が飽和したレベルを用いるので、アナログ輝度制御方式で発生した輝度ばらつきが防止できる。ところが、第10図に同様に示す第2のトランジスタ55のゲート・ソース間電圧とドレイン電流の関係を持つ特性のものでは、飽和電流が同一でないので、デジタル輝度制御方式においても、輝度ばらつきが発生する。第11図は、駆動素子の特性ばらつきを改善するその他の従来例である「Active Matrix OLED Displays with Po-Si TFT. The 10th International Workshop on Inorganic & OEL. p347~p356」に記載された画素駆動回路を示す回路図である。この従来例では、駆動素子としての第2のトランジスタ55A、55Bを並列に接続することにより上記特性のばらつきを平均化している。

また、駆動素子の特性ばらつきを自動的に補正する回路が提案されている。第11図は、{R. Dawson. et al. : Proc. of SID'99 (1999) p. 438}に示された画素内に設けられる駆動素子特性ばらつき自動補正回路である。本回路では、第1のトランジスタ、第2のトランジスタに加えて、2つのトランジスタを用いることにより、駆動素子の特性ばらつきを補正している。

第12図を用いて本回路の動作を説明する。まず第1の垂直走査線51を活性化することにより第1のトランジスタ53が導通し、第1の水平走査線52から第1のトランジスタ53および補助キャパシタ553

6

を介して第2のトランジスタ55が十分に導通する信号が入力される。この時、有機EL素子接続用垂直走査線552に制御される有機EL素子接続用トランジスタ555は導通しており、電源線57からの電流により有機EL素子56に電流が流れる。次に有機EL素子接続用垂直走査線552を非活性化するとともに、補正用垂直走査線551を活性化すると、有機EL素子56の電流が停止する一方、キャパシタ54と第2のトランジスタ55と補正用トランジスタ554の閉回路が形成され、キャパシタ54の電圧、すなわち第2のトランジスタ55のゲート・ソース間電圧は徐々に低下し、この電圧が第2のトランジスタ55の閾値電圧に達した時、この第2のトランジスタ55は非導通となるため上記閉回路はオープンとなる。したがって、キャパシタ54には閾値電圧分の電位がメモリされたことになる。次に補正用トランジスタ554を補正用垂直走査線551により非導通にし、有機EL素子接続用垂直走査線552を活性化することにより有機EL素子接続用トランジスタ555を導通状態にした後、第1の水平走査線52より有機EL素子56の必要輝度に応じたデータ信号を加えることにより、規定の輝度を実現する事ができる。本回路では、第2のトランジスタ55の閾値電圧を画素内のキャパシタ54にメモリすることで、閾値ばらつきを補正して、輝度ばらつきを低減している。

従来の自発光型表示装置は、以上のように構成されているので駆動素子であるトランジスタの閾値電圧がばらついた場合には、有機EL素子への印加電圧がばらつくことになり、同一階調の表示を行った場合に各画素で輝度がばらつくといった問題点があった。

一方、上記のような輝度ばらつきを抑制する目的で、トランジスタの閾値電圧ばらつきをキャンセルするため、第12図に示す構成のように、一つの画素内に4つのトランジスタを用いた自発光型表示装置ではト

ランジスタの閾値ばらつきは抑制できるものの、有機EL素子の場合、第13図に示すような輝度—素子印加電圧特性があり、発光閾値電圧のばらつきにより例えば特性A、B、Cをもつ。同一階調の表示を行うため同一の電圧 V_s を印加すると発光閾値電圧の違いにより、各画素の輝度は B_o 、 B_a 、 B_b として示す値にばらつきが生じ、有機EL素子自体の上記特性のばらつきに起因する輝度のばらつきは抑制することができない。

発明の開示

10 この発明の第1の構成による自発光型表示装置は、マトリクス状に配列された複数の発光素子と、各々の発光素子に対して少なくとも一つ設けられ、発光素子からの発光を受光するように形成された光検知素子とを備え、光検知素子の信号により発光素子の発光量を制御するものである。

15 この構成によれば、トランジスタの閾値電圧を補正して輝度ばらつきを抑制することができる。

この発明の第2の構成による自発光型表示装置は、複数の第1の垂直走査線および第1の水平走査線と、第1の垂直走査線の各々に交わるように配設された複数の第1の水平走査線と複数の電源線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に接続されマトリクス状に配列された発光素子とを備えた自発光型表示装置において、
25 第1の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され

、光検知素子と抵抗との接続点の電位に制御される第3のトランジスタを備え、第3のトランジスタを介して電源線が第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するようにしたものである。

- 5 この構成によれば、簡単な回路でトランジスタの閾値電圧ばらつきを検出することができる。

この発明の第3の構成による自発光型表示装置は、第2の構成による自発光型表示装置において、受光素子の信号を第2の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納す
10 るためのメモリと、メモリのデータに基づき発光素子に与える信号電圧を変調して第1の水平走査線に印加する手段とを備えたものである。

この構成によれば、メモリのデータに基づき発光素子に与える信号電圧を変調することができ、輝度ばらつきを抑制することができる。

この発明の第4の構成による自発光型表示装置は、複数の第1の垂直
15 走査線および第1の水平走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のト
20 ランジスタを介して、電源線に接続されマトリックス状に配列された発光素子とを備えた表示装置において、第1の垂直走査線で制御される第4のトランジスタを備えた自発光型表示装置において、第1の垂直走査線と電源線との間に光検知素子とキャパシタが直列に接続され、光検知素子とキャパシタとの接続点が第4のトランジスタを介して第2の水平
25 走査線に接続され、光検知素子が発光素子からの光を受光するように構成したものである。

この構成によれば、直流電流を抑制することができ、消費電力を抑制しながらトランジスタの閾値電圧ばらつきを検出することができる。

この発明の第5の構成による自発光型表示装置は、この発明の第4の構成による自発光型表示装置において、光検知素子の信号を前記第2の
5 水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリと、メモリのデータに基づき発光素子に与える信号電圧を変調して前記第1の水平走査線に印加する手段とを備えたものである。

この構成によれば、メモリのデータに基づき発光素子に与える信号電
10 圧を変調することができ、消費電力を抑えながら輝度ばらつきを抑制することができる。

この発明の第6の構成による自発光型表示装置は、複数の第1の垂直走査線および第1の水平走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のト
15 ランジスタと、第1のトランジスタと第2のキャパシタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタと第2のキャパシタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して電源線に接続されマトリックス状に配列された複数の発光素子と、第2の垂直走
20 査線に制御され第2のトランジスタの制御線と発光素子の間に設けられた第5のトランジスタとを備えた自発光型表示装置において、第2のトランジスタの制御線と発光素子の間に前記第5のトランジスタと直列に第6のトランジスタが設けられ、第2の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点が前記第
25 6のトランジスタの制御線に接続され、光検知素子が発光素子からの光を受光するように構成したものである。

この構成によれば、発光素子の発光閾値電圧を検知するようにしたので、トランジスタの閾値電圧ばらつきと発光素子の発光閾値電圧ばらつきを画素内で補正して、輝度ばらつきを抑制することができる。

この発明の第7の構成による自発光型表示装置は、この発明の第1構成による自発光型表示装置において、光検知素子が、アモルファスシリコンで構成されたものである。

この構成によれば、簡単なプロセスで光検知素子を形成することができ、輝度ばらつきの少ない自発光型表示装置を低コストで実現することができる。

10 この発明の第8の構成による自発光型表示装置は、この発明の第2、又は第6の構成による自発光型表示装置において、光検知素子と抵抗体が、いずれもアモルファスシリコンで構成され、抵抗体を構成するアモルファスシリコンと発光素子を構成するアモルファスシリコンとの間に遮光膜を形成したものである。

15 この構成によれば、輝度ばらつきの少ない自発光型表示装置を低コストで実現することができる。

図面の簡単な説明

第1図は、この発明の実施例1における画素駆動回路の構成を示す回路図である。

第2図は、この発明の実施例1における自発光型表示装置の制御回路の概略構成を示す概念図である。

第3図は、この発明の実施例1における画素駆動回路の構成を示す断面図である。

25 第4図は、この発明の実施例2における画素駆動回路の構成を示す回路図である。

第5図は、この発明の実施例3における画素駆動回路の構成を示す回路図である。

第6図は、この発明の実施例3における画素駆動回路の動作シーケンスを示す波形図である。

5 第7図は、従来の自発光型表示装置における画素駆動回路の構成を示す回路図である。

第8図は、従来の自発光型表示装置の動作を説明するための特性図である。

10 第9図は、従来の自発光型表示装置の動作を説明するための特性図である。

第10図は、従来の自発光型表示装置の動作を説明するための特性図である。

第11図は、従来の他の自発光型表示装置における画素駆動回路を示す回路図である。

15 第12図は、従来の他の自発光型表示装置における画素駆動回路を示す回路図である。

第13図は、従来の自発光型表示装置の動作を説明するための特性図である。

発明を実施するための最良の形態

20 以下、この発明の実施例を図に従って説明する。なお、図中、同一符号は同一または相当部分を示す。

実施例1

25 第1図は、この発明の実施例1による自発光型表示装置の一つの画素に対応した画素駆動回路(図中上の半分)を示す回路図である。図において、51は第1の垂直走査線、52は第1の水平走査線、53は第1のトランジスタ、54はキャパシタ、55は第2のトランジスタ、56は

発光素子であり、有機EL素子からなる。なお、キャパシタ54の一端、及び有機EL素子56のカソード側は接地されているが固定電位であればよい。57は電源線である。また、8は光検知素子、9は抵抗であり、この光検知素子8と抵抗9は、第1の垂直走査線51と次段の第1の垂直走査線57との間において、互いに直列に接続されている。10は光検知素子8と抵抗9との接続点にゲートが接続された第3のトランジスタ、11は第2の水平走査線であり、この第2の水平走査線11には第3のトランジスタ10のドレインが接続されている。なお、図の下半分の構成は、次段の構成であり、上半分と同一の構成であるので説明は省略する。また、この画素駆動回路は、マトリックス状に配列されているが、この構成は従来と同じであるため、記載を省略する。

次に動作について説明する。

第1の垂直走査線51が活性化されると第1のトランジスタ53は導通状態となり、第1の水平走査線52の電圧が第1のトランジスタを介してキャパシタ54に充電される。同時にキャパシタ54に充電された電圧は第2のトランジスタ55のゲートに接続されているので第2のトランジスタ55は導通状態になり、電源線57から有機EL素子56に電流を供給し、有機EL素子56は光を発するが、第2のトランジスタ55のゲートに印加される電圧値によって発光量が制御されるとともに、キャパシタ54によりその電圧は維持され有機EL素子56は第1の垂直走査線51が非活性化され、第1のトランジスタ53は非導通状態になった後も発光し続けることは既に述べた。

ところで、有機EL56素子に流れる電流は第2のトランジスタ55のゲートに印加される電圧値により制御されるが、その電流値 I_d と第2のトランジスタ55のゲートに印加される電圧値 V_g とは(1)式の関係がある。

$$I_d = k \times V_d \times (V_g - V_{th}) \dots (1)$$

ここで V_d はトランジスタのソースドレイン間に印加される電圧、 V_{th} はトランジスタの閾値電圧、 k は第2のトランジスタ55のチャンネル長、チャンネル幅やキャリア移動度で決まる定数である。すなわち、
5 第2のトランジスタ55の電流値 I_d は、第2のトランジスタ55のゲート電圧 V_g からトランジスタの閾値電圧 V_{th} の差により決定されるが、 V_{th} にはトランジスタ毎にばらつきが大きいいため、同一の V_g を印加したとしても同一の輝度をえることはできないことも既に述べた。

この実施例1では、有機EL素子56の光を光検知素子8により検知
10 できるように構成されている。第1の垂直走査線51が活性化されると、光検知素子8および抵抗9には電源線57と第1の垂直走査線51との間の電圧が印加される。同時に第1の水平走査線52には輝度データに対応した電圧が印加され、有機EL素子56が発光するが、この発光により光検知素子8の抵抗値が急激に低下し、光検知素子8と抵抗9の
15 接続点の電圧は第1の垂直走査線51の電圧に近づく。この接続点は第3のトランジスタ10のゲートに接続されているため、この電圧により第3のトランジスタ10は導通し、第2の水平走査線11は第3のトランジスタ10を介して電源線57と接続され、第2の水平走査線11の電位は電源線57の電位と概ね同一となる。このため第2の水平走査線
20 11の電位を観測することにより、活性化された第1の垂直走査線51に対応する有機EL素子56が発光したことを検知することができる。

すなわち、第1の水平走査線52の電圧データを順次変化、例えば、階段状に電圧を上昇させていくことにより、有機EL素子56が発光を始める電圧が判明する。

25 第2図は、この実施例1による自発光型表示装置の制御回路を示す。図中、21は制御回路27(後述)からの垂直走査線信号に基づき第1の

垂直走査線 5 1 を制御する垂直走査回路、 2 2 は第 1 の水平走査線 5 2 を制御する第 1 の水平走査回路、 2 3 は第 2 の水平走査線 1 1 を制御する第 2 の水平走査回路、 2 4 は有機 EL 素子 5 6 および光検知素子 8 を含む多数の画素がマトリクス状に形成された表示部分、 2 5 は光検知素子 8 で検知された時点における所定画素のアドレスにおける第 1 の水平走査線 5 2 の電圧(第 1 の水平走査線信号)をデータとして記憶するメモリ、 2 6 は第 1 の水平走査線 5 2 に印加する電圧をメモリ 2 5 のデータに基づき変換するための電圧変換回路、 2 7 は、垂直走査回路 2 1 へ垂直同期信号を、電圧変換回路 2 6 へ輝度データを、そして画素のアドレスに関するデータをメモリ 2 5 へ送る。上記電圧変換回路 2 6 では、具体的には、メモリ 2 5 に記憶された各画素が発光し始める電圧を、画素を光らせようとする輝度に対応した電圧に加え、制御回路 2 7 から送られた輝度データの最小階調に対応させてその他の各階調の輝度データを電圧変換回路 2 6 により信号電圧データに変調し、第 1 の水平走査線 2 2 へ印加している。

主要な動作を説明する。

光検知素子 8 により有機 EL 素子 5 6 の発光が検知されると、第 2 の水平走査線 1 1 の電位信号が発光のタイミング信号としてメモリ 2 5 へ送られるとともに、光検知素子 8 で検知された時点における第 1 の水平走査線 5 2 の電圧信号がメモリ 2 5 へ送られる。メモリ 2 5 では、上記タイミング信号に基づいて、制御回路 2 7 から送られた有機 EL 5 6 に対応した画素のアドレスのデータと関連づけて、上記第 1 の水平走査線 5 2 の電圧信号がメモリ 2 5 に記憶される。メモリ 2 5 には、各行毎の各画素について第 1 の水平走査線 5 2 の電圧信号が記憶され、各列についても各画素ごとに同様に記憶される。メモリ 2 5 の記憶動作は、次のフレームとして第 1 の垂直走査線 5 1 による走査が行われるまで継続さ

れるる。次のフレームにおいては上記動作が繰り返される。

第3図は、この実施例1にかかわる画素部の断面図を示す。図において、40は透明絶縁基板、41は遮光膜、42はホール注入層、43は電子注入層、44は発光層、56は有機EL素子である。

5 第3図において、透明絶縁基板40上に第1のトランジスタ53、第2のトランジスタ55、第3のトランジスタ10およびキャパシタ54が形成されている。層間絶縁膜を形成し、その上にアモルファスシリコン層を形成し、電極を設けることにより、光検知素子8および抵抗9を
10 形成するが、抵抗9の上にのみ遮光膜41を配することにより、同一のアモルファスシリコンにより光検知素子8と抵抗9を作り分けることができる。さらに層間絶縁膜を介してホール注入層42、発光層44、電子注入層43を積層して有機EL素子56を構成することにより、有機EL素子56と光検知素子8とを一对とした自発光型表示装置を実現することができる。

15 実施例1による自発光型表示装置の画素駆動回路は以上のように構成されているので、あらかじめ各画素が光り始める電圧を光検知素子8によって検知し、その電圧をメモリ25に記憶させておくことができ、また各画素に要求される輝度を正確に表示させるため輝度に対応した電圧に有機EL素子56が光り始める閾値電圧を加えることができるので、
20 第2のトランジスタ55の閾値ばらつきに左右されず所望の輝度で表示することができる。

実施例2

第4図は、この発明の実施例2を示し、自発光型表示装置における一つの画素の画素駆動回路を示す回路図である。図において、51は第1の垂直走査線、52は第1の水平走査線、53は第1のトランジスタ、
25 54はキャパシタ、55は第2のトランジスタ、56は有機EL素子、

5 7は電源線である。なお、キャパシタ5 4の一端、及び有機EL素子5 6のカソード側は接地されているが固定電位であればよい。また、8は光検知素子、1 1は第2の水平走査線、3 0は第4のトランジスタ、3 1は第2のキャパシタである。本実施例では、光検知素子8の一方の
5 端子は、電源線5 7に接続されており、他方の端子は第2のキャパシタ3 1を介して第1の垂直走査線5 1に接続される。第4のトランジスタ3 0のゲート端子は第1の垂直走査線5 1に接続されて第1の垂直走査線5 1で制御されるとともに、ソース端子は光検知素子8と第2のキャ
10 キャパシタとの接続点に接続されており、導通時には光検知素子8と第2のキャパシタにおける接続点の電位を第2の水平走査線1 1に与えるように構成されている。第4のトランジスタ3 0のドレイン端子は第2の水平走査線に接続されている。

次に動作について説明する。

実施例2においては、上記のように電気回路が構成されているので、
15 第1の垂直走査線5 1が活性化されたときには、第1のトランジスタ5 3、および第4のトランジスタ3 0は共に導通状態となる。第1の水平走査線5 2からデータがキャパシタ5 4に書き込まれる。そのデータの電圧値が第2のトランジスタ5 5を導通できる電圧、すなわち第2のトランジスタ5 5の閾値電圧に達しない時は、有機EL素子5 6は光を
20 発しないので、光検知素子8は高抵抗のまま維持され、光検知素子8と第2のキャパシタの接続点における電位は電源線5 7の電位から第1の垂直走査線5 1の活性化電圧分だけ引き込まれた電圧が第4のトランジスタ3 0を介して第2の水平走査線1 1に供給される。一方、第1の水平走査線5 2から供給されるデータの電圧が第2のトランジスタ5 5を導
25 通できる電圧に達した時は、有機EL素子5 6に電流が供給され、有機EL素子5 6は光を発することになる。この光を光検知素子8が検知す

ると光検知素子 8 の抵抗値が低下し、概ね電源線 5 7 の電位が第 4 のトランジスタ 3 0 を介して第 2 の水平走査線 1 1 に供給される。

このように、第 1 の水平走査線 5 2 に与えられるデータの電圧により、第 2 のトランジスタ 5 5 の閾値電圧が検知できることになり、実施の形態 1 の場合と同様に、その電圧をメモリ 2 5 に記憶させておくことができ、また各画素に要求される輝度を正確に表示させるため輝度に対応した電圧に有機 EL 素子 5 6 が光り始める閾値電圧を加えることができるので、第 2 のトランジスタ 5 5 の閾値ばらつきに左右されず所望の輝度で表示させることができる。

10 実施の形態 3

第 5 図は、この発明の実施例 3 を示し、自発光型表示装置における一つの画素の画素駆動回路を示す回路図である。図において、5 1 は第 1 の垂直走査線、5 2 は第 1 の水平走査線、5 3 は第 1 のトランジスタ、5 4 はキャパシタ、5 5 は第 2 のトランジスタ、5 6 は有機 EL 素子で構成されている。5 7 は電源線、8 は光検知素子、9 は抵抗である。また、5 5 1 は補正用の第 2 の垂直走査線、5 5 3 は補助用の第 3 のキャパシタ、5 5 4 は補正用の第 5 のトランジスタ、3 5 は第 6 のトランジスタである。なお、有機 EL 素子 5 6 のカソード側は接地されているが、固定電位であればよい。

20 なお、図の下半分の構成は、次段の構成であり、上半分と同一の構成であるので説明は省略する。また、この画素駆動回路は、マトリクス状に配列されているが、この構成は従来と同じであるため、記載を省略する。

次に第 6 図の波形図を参照し動作について説明する。図において、波形 A は第 1 の垂直走査信号、波形 B は第 1 の水平走査信号、波形 C は補正用の垂直走査信号、波形 D は第 2 のトランジスタのゲート電圧、波形

Eは有機EL素子の発光強度、波形FはノードZの電圧をそれぞれ示している。

第6図のタイミングT1において、波形Aに示す第1の垂直走査線信号に基づき第1の垂直走査線51を活性化することにより第1のトランジスタ53が導通する。第6図のタイミングT2において、キャパシタ54には第1の水平走査線52から第1のトランジスタ53および補助用の第3のキャパシタ553を介して第2のトランジスタ55が十分に導通する第1の水平走査線信号(波形B)が入力される結果、キャパシタ54の充電電圧、すなわち第2のトランジスタ55のゲート・ソース間電圧(波形D)が大きくなり、第2のトランジスタ55の抵抗が低下する。これに伴い有機EL素子56の両端に印加される電圧が大きくなり、その電圧は有機EL素子56が導通する閾値電圧を十分に超えるように設定しておくことにより、電源線57から第2のトランジスタ55、有機EL素子56を介して電流が流れ、第6図のタイミングT3において、有機EL素子56は発光する(波形E)。この発光が光検知素子8に入射されるように構成されているので、その光により光検知素子8の抵抗値は下って、第6のトランジスタ35のゲート電位、すなわち第5図のノードZは補正用垂直走査線551の電位と同等になり、第6のトランジスタ35は補正用垂直走査線551により制御されるようになる。

第6図のタイミングT4において、補正用の垂直走査線信号(波形C)により補正用垂直走査線551が活性化されると、補正用の第5のトランジスタ554、および第6のトランジスタ35が同時に導通し、これにより、キャパシタ54と第2のトランジスタ55と補正用の第5のトランジスタ554と第6のトランジスタ35による閉回路が形成される。この閉回路はキャパシタ54の放電回路を形成しているため、キャパシタ54の電圧、すなわち第2のトランジスタ55のゲート・ソース間

電圧(波形D)は低下していく。したがって、第2のトランジスタ55の抵抗値は再び大きくなるにつれて、有機EL素子56に流れる電流値が小さくなるとともに、有機EL素子56の両端に印加される電圧は低下していき、電圧値が有機EL素子56の閾値電圧より小さくなると、ついに有機EL素子56には電流が流れなくなり、第6図のタイミングT5において、波形Eに示すように有機EL素子56からの発光が停止する。

有機EL素子56の発光が停止すると、光検知素子8の抵抗値が上昇することにより、ノードZは電源線57の電位に等しくなり、第6のトランジスタ35は非導通となるため(波形F)、キャパシタ54と第2のトランジスタ55と補正用の第5のトランジスタ554と第6のトランジスタ35による閉回路はオープンとなり、キャパシタ54の放電は止まり、最終的に第2のトランジスタ55と有機EL56が直列に接続された回路に電源線57から電流を流すために必要なゲート・ソース間電圧に等しい電位がキャパシタ54にメモリされたまま残ることになる。

キャパシタ54にメモリされた電圧は、次のフレームとして第1垂直走査線51による活性化が行われるまで保持される。

次に第6図のタイミングT6において、補正用の第5のトランジスタ554を補正用垂直走査線551により非導通にした後、第6図のタイミングT7において第1の水平走査線52より有機EL素子56の必要輝度に応じたデータ信号(P)を加えることにより、第2のトランジスタ55の閾値電圧と有機EL素子56の閾値電圧の両方を補正することができ、有機EL素子56の輝度ばらつきを抑制することができる。キャパシタ54にメモリされた電圧は、次のフレームとして第1垂直走査線51による活性化が行なわれるまで保持される。

一面素について画素駆動回路の動作を説明したが、マトリックス状に

20

配置された各画素について、同様な動作が行われ、画面全体において輝度ばらつきのない自発光型表示装置を実現することができる。

以上回路構成ではすべてのトランジスタをP型として説明したが、P型に限るものではない。

- 5 また、以上の説明では、表示素子である発光素子として有機EL素子を用いたが、発光素子としては無機EL素子等でもよく、有機EL素子に限るものではない。

産業上の利用性

- 10 この発明は、発光素子の電流を制御するトランジスタの閾値電圧のばらつきと、発光素子の発光閾値電圧のばらつきとを抑制することができるため、発光素子の輝度ばらつきを抑制し、自発光型表示装置に有効に利用することができる。

15

20

25

請求の範囲

1. マトリクス状に配列された複数の発光素子と、各発光素子に対して少なくとも一つ設けられ、発光素子からの発光を受光するように形成された光検知素子とを備え、光検知素子の信号により発光素子の発光量を制御することを特徴とする自発光型表示装置。
2. 複数の第1の垂直走査線および第1の水平走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に各々接続されマトリクス状に配列された複数の発光素子とを備えた自発光型表示装置において、第1の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点の電位に制御される第3のトランジスタを備え、第3のトランジスタを介して電源線が第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成された自発光型表示装置。
3. 前記検知素子の信号を前記第2の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリと、メモリのデータに基づき発光素子に与える信号電圧を変調して前記第1の水平走査線に印加する手段とを備えたことを特徴とする請求の範囲第2項記載の自発光型表示装置。
4. 複数の第1の垂直走査線および第1の水平走査線と、第1の垂直走

査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に接続されマトリクス状に配列された複数の発光素子とを備えた自発光型表示装置において、第1の垂直走査線で制御される第4のトランジスタを備え、第1の垂直走査線と電源線との間に光検知素子とキャパシタが直列に接続され、光検知素子とキャパシタとの接続点が前記第4のトランジスタを介して第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成された自発光型表示装置。

5. 前記光検知素子の信号を第2の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリと、メモリのデータに基づき発光素子に与える信号電圧を変調して第1の水平走査線に印加する手段とを備えたことを特徴とする請求の範囲第4項記載の自発光型表示装置。

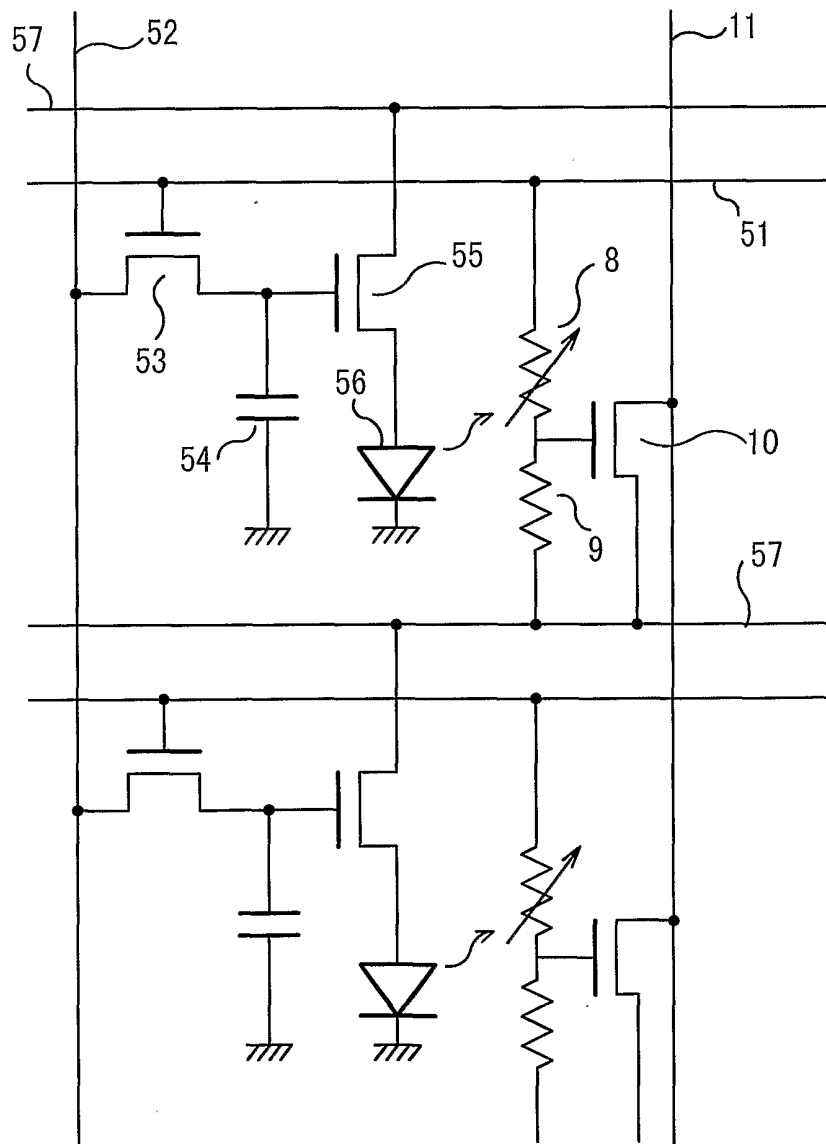
6. 複数の第1の垂直走査線および第1の水平走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタと第3のキャパシタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタと第3のキャパシタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して電源線に接続されマトリクス状に配列された複数の発光素子

と、第2の垂直走査線に制御され第2のトランジスタの制御線と発光素子の間に設けられた第5のトランジスタとを備えた自発光型表示装置において、第2のトランジスタの制御線と発光素子の間に前記第5のトランジスタと直列に第6のトランジスタが設けられ、第2の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点が前記第6のトランジスタの制御線に接続され、光検知素子が発光素子からの光を受光するように構成された自発光型表示装置。

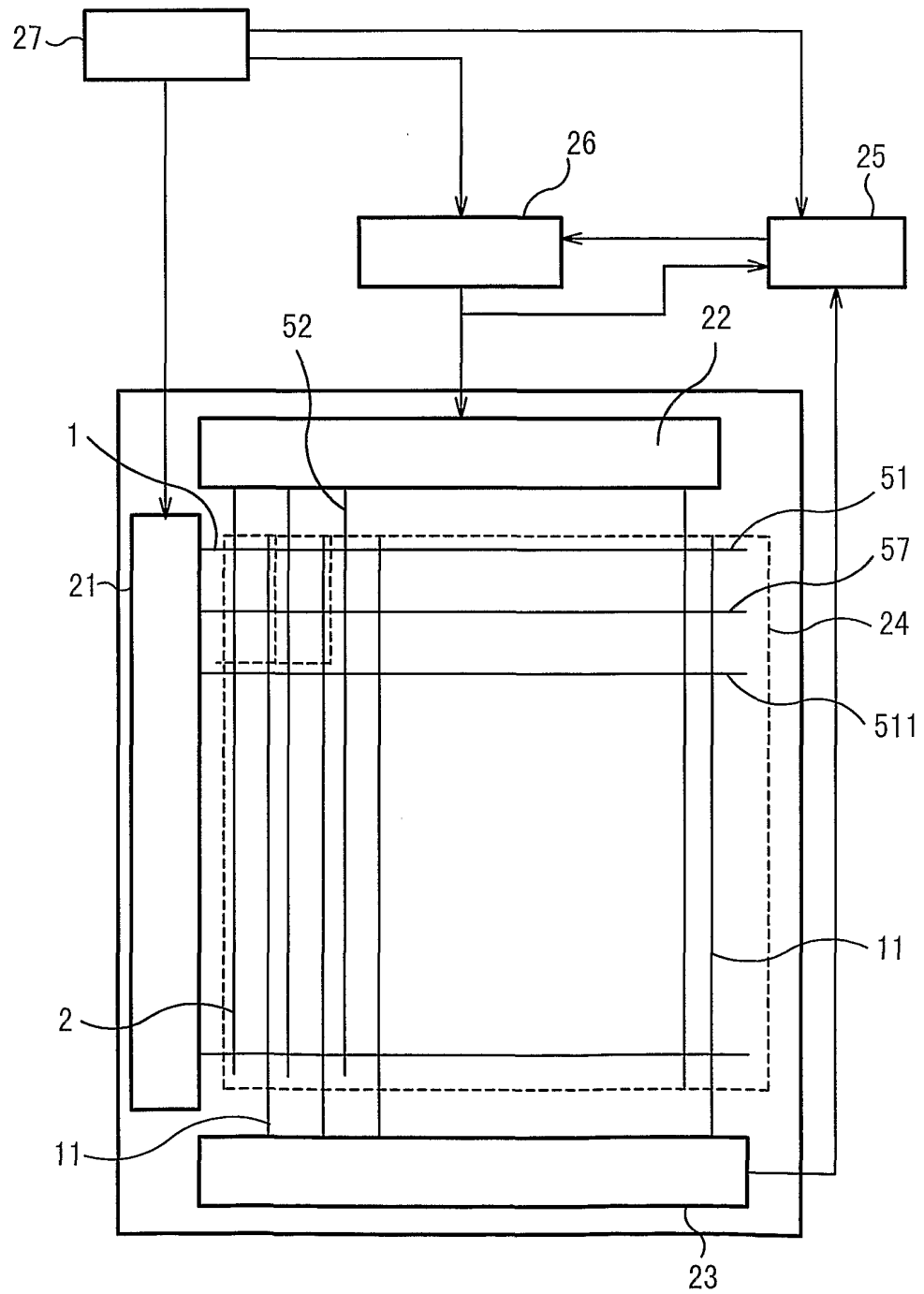
7. 前記光検知素子が、アモルファスシリコンで構成されたことを特徴とする請求の範囲第1項記載の自発光型表示装置。

8. 前記光検知素子と抵抗体が、いずれもアモルファスシリコンで構成され、抵抗体を構成するアモルファスシリコンと発光素子を構成するアモルファスシリコンとの間に遮光膜を形成したことを特徴とする請求の範囲第2項又は第6項に記載の自発光型表示装置。

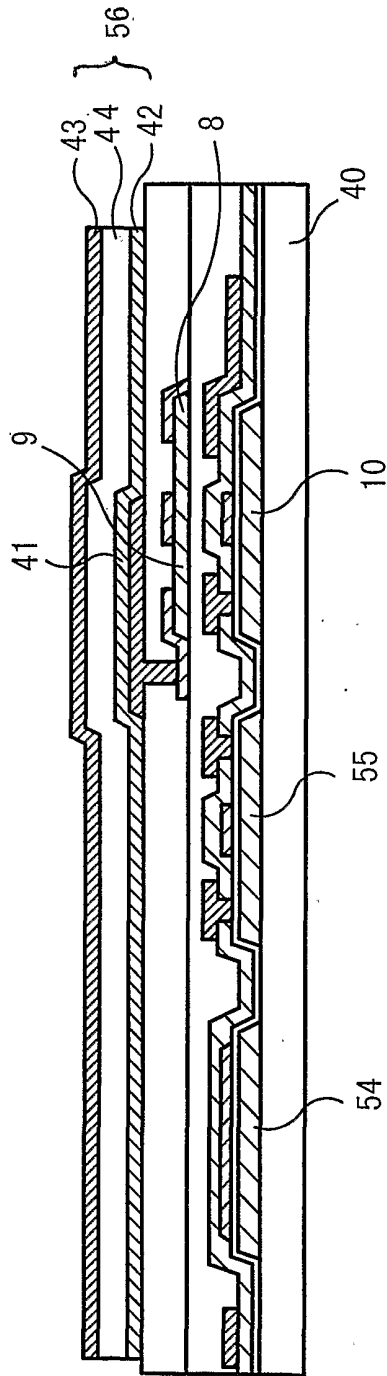
第 1 图



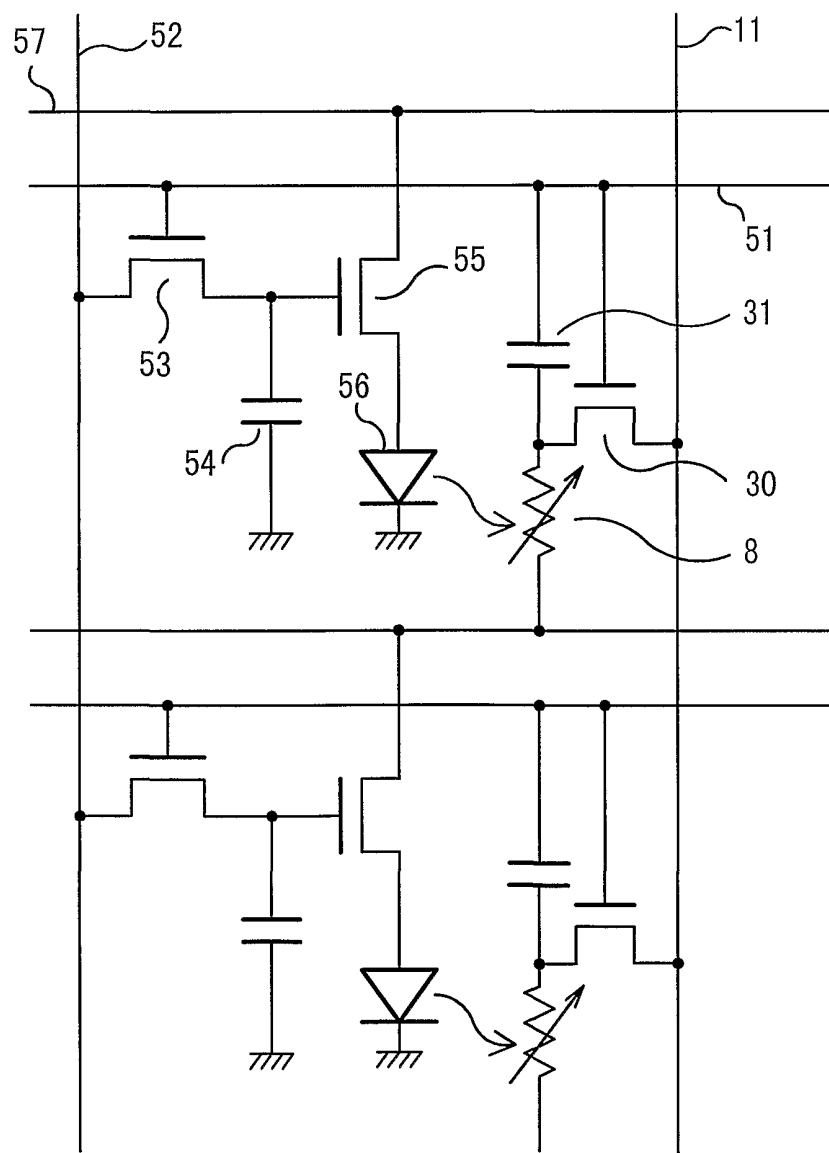
第 2 図



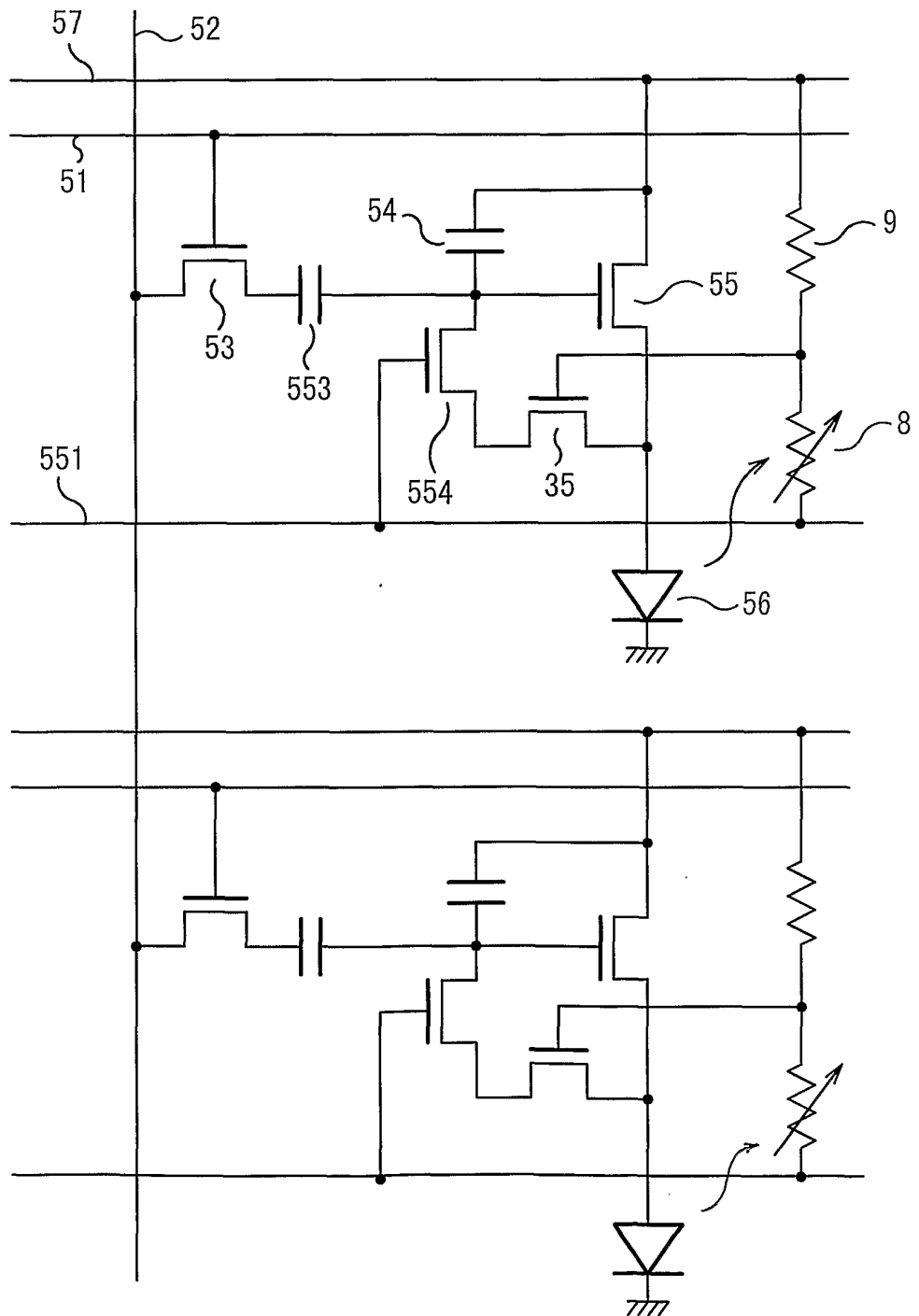
第 3 图



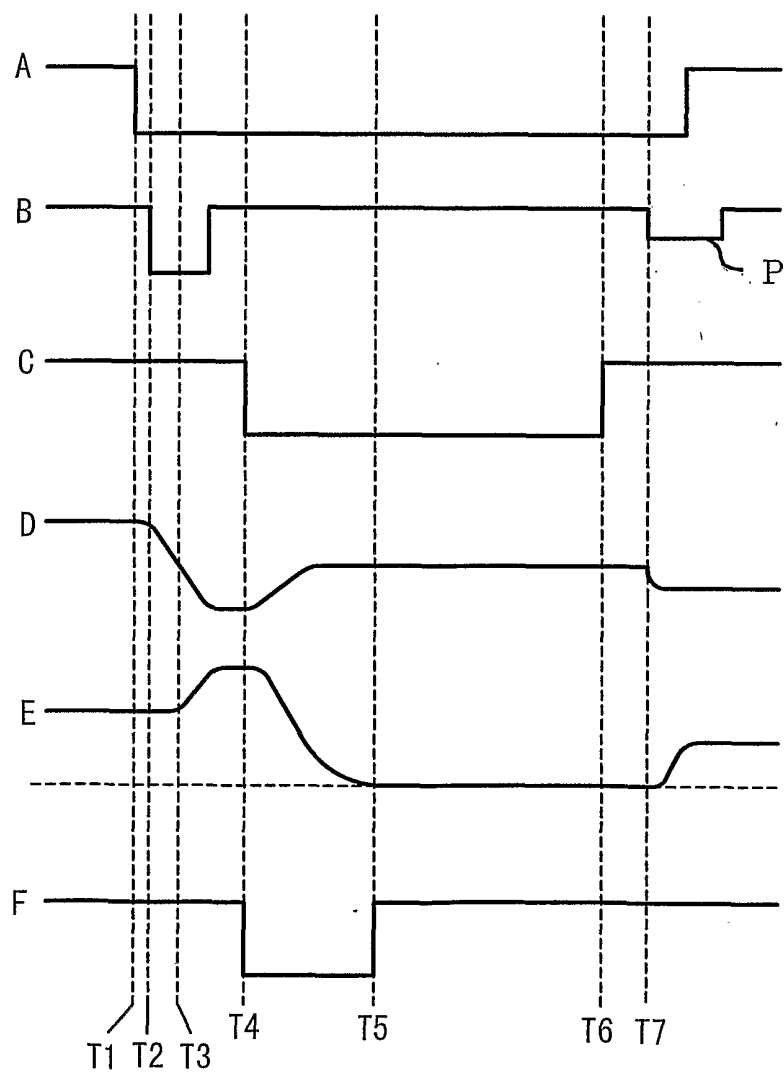
第 4 图



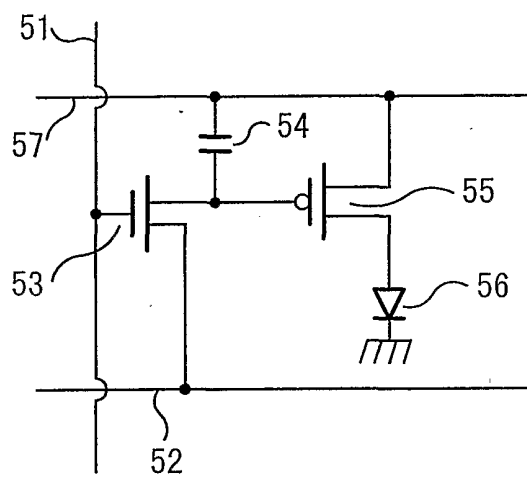
第 5 图



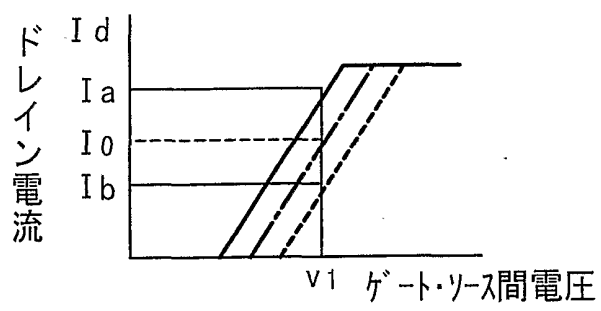
第 6 图



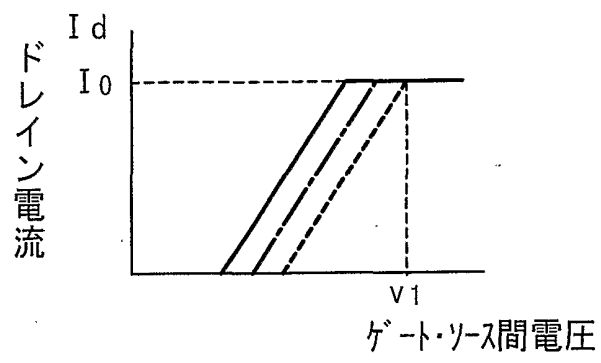
第 7 图



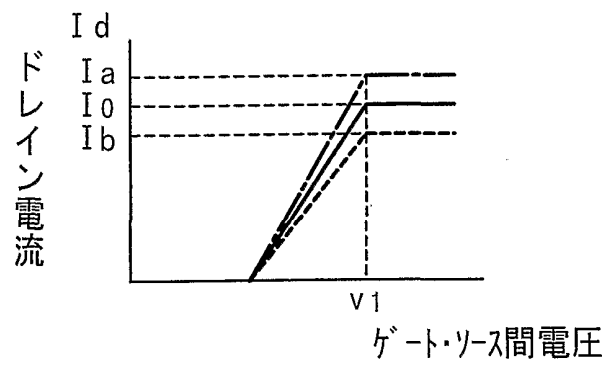
第 8 図



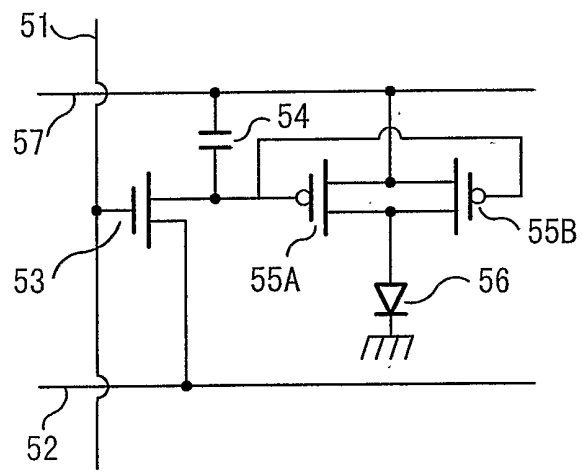
第 9 図



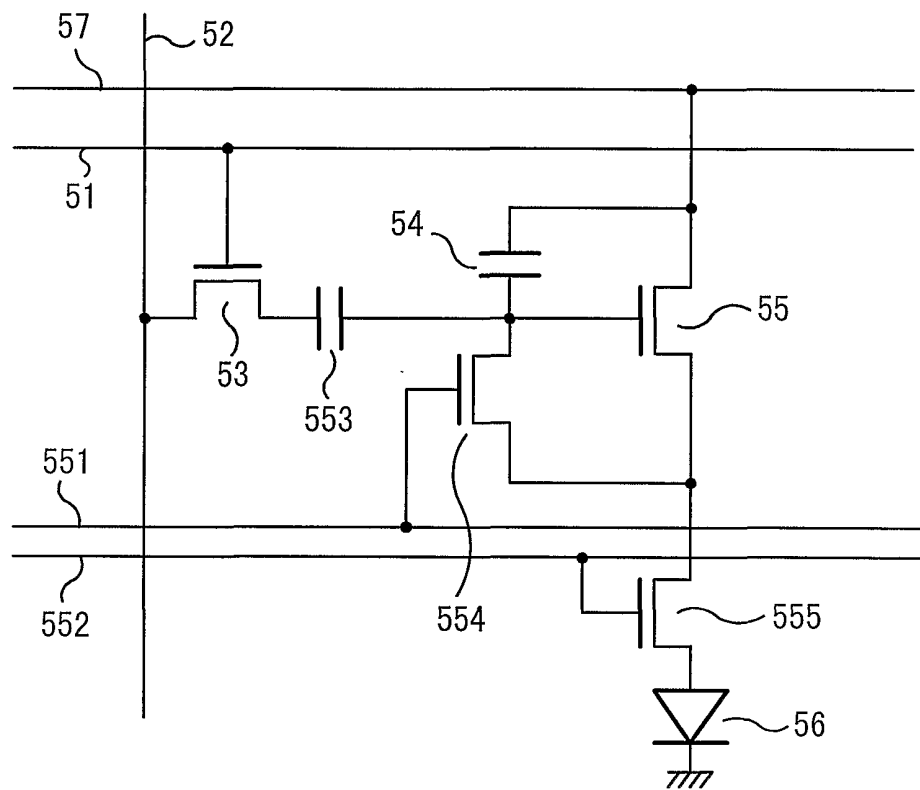
第 10 図



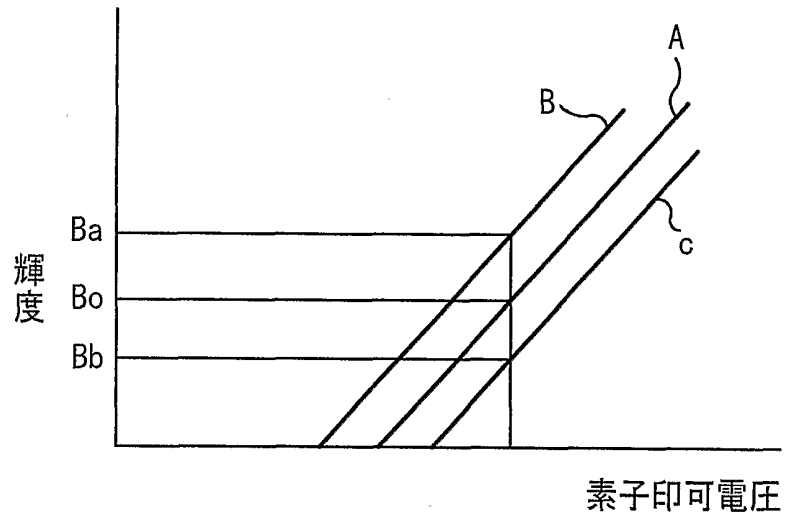
第 11 図



第 12 图



第 13 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02493

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ G09G3/30, 3/20</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																	
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ G09G3/30, 3/20</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																	
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 98/40871, A (Seiko Epson Corp.), 17 September, 1998 (17.09.98), Full text; all drawings & EP 923067 A</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2001-67018 A (Semiconductor Energy Laboratory Co., Ltd.), 16 March, 2001 (16.03.01), (Family: none)</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2001-56667 A (TDK K.K.), 27 February, 2001 (27.02.01), (Family: none)</td> <td>1-8</td> </tr> <tr> <td>P,A</td> <td>JP 2001-75524 A (Rohm Co., Ltd.), 23 March, 2001 (23.03.01), (Family: none)</td> <td>1-8</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	WO 98/40871, A (Seiko Epson Corp.), 17 September, 1998 (17.09.98), Full text; all drawings & EP 923067 A	1-8	A	JP 2001-67018 A (Semiconductor Energy Laboratory Co., Ltd.), 16 March, 2001 (16.03.01), (Family: none)	1-8	A	JP 2001-56667 A (TDK K.K.), 27 February, 2001 (27.02.01), (Family: none)	1-8	P,A	JP 2001-75524 A (Rohm Co., Ltd.), 23 March, 2001 (23.03.01), (Family: none)	1-8
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
A	WO 98/40871, A (Seiko Epson Corp.), 17 September, 1998 (17.09.98), Full text; all drawings & EP 923067 A	1-8															
A	JP 2001-67018 A (Semiconductor Energy Laboratory Co., Ltd.), 16 March, 2001 (16.03.01), (Family: none)	1-8															
A	JP 2001-56667 A (TDK K.K.), 27 February, 2001 (27.02.01), (Family: none)	1-8															
P,A	JP 2001-75524 A (Rohm Co., Ltd.), 23 March, 2001 (23.03.01), (Family: none)	1-8															
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>																	
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>		<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>															
<p>Date of the actual completion of the international search 05 April, 2002 (05.04.02)</p>		<p>Date of mailing of the international search report 16 April, 2002 (16.04.02)</p>															
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>															
<p>Facsimile No.</p>		<p>Telephone No.</p>															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02493

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2001-292276 A (Semiconductor Energy Laboratory Co., Ltd.), 19 October, 2001 (19.10.01), (Family: none)	1-8
P,A	JP 2001-265283 A (Semiconductor Energy Laboratory Co., Ltd.), 28 September, 2001 (28.09.01), (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ G09G3/30, 3/20

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ G09G3/30, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)


C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 98/40871 A (SEIKO EPSON CORPORATION) 1998.09.17, 全文全図 & EP 923067 A	1-8
A	JP 2001-67018 A (株式会社半導体エネルギー研究所) 2001.03.16 (ファミリー無し)	1-8
A	JP 2001-56667 A (ティーディーケイ株式会社) 2001.02.27 (ファミリー無し)	1-8

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 05.04.02
 国際調査報告の発送日 16.04.02

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JJP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴野 幹夫 電話番号 03-3581-1101 内線 6489	2G 8621 
---	--	--

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	JP 2001-75524 A (ローム株式会社) 2001. 03. 23 (ファミリー無し)	1-8
PA	JP 2001-292276 A (株式会社半導体エネルギー研究所) 2001. 10. 19 (ファミリー無し)	1-8
PA	JP 2001-265283 A (株式会社半導体エネルギー研究所) 2001. 09. 28 (ファミリー無し)	1-8