

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/283

H01L 21/82



# [12] 发明专利说明书

[21] ZL 专利号 02137198.9

[45] 授权公告日 2005 年 2 月 16 日

[11] 授权公告号 CN 1189923C

[22] 申请日 2002.9.27 [21] 申请号 02137198.9

[71] 专利权人 上海华虹(集团)有限公司

地址 200020 上海市淮海中路 918 号 18 楼

[72] 发明人 缪炳有 徐小诚

审查员 闫立刚

[74] 专利代理机构 上海正旦专利代理有限公司

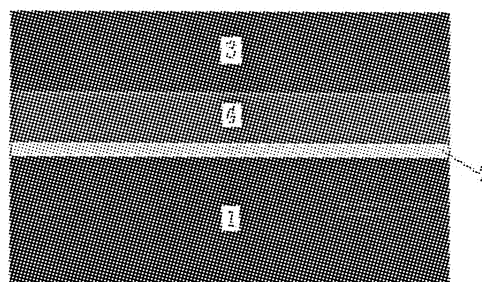
代理人 陶金龙 陆 飞

权利要求书 1 页 说明书 4 页 附图 1 页

[54] 发明名称 一种高介电栅介质结构及其制备方法

[57] 摘要

本发明属于半导体集成电路制造工艺技术领域,具体涉及一种高介电栅介质的堆层结构。随着器件尺寸的不断缩小,当栅氧厚度 $<1.5\text{nm}$ 时,穿过栅氧的漏电流太大,不得不寻求高介电材料来替代二氧化硅。然而,单一的高介电栅材料很难满足其要求,因此,多层栅介质的组合成为一种可行的方案。本发明设计了一种栅介质双层结构,即: $\text{Al}_2\text{O}_3/\text{BaO} + \text{Al}_2\text{O}_3$ 结构。 $\text{Al}_2\text{O}_3$ 的带隙是 $8.8\text{eV}$ ,介电常数 $\sim 10$ ,导带偏移为 $2.8\text{eV}$ ,与 $\text{SiO}_2$ 在带隙和能带组合上相似,适合作界面层,用介电常数较高的 $\text{BaO}$ ( $k > 20$ )来提高整体的介电常数值。另外,采用金属栅 $\text{TiN}$ 做电极,避免了多晶硅耗尽和硼穿透。



ISSN 1008-4274

1. 一种栅介质结构，其特征在于以  $\text{Al}_2\text{O}_3$  作为界面确定层，采用  $\text{BaO}+\text{Al}_2\text{O}_3$  混合层以提高介电常数，且  $\text{BaO}+\text{Al}_2\text{O}_3$  混合层形成在  $\text{Al}_2\text{O}_3$  界面确定层上，组成  $\text{Al}_2\text{O}_3/\text{BaO}+\text{Al}_2\text{O}_3$  栅介质双层结构。

2. 根据权利要求 1 所述的栅介质结构，其特征在于采用金属栅做电极。

3. 根据权利要求 1 所述的栅介质结构，其特征在于  $\text{Al}_2\text{O}_3$  厚度为 0.3-0.8nm， $\text{BaO}+\text{Al}_2\text{O}_3$  厚度为 3-5nm。

4. 一种如权利要求 1 所述的介质结构的制备方法，其特征在于具体步骤如下：先将硅片表面的自然  $\text{SiO}_2$  去除；然后采用原子层生长法或金属有机气相沉积法或溶胶-凝胶法在表面氢化的硅片上依次生长  $\text{Al}_2\text{O}_3$ 、 $\text{BaO}+\text{Al}_2\text{O}_3$  混合层，最后用低温工艺沉积金属栅 TiN。

5. 根据权利要求 4 所述的制备方法，其特征在于上述的硅片表面自然氧化层  $\text{SiO}_2$  用 HF 酸蒸汽除去，表面悬挂键被氢饱和，成为疏水性表面。

## 一种高介电栅介质结构及其制备方法

### 技术领域

本发明属于半导体集成电路制造工艺技术领域，具体涉及一种高介电栅的堆层结构 (high-k stack)。

### 背景技术

在 CMOS IC 制造过程中，单元器件的持续缩小要求栅介质厚度不断减少。这种要求来自两方面的考虑：1. 控制短沟道效应；2. 实现高电流驱动——在供给电压降低的同时，仍保持沟道中诱导电荷的数量足够大。在这两种情形下，就一级近似而言，栅介质的电学厚度是重要的。反型时的电学厚度是由三个串联电容决定的，即：栅电极的耗尽电容、栅介质电容和硅衬底反型层电容，如图 1 所示。另一方面，随着栅介质物理厚度的减小，通过栅的直接隧穿电流按指数增加；该隧穿电流直接影响芯片的待机电压，并对栅介质非衰退的物理厚度给定了下限；甚至对高性能系统（隧穿栅电流不重要），当 SiO<sub>2</sub> 栅的厚度 < 0.8 nm，其隧穿栅电流也不能承受。为了减少栅隧穿电流和由于多晶硅耗尽引起的栅电容衰减，其解决方法是：引进新材料——高介电常数 (high k) 的栅介质和金属栅电极。

介电常数远高于 SiO<sub>2</sub> (k<sub>ox</sub>) 的栅介质能够实现与 SiO<sub>2</sub> 等价且薄的电学厚度 (t<sub>eq</sub>)，尤其是高介电栅介质的物理厚度 (t<sub>phys</sub>) 大于 SiO<sub>2</sub> (t<sub>ox</sub>)：

$$t_{eq} = (t_{ox} / k) * t_{phys}$$

用高介电常数材料替代 SiO<sub>2</sub> 不是一件简单的事，其材料内部和界面性能必须与 SiO<sub>2</sub> 相比拟，并且器件性能有明显的改善。材料的基本特性，如与硅衬底相关的热力学稳定性，微电子加工过程中各种热处理条件下的稳定性，低扩散系数，热膨胀（与硅）匹配，这些都是些重要的鉴定参数。

人们首先想到的是氮化硅。对 SiO<sub>2</sub> 和与之密切相关的 SiON 而言，界面陷阱和体内陷阱通常是 10<sup>10</sup>cm<sup>-2</sup>eV<sup>-1</sup> 和 10<sup>10</sup>cm<sup>-2</sup> 数量级，电荷诱捕 (traps) 和栅介质的可靠性是非常重要的考虑因素；与硅有关的热稳定性也是一个重要的考虑因素，因为高温退火通常用于源漏和多晶硅的掺杂激活。有关文献报道了先氧化硅后氮化硅栅介质结构，采用炉子生长 (LPCVD)，并先后在氨气 (NH<sub>3</sub>) 和笑气 (N<sub>2</sub>O) 中退火 (800-1000 °C)，其结果令人鼓舞。生产上的可行性——即：低的漏电流，硼穿透的抑制，可比拟的载流子迁移率，是显而易见的。对等价氧化物厚度为 1.4nm 的 CVD 氮化硅而言，其漏电流小两个数量级。硼的穿透完全被氧化硅上的氮化物所抑制。优化后的迁移率可达热氧化硅的值，从而使饱和电流也与热氧

化硅可比。然而氮化物的介电常数不够高 ( $K \sim 8$ ), 对  $\text{SiO}_2$  等价电学厚度  $< 1\text{nm}$  的器件而言不能胜任, 所以还需寻求更高介电常数的栅介质材料。

有人预言许多二元和三元氧化物与硅接触是热稳定的, 但最近对高介电常数栅绝缘层的研究主要集中在二元金属氧化物如  $\text{Ta}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{HfO}_2$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Al}_2\text{O}_3$ , 和  $\text{Gd}_2\text{O}_3$  和它们的硅化物。这些材料的介电常数通常在 10~40 范围内, 比  $\text{SiO}_2$  高 3~10。实验证明, 与同样电学厚度的  $\text{SiO}_2$  相比, 高介电栅的漏电流可减小  $10^3$  倍至  $10^6$  倍; 但由于漏区二维边缘电场可穿过厚的高介电栅, 所以限制了高介电栅带来的好处。漏边缘场降低了源-沟道势垒, 从而降低了阈值或开启电压; 其原理与熟知的漏诱导势垒 (DIBL) 降低相似, 即: 漏电场通过硅衬底耦合调制了源-沟道势垒。因此, 高介电材料的使用必须与电学厚度的减少同时考虑; 大的硅-栅介质势垒高度是人们所希望的, 因为通过栅的直接隧穿电流与此势垒高度成指数式依赖关系 (幂数为势垒高度的平方根)。另外, 发射进入栅绝缘层的热载流子也与此势垒高度有关。因此, 高介电栅不仅要具有宽带隙, 而且也要具有较高势垒高度的能带组合。 $\text{Al}_2\text{O}_3$  可能是与  $\text{SiO}_2$  在带隙和能带组合上相似的仅有的一种物质。

然而高介电材料的淀积与其它器件制作工艺的集成还需在几个领域做进一步的研究。如果使用传统的自对准多晶硅栅, 栅介质膜必须能忍受快速热退火 (RTAs)  $\geq 950^\circ\text{C}$ , 以便激活掺杂的多晶硅栅; 在多晶硅栅 CMOS 工艺中, 通常的热处理造成潜在的问题, 如在高介电栅和硅衬底之间硅化物的形成和界面  $\text{SiO}_2$  的出现。另外, 穿过栅介质的扩散 (如硼、氧) 是一个严重的问题; 如果使用金属栅极 (用低温工艺), 许多热稳定性问题可得到缓解。

综上所述, 单一的高介电栅材料可分为有两大类: 一是界面问题---有些介电材料  $K$  值很高, 但与硅接触后有  $\text{SiO}_2$  界面层生成 (这是人们不希望看到的), 使得等价  $\text{SiO}_2$  的厚度 ( $t_{\text{eq}}$ ) 减少很多, 换句话说, 高介电材料的生长厚度相应减少; 另外, 界面态/缺陷很多, 导致载流子的迁移率大大降低; 其二是  $K$  值偏低问题---有些介电材料如  $\text{Al}_2\text{O}_3$  界面特性与  $\text{SiO}_2$  相似, 但  $K$  值偏低, 导致其物理厚度 ( $t_{\text{phys}}$ ) 大大减少, 从而使隧穿电流增大。因此, 单一的高介电栅材料很难满足其要求, 多层栅介质的组合成为一种可行的方案。考虑到工艺上的可行性和高介电材料的优缺点, 人们通常在设计高介电栅堆结构时针对两种器件类型: 低功耗器件---要求穿过栅介质的隧穿电流最小, 待机功耗低; 高性能器件---开启电流大或开启速度快, 隧穿电流并不重要。

#### 发明内容

本发明的目的是, 针对低功耗器件, 提出一种高介电栅介质结构及其制备方法, 以解决单一高介电材料所不能克服的缺点: 界面问题或  $K$  值偏低问题---导致载流子迁移率降

低和等价  $\text{SiO}_2$  的厚度 ( $t_{\text{eq}}$ ) 减少, 隧穿电流不能完全得到抑制。

本发明设计的高介电栅介质结构, 以  $\text{Al}_2\text{O}_3$  作为界面确定层, 采用  $\text{BaO}+\text{Al}_2\text{O}_3$  混合层以提高介电常数, 组成一种新栅堆结构—— $\text{Al}_2\text{O}_3/\text{BaO}+\text{Al}_2\text{O}_3$  双层结构。它适用于等效栅氧厚度  $\leq 1.5$  nm 的 MOS 器件, 为高介电栅介质提供了一种优选方案。

本发明为了解决与硅的界面问题和能带组合, 选用了  $\text{Al}_2\text{O}_3$  作为界面确定层。 $\text{Al}_2\text{O}_3$  的带隙是 8.8 eV, 介电常数  $\sim 10$ , 导带偏移为 2.8 eV, 价带偏移量为 4.9 eV, 与  $\text{SiO}_2$  在带隙和能带组合上相似, 并且很少出现  $\text{SiO}_2$  界面层, 唯一的缺点是介电常数偏低。因此, 本发明采用介电常数较高的  $\text{BaO}$  ( $k > 20$ ) 来提高整体的介电常数值。使用双层结构是为了保证隧穿电流很小。

另外, 本发明采用金属栅 (单一或两种金属皆可, 如 W, WTi, WN, TiN, TiNi, Ta, TaN 合金等) 做电极, 从而避免了多晶硅栅带来的栅穿透问题 (从多晶到栅氧) 和高温激活退火带来的工艺集成问题。本发明优选 TiN 作为金属栅电极, 使其功函数有更好的匹配。

上述高介电栅介质结构, 其中  $\text{Al}_2\text{O}_3$  厚度为 0.3–0.8nm,  $\text{BaO}+\text{Al}_2\text{O}_3$  混合层的厚度可为 3–5nm。

本发明还提出上述高介电栅介质结构的制备方法, 具体步骤如下: 先将硅片表面的自然  $\text{SiO}_2$  去除; 然后采用原子层生长法 (ALCVD) 或金属有机气相淀积法 (MOCVD) 或溶胶-凝胶法 (Sol-gel) 在表面氢化的硅片上依次生长  $\text{Al}_2\text{O}_3$ 、 $\text{BaO}$  高介电层、 $\text{Al}_2\text{O}_3$  覆盖层; 最后用低温工艺淀积金属栅 TiN。上述的硅片表面自然氧化层  $\text{SiO}_2$  可用 HF 酸蒸汽除去, 使表面悬挂键被氢饱和, 成为疏水性表面; 可用 ALCVD 或 MOCVD 工艺生长 0.3nm~0.8nm 的  $\text{Al}_2\text{O}_3$ , 比如, 用  $\text{Al}(\text{CH}_3)_3$  和水蒸气淀积; 可用 ALCVD 或 MOCVD 或 Sol-gel 生长 3~5nm 厚度的  $\text{BaO}+\text{Al}_2\text{O}_3$  (根据等价栅氧厚度而定), 比如, 用  $\text{Ba}(\text{CH}_3)_2$ 、 $\text{Al}(\text{CH}_3)_3$  和氧气或臭氧淀积; 可采用低温工艺 ( $< 600^\circ\text{C}$ ) PVD 或 CVD 方法淀积金属栅 TiN。

本发明可以有效减少栅隧穿电流和由于多晶硅耗尽引起的栅电容衰减, 可实现较高的器件开启频率, 同时又保证了低功耗; 在 IC 制造工艺上相对简单、方便, 易于集成。

#### 附图说明

图 1 是栅介质的电学厚度决定图示。反型时的电学厚度是由三个串联电容  $C_{\text{inv}}$  决定的, 即: 多晶硅栅电极的耗尽电容、栅介质电容和硅衬底反型层电容。

图 2 是高介电栅的双层结构图示, 即:  $\text{Al}_2\text{O}_3/\text{BaO}+\text{Al}_2\text{O}_3$  结构。高介电  $\text{BaO}$  和  $\text{Al}_2\text{O}_3$  混合, 以提高整体介电常数。

附图标号: 1---硅衬底; 2--- $\text{Al}_2\text{O}_3$ ; 3---金属电极; 4--- $\text{BaO}+\text{Al}_2\text{O}_3$ ; 5--- $\text{SiO}_2$ ; 6---多晶硅

## 具体实施方式

下面通过实施例进一步具体描述本发明：

- 1、硅片表面清洗：先将硅片表面的自然  $\text{SiO}_2$  用 HF 蒸汽去除；
- 2、 $\text{Al}_2\text{O}_3$  界面确定层生长：采用原子层生长法 (ALCVD) 或金属有机气相淀积法 (MOCVD) 在表面氢化的硅片上生长约 0.5nm 左右的  $\text{Al}_2\text{O}_3$  作为界面确定层；比如，用  $\text{Al}(\text{CH}_3)_3$  和水蒸气淀积；
- 3、 $\text{BaO}+\text{Al}_2\text{O}_3$  淀积：采用 ALCVD 或 MOCVD 或溶胶-凝胶 (Sol-gel) 方法淀积 4nm 左右厚度的  $\text{BaO}+\text{Al}_2\text{O}_3$ ；该厚度可根据等价栅氧厚度而调整；比如，用  $\text{Ba}(\text{CH}_3)_2$ 、 $\text{Al}(\text{CH}_3)_3$  和氧气或臭氧淀积；
- 4、金属栅淀积：采用低温工艺 (<600 °C) CVD 方法淀积 TiN 金属栅。

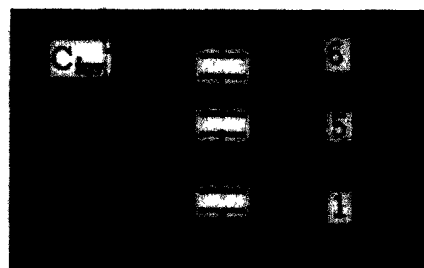


图 1

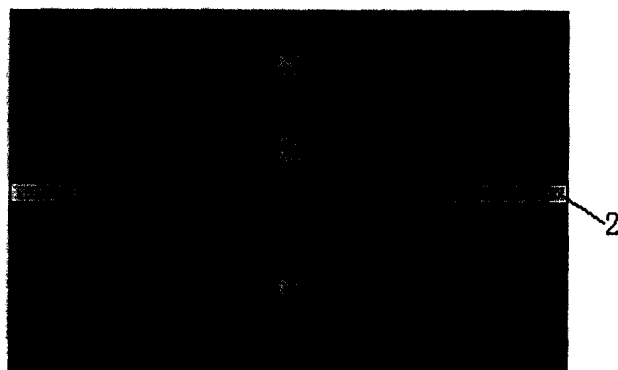


图 2