



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0084884
(43) 공개일자 2015년07월22일

- (51) 국제특허분류(Int. Cl.)
G06F 1/06 (2006.01) **H03K 5/05** (2006.01)
H03K 5/151 (2006.01) **H03K 7/08** (2006.01)
- (52) CPC특허분류
G06F 1/06 (2013.01)
H03K 5/05 (2013.01)
- (21) 출원번호 10-2015-7014664
- (22) 출원일자(국제) 2013년11월15일
심사청구일자 없음
- (85) 번역문제출일자 2015년06월02일
- (86) 국제출원번호 PCT/US2013/070249
- (87) 국제공개번호 WO 2014/078628
국제공개일자 2014년05월22일
- (30) 우선권주장
61/726,996 2012년11월15일 미국(US)
14/080,322 2013년11월14일 미국(US)

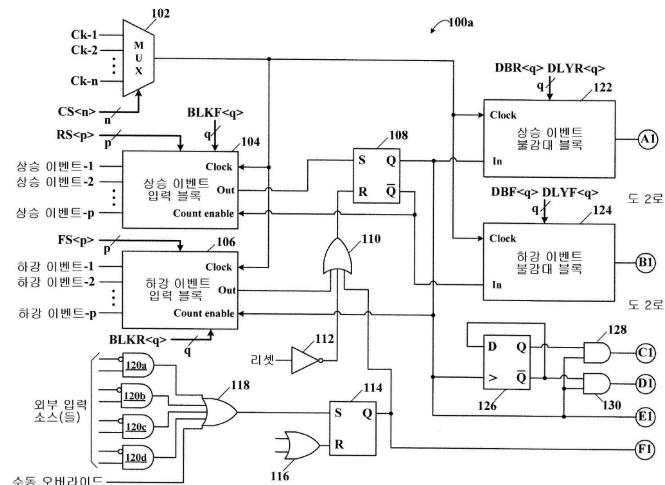
- (71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 첸들러 웨스트 첸들러
블러바드 2355
- (72) 발명자
스테드만, 신, 스테이시
미국, 아리조나 85048, 퍼닉스, 이스트 록래지 로드 2622
런드스트림, 제케
미국, 아리조나 85225, 첸들러, 이스트 산 탄 스트리트 1732
(뒷면에 계속)
- (74) 대리인
특허법인세신

전체 청구항 수 : 총 35 항

(54) 발명의 명칭 상보적 출력 발생기 모듈

(57) 요 약

상보적 출력 발생기(COG) 모듈은 상승 및 하강 이벤트 소스들에 의해 결정된 적어도 두 개의 상보적 출력들을 발생시킨다. 상기 COG 모듈의 단순한 구성에서, 상기 상승 및 하강 이벤트 소스들은 동일한 신호이며, 이 신호는 원하는 주기와 둑티 사이클을 갖는 신호이다. 상기 COG 모듈은 이 단일 신호 입력을 둑일 상보적 출력들로 변환한다. 상기 둑일 출력들의 주파수 및 둑티 사이클은 상기 단일 입력 신호의 주파수 및 둑티 사이클에 실질적으로 일치한다. 상기 상보적 출력들 사이에는 블랭킹 및 불감대 시간들이 도입될 수 있으며, 또한 상기 둑일 상보적 출력들은 위상 지연될 수 있다. 게다가, 상기 COG 모듈은 반파(half-wave) 및 전파(full-wave) 브리지 전력 애플리케이션들을 제어하기 위해 최대 4개의 출력들을 제공할 수 있다.

대 표 도

(52) CPC특허분류

H03K 5/1515 (2013.01)

H03K 7/08 (2013.01)

(72) 발명자

그로자, 크리스티안, 니콜라

루마니아, 파스카니, 에스씨 에이 이티. 4

에이피.9, 엔알.7 비엘. 디8, 부카레스트 셙. 6 스
트라쎄

코파시안, 세巴斯찬, 댄

루마니아, 오라테아구 비하르, 비엘 디79 이티 3

에이피, 엔알 22, 스트라쎄 메누모루트

다마와스키타, 하토노

미국, 아리조나 85249, 첼들러, 이스트 리브라 플
레이스 2066

명세서

청구범위

청구항 1

마이크로컨트롤러용 상보적 출력 발생기 모듈로서,

상기 상보적 출력 발생기 모듈은 상기 마이크로컨트롤러의 처리 코어를 통해 구성 가능하고,

클록 소스에 결합된 클록 입력부;

프로그램에 의해 선택할 수 있는 복수의 상승 이벤트 입력부들 - 상기 선택된 상승 이벤트 입력부들 중 적어도 하나는 적어도 하나의 상승 이벤트가 상기 상승 이벤트 입력부들 중 각각의 선택된 상승 이벤트 입력부에서 발생할 때, 상기 클록 소스와 동기화된 상승 이벤트 신호를 개시함 -;

프로그램에 의해 선택할 수 있는 복수의 하강 이벤트 입력부들 - 상기 선택된 하강 이벤트 입력부들 중 적어도 하나는 적어도 하나의 하강 이벤트가 상기 하강 이벤트 입력부들 중 각각의 선택된 하강 이벤트 입력부에서 발생할 때, 상기 클록 소스와 동기화된 하강 이벤트 신호를 개시함 -; 및

복수의 출력부들을 포함하고,

상기 복수의 출력부들 중 제 1 출력부는 상기 하강 이벤트 신호의 검출 때까지 상기 상승 이벤트 신호의 검출 시 제 1 출력 드라이브 신호를 어서트하고, 그리고

상기 복수의 출력부들 중 제 2 출력부는 다음의 상승 이벤트 신호의 검출 때까지 상기 하강 이벤트 신호의 검출 시 제 2 출력 드라이브 신호를 어서트하는, 상보적 출력 발생기 모듈.

청구항 2

제 1 항에 있어서,

상기 클록 입력부와 복수의 클록 소스들 사이에 결합된 클록 멀티플렉서를 더 포함하고,

상기 클록 멀티플렉서는 상기 복수의 클록 소스들 중 하나를 선택하도록 구성되는, 상보적 출력 발생기 모듈.

청구항 3

제 1 항에 있어서,

상승 이벤트 블랭킹 시간 회로가 타임 아웃(time out)될 때까지는 상기 상승 이벤트가 상기 상승 이벤트 신호를 발생시키는 것을 억제하기 위한 상승 이벤트 블랭킹 시간 회로를 더 포함하는 상보적 출력 발생기 모듈.

청구항 4

제 3 항에 있어서,

상기 상승 이벤트 블랭킹 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 블랭킹 시간 레지스터를 포함하는, 상보적 출력 발생기 모듈.

청구항 5

제 3 항에 있어서,

상기 상승 이벤트 블랭킹 시간 회로는: 복수의 직렬 연결된 단위 지연 소자들; 및 상기 복수의 직렬 연결된 단위 지연 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함하는, 상보적 출력 발생기 모듈.

청구항 6

제 1 항에 있어서,

하강 이벤트 블랭킹 시간 회로가 타임 아웃될 때까지 상기 하강 이벤트가 상기 하강 이벤트 신호를 발생시키는

것을 억제하기 위한 하강 이벤트 블랭킹 시간 회로를 더 포함하는 상보적 출력 발생기 모듈.

청구항 7

제 6 항에 있어서,

상기 하강 이벤트 블랭킹 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 블랭킹 시간 레지스터를 포함하는, 상보적 출력 발생기 모듈.

청구항 8

제 6 항에 있어서,

상기 하강 이벤트 블랭킹 시간 회로는: 복수의 직렬 연결된 단위 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함하는, 상보적 출력 발생기 모듈.

청구항 9

제 1 항에 있어서,

상승 이벤트 불감대 시간 회로가 타임 아웃될 때까지 상기 제 2 출력 드라이브 신호를 억제하기 위한 상승 이벤트 불감대 시간 회로를 더 포함하는 상보적 출력 발생기 모듈.

청구항 10

제 9 항에 있어서,

상기 상승 이벤트 불감대 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 불감대 시간 레지스터를 포함하는, 상보적 출력 발생기 모듈.

청구항 11

제 9 항에 있어서,

상기 상승 이벤트 불감대 시간 회로는: 복수의 직렬 연결된 단위 시간 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함하는, 상보적 출력 발생기 모듈.

청구항 12

제 11 항에 있어서,

각각의 단위 시간 지역 소자는 고정된 시간 지역을 제공하는, 상보적 출력 발생기 모듈.

청구항 13

제 12 항에 있어서,

상기 고정된 시간 지역은 약 5 나노초(nanoseconds)인, 상보적 출력 발생기 모듈.

청구항 14

제 1 항에 있어서,

하강 이벤트 불감대 시간 회로가 타임 아웃될 때까지 상기 제 1 출력 드라이브 신호를 억제하기 위한 하강 이벤트 불감대 시간 회로를 더 포함하는 상보적 출력 발생기 모듈.

청구항 15

제 14 항에 있어서,

상기 하강 이벤트 불감대 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 불감대 시간 레지스터를 포함하는, 상보적 출력 발생기 모듈.

청구항 16

제 14 항에 있어서,

상기 하강 이벤트 불감대 시간 회로는: 복수의 직렬 연결된 단위 시간 지연 소자들; 및 상기 복수의 직렬 연결된 단위 지연 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함하는, 상보적 출력 발생기 모듈.

청구항 17

제 16 항에 있어서,

각각의 단위 시간 지연 소자는 고정된 시간 지연을 제공하는, 상보적 출력 발생기 모듈.

청구항 18

제 1 항에 있어서,

복수의 출력 극성 반전 회로들을 더 포함하고,

상기 복수의 출력 극성 반전 회로들 중의 각각은 상기 복수의 출력부들 중의 각각에 결합되고,

제 1 로직 레벨이 상기 출력 극성 반전 회로들에 인가될 때에는 상기 각각의 복수의 출력부들이 비반전 출력 구동 신호를 제공하고, 제 2 로직 레벨이 상기 출력 극성 반전 회로들에 인가될 때에는 상기 각각의 복수의 출력부들이 반전 출력 구동 신호를 제공하는, 상보적 출력 발생기 모듈.

청구항 19

제 1 항에 있어서,

복수의 출력 조종 멀티플렉서들을 더 포함하고,

상기 복수의 출력 조종 멀티플렉서들은 상기 복수의 출력부들 중의 각각을 각각의 신호, 로직 하이, 로직 로우, 및 하이 임피던스 중 어느 하나에 결합시키는, 상보적 출력 발생기 모듈.

청구항 20

제 19 항에 있어서,

상기 복수의 출력 조종 멀티플렉서들은 상기 복수의 출력부들에 대한 신호들의 결합을 실질적으로 즉시 변경하는, 상보적 출력 발생기 모듈.

청구항 21

제 19 항에 있어서,

상기 복수의 출력 조종 멀티플렉서들은 다음의 상승 이벤트 신호와 동기화하여 상기 복수의 출력부들에 대한 신호들의 결합을 변경하는, 상보적 출력 발생기 모듈.

청구항 22

제 1 항에 있어서,

상기 상승 및 하강 이벤트 입력부들에 결합된 출력부를 갖는 펄스 폭 변조(PWM) 발생기를 더 포함하는 상보적 출력 발생기 모듈.

청구항 23

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 하프-브리지 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 24

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 푸시-풀 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 25

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 포워드 풀-브리지 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 26

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 리버스 풀-브리지 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 27

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 조종 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 28

제 1 항에 있어서,

상기 상보적 출력 발생기 모듈은 동기식 조종 모드로 구성되는, 상보적 출력 발생기 모듈.

청구항 29

상보적 파형들을 발생시키기 위한 방법으로서,

복수의 상승 이벤트 소스들로부터 적어도 하나의 상승 이벤트 소스를 선택하는 단계;

프로그램 가능한 상승 이벤트 블랭킹 시간 주기 내에서 다음의 적어도 하나의 하강 이벤트의 블랭킹을 제공하는 단계;

상승 이벤트 신호를 발생시키기 위해 상승 이벤트 소스 에지들 또는 상승 이벤트 소스 전압 레벨들의 검출 사이를 선택하는 단계;

복수의 하강 이벤트 소스들로부터 적어도 하나의 하강 이벤트 소스를 선택하는 단계;

프로그램 가능한 하강 이벤트 블랭킹 시간 주기 내에서 다음의 적어도 하나의 상승 이벤트의 블랭킹을 제공하는 단계;

하강 이벤트 신호를 발생시키기 위해 하강 이벤트 소스 에지들 또는 하강 이벤트 소스 전압 레벨들의 검출 사이를 선택하는 단계;

상기 적어도 하나의 하강 이벤트를 검출할 때까지 상기 적어도 하나의 상승 이벤트의 검출시 적어도 하나의 제 1 출력을 어서트하는 단계; 및

다음의 적어도 하나의 상승 이벤트를 검출할 때까지 상기 적어도 하나의 하강 이벤트의 검출시 적어도 하나의 제 2 출력을 어서트하는 단계를 포함하는, 상보적 파형들 발생 방법.

청구항 30

제 29 항에 있어서,

상승 이벤트 위상 지연을 제공하는 단계를 더 포함하고,

상기 상승 이벤트 위상 지연은 상기 상승 이벤트 신호를 지연시키는, 상보적 파형들 발생 방법.

청구항 31

제 29 항에 있어서,

하강 이벤트 위상 지연을 제공하는 단계를 더 포함하고,

상기 하강 이벤트 위상 지연은 상기 하강 이벤트 신호를 지연시키는, 상보적 파형들 발생 방법.

청구항 32

제 29 항에 있어서,

상기 제 1 출력을 어서트하는 단계와 상기 제 2 출력을 어서트하는 단계 사이에 불감대 시간을 제공하는 단계를 더 포함하는 상보적 과형들 발생 방법.

청구항 33

제 32 항에 있어서,

상기 불감대 시간을 제공하는 단계는 상기 제 2 출력을 디-어서트(de-assert)하는 단계 이후, 상기 제 1 출력의 어서트를 지연시키는 단계를 포함하는, 상보적 과형들 발생 방법.

청구항 34

제 31 항에 있어서,

상기 불감대 시간을 제공하는 단계는 상기 제 1 출력을 디-어서트하는 단계 이후, 상기 제 2 출력의 어서트를 지연시키는 단계를 포함하는, 상보적 과형들 발생 방법.

청구항 35

제 29 항에 있어서,

자동-셧다운을 어서트할 때, 강제로 상기 출력들을 모두를 소정 로직 레벨들이 되게 하는 단계를 더 포함하는 상보적 과형들 발생 방법.

발명의 설명**기술 분야****관련 특허 출원**

[0001] 본 출원은 Sean Stacy Steedman, Zeke Lundstrum, Cristian Nicolae Groza, Sebastian Dan Copacian 및 Hartono Darmawaskita에 의해, 2012년 11월 15일 출원된 발명의 명칭이 "Complementary Output Generator Module"이고 공동 소유된 미국 가출원 번호 61/726,996 호의 우선 이익을 주장하며, 상기 미국 가출원은 모든 목적을 위해 본 출원에 참조로 통합된다.

기술 분야

[0004] 본 개시는 상보적 출력 발생기(COG) 모듈에 관한 것으로, 특히, 예시적이지만 비한정적인, 전원 관리 장치(예컨대, 스위칭-모드 전원 공급 장치(SMPS), 배터리 충전기, 모터 스피드, 에너지 하비스팅(energy harvesting) 등)에 사용될 수 있는 펄스 폭 변조기 주변 모듈과 같은 다른 모듈들과 결합하여, 마이크로컨트롤러와 함께 사용하기 위한 COG 모듈에 관한 것이다.

배경 기술

[0005] 상보적 출력 발생기(COG) 모듈들은 마이크로컨트롤러들이나 다른 디지털 제어 디바이스들에서 다양한 신호 발생 모듈들, 예컨대 펄스 폭 변조기들, 비교기들, 주파수 발생기들 등과 결합하여 사용된다. 이러한 주변 디바이스의 프로그램 가능성으로 인해, 많은 상이한 애플리케이션들이, 예를 들어, 브리지 구성체 또는 스위칭-모드 전원 공급 장치(SMPS)의 파워 트랜지스터들을 제어할 수 있게 된다. 종래의 상보적 출력 발생기들에서 많은 구성들이 가능하지만, 이러한 COG 모듈의 향상된 기능성의 필요가 여전히 존재한다.

발명의 내용**해결하려는 과제**

[0006] 따라서, 향상된 특징들을 갖는 COG 모듈이 필요하며, 이 모듈은 이후에 보다 상세히 설명될 것이다.

과제의 해결 수단

[0007]

실시예에 따르면, 마이크로컨트롤러용 상보적 출력 발생기 모듈로서, 상기 상보적 출력 발생기 모듈은 상기 마이크로컨트롤러의 처리 코어를 통해 구성 가능하고; 클록 소스에 결합된 클록 입력부; 프로그램에 의해 선택할 수 있는 복수의 상승 이벤트 입력부들 - 상기 선택된 상승 이벤트 입력부들 중 적어도 하나는 적어도 하나의 상승 이벤트가 상기 상승 이벤트 입력부들 중 각각의 선택된 상승 이벤트 입력부에서 발생할 때, 상기 클록 소스와 동기화된 상승 이벤트 신호를 개시함 -; 프로그램에 의해 선택할 수 있는 복수의 하강 이벤트 입력부들 - 상기 선택된 하강 이벤트 입력부들 중 적어도 하나는 적어도 하나의 하강 이벤트가 상기 하강 이벤트 입력부들 중 각각의 선택된 하강 이벤트 입력부에서 발생할 때, 상기 클록 소스와 동기화된 하강 이벤트 신호를 개시함 -; 및 복수의 출력부들을 포함할 수 있으며; 상기 복수의 출력부들 중 제 1 출력부는 상기 하강 이벤트 신호의 검출 때까지 상기 상승 이벤트 신호의 검출시 제 1 출력 드라이브 신호를 어서트하고, 그리고 상기 복수의 출력부들 중 제 2 출력부는 다음의 상승 이벤트 신호의 검출 때까지 상기 하강 이벤트 신호의 검출시 제 2 출력 드라이브 신호를 어서트한다.

[0008]

추가 실시예에 따르면, 클록 멀티플렉서가 상기 클록 입력부와 복수의 클록 소스들 사이에 결합될 수 있으며, 여기서 상기 클록 멀티플렉서는 상기 복수의 클록 소스들 중 하나를 선택하도록 구성될 수 있다. 추가 실시예에 따르면, 상승 이벤트 블랭킹 시간 회로가 타임 아웃(time out)될 때까지는 상기 상승 이벤트가 상기 상승 이벤트 신호를 발생시키는 것을 억제하기 위한 상승 이벤트 블랭킹 시간 회로가 제공될 수 있다. 추가 실시예에 따르면, 상기 상승 이벤트 블랭킹 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 블랭킹 시간 레지스터를 포함할 수 있다.

[0009]

추가 실시예에 따르면, 상기 상승 이벤트 블랭킹 시간 회로는: 복수의 직렬 연결된 단위 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함할 수 있다. 추가 실시예에 따르면, 하강 이벤트 블랭킹 시간 회로가 타임 아웃될 때까지 상기 하강 이벤트가 상기 하강 이벤트 신호를 발생시키는 것을 억제하기 위한 하강 이벤트 블랭킹 시간 회로가 제공될 수 있다. 추가 실시예에 따르면, 상기 하강 이벤트 블랭킹 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 블랭킹 시간 레지스터를 포함할 수 있다. 추가 실시예에 따르면, 상기 하강 이벤트 블랭킹 시간 회로는: 복수의 직렬 연결된 단위 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함할 수 있다.

[0010]

추가 실시예에 따르면, 상승 이벤트 불감대 시간 회로가 타임 아웃될 때까지 제 2 출력 드라이브 신호를 억제하기 위한 상승 이벤트 불감대 시간 회로가 제공될 수 있다. 추가 실시예에 따르면, 상기 상승 이벤트 불감대 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 불감대 시간 레지스터를 포함할 수 있다.

[0011]

추가 실시예에 따르면, 상기 상승 이벤트 불감대 시간 회로는: 복수의 직렬 연결된 단위 시간 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함할 수 있다. 추가 실시예에 따르면, 각각의 단위 시간 지역 소자는 고정된 시간 지역을 제공한다. 추가 실시예에 따르면, 상기 고정된 시간 지역은 약 5 나노초(nanoseconds)일 수 있다.

[0012]

추가 실시예에 따르면, 하강 이벤트 불감대 시간 회로가 타임 아웃될 때까지 상기 제 1 출력 드라이브 신호를 억제하기 위한 하강 이벤트 불감대 시간 회로가 제공될 수 있다. 추가 실시예에 따르면, 상기 하강 이벤트 불감대 시간 회로는: 상기 클록 소스에 결합된 카운터; 상기 카운터에 결합된 비교기; 및 상기 비교기에 결합된 불감대 시간 레지스터를 포함할 수 있다. 추가 실시예에 따르면, 상기 하강 이벤트 불감대 시간 회로는: 복수의 직렬 연결된 단위 시간 지역 소자들; 및 상기 복수의 직렬 연결된 단위 지역 소자들의 각각에 결합된 입력부들을 갖는 멀티플렉서를 포함할 수 있다. 추가 실시예에 따르면, 각각의 단위 시간 지역 소자는 고정된 시간 지역을 제공한다.

[0013]

추가 실시예에 따르면, 복수의 출력 극성 반전 회로들이 제공될 수 있으며, 여기서 상기 복수의 출력 극성 반전 회로들 중의 각각은 상기 복수의 출력부들 중의 각각에 결합될 수 있고, 이에 따라, 제 1 로직 레벨이 상기 출력 극성 반전 회로들에 인가될 때에는 상기 각각의 복수의 출력부들이 비반전 출력 구동 신호를 제공할 수 있고, 제 2 로직 레벨이 상기 출력 극성 반전 회로들에 인가될 때에는 상기 각각의 복수의 출력부들이 반전 출력 구동 신호를 제공할 수 있다.

[0014]

추가 실시예에 따르면, 복수의 출력 조종 멀티플렉서들이 제공될 수 있으며, 여기서 상기 복수의 출력 조종 멀

티플렉서들은 상기 복수의 출력부들 중의 각각을 각각의 신호, 로직 하이, 로직 로우, 및 하이 임피던스 중 어느 하나에 결합시킨다. 추가 실시예에 따르면, 상기 복수의 출력 조종 멀티플렉서들은 상기 복수의 출력부들에 대한 신호들의 결합을 실질적으로 즉시 변경한다. 추가 실시예에 따르면, 상기 복수의 출력 조종 멀티플렉서들은 다음의 상승 이벤트 신호와 동기화하여 상기 복수의 출력부들에 대한 신호들의 결합을 변경한다.

[0015] 추가 실시예에 따르면, 상기 상승 및 하강 이벤트 입력부들에 결합된 출력부를 갖는 펄스 폭 변조(PWM) 발생기가 제공될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 하프-브리지 모드로 구성될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 푸시-풀 모드로 구성될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 포워드 풀-브리지 모드로 구성될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 리버스 풀-브리지 모드로 구성될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 조종 모드로 구성될 수 있다. 추가 실시예에 따르면, 상기 상보적 출력 발생기 모듈은 동기식 조종 모드로 구성될 수 있다.

[0016] 또 하나의 실시예에 따르면, 상보적 과형들을 발생시키기 위한 방법은: 복수의 상승 이벤트 소스들로부터 적어도 하나의 상승 이벤트 소스를 선택하는 단계; 프로그램 가능한 상승 이벤트 블랭킹 시간 주기 내에서 다음의 적어도 하나의 하강 이벤트의 블랭킹을 제공하는 단계; 상승 이벤트 신호를 발생시키기 위해 상승 이벤트 소스 에지들 또는 상승 이벤트 소스 전압 레벨들의 검출 사이를 선택하는 단계; 복수의 하강 이벤트 소스들로부터 적어도 하나의 하강 이벤트 소스를 선택하는 단계; 프로그램 가능한 하강 이벤트 블랭킹 시간 주기 내에서 다음의 적어도 하나의 상승 이벤트의 블랭킹을 제공하는 단계; 하강 이벤트 신호를 발생시키기 위해 하강 이벤트 소스 에지들 또는 하강 이벤트 소스 전압 레벨들의 검출 사이를 선택하는 단계; 상기 적어도 하나의 하강 이벤트를 검출할 때까지 상기 적어도 하나의 상승 이벤트의 검출시 적어도 하나의 제 1 출력을 어서트하는 단계; 및 다음의 적어도 하나의 상승 이벤트를 검출할 때까지 상기 적어도 하나의 하강 이벤트의 검출시 적어도 하나의 제 2 출력을 어서트하는 단계를 포함할 수 있다.

[0017] 상기 방법의 추가 실시예에 따르면, 상승 이벤트 위상 지연을 제공하는 단계가 제공될 수 있으며, 여기서 상기 상승 이벤트 위상 지연은 상기 상승 이벤트 신호를 지연시킨다. 상기 방법의 추가 실시예에 따르면, 하강 이벤트 위상 지연을 제공하는 단계가 제공될 수 있으며, 여기서 상기 하강 이벤트 위상 지연은 상기 하강 이벤트 신호를 지연시킨다. 상기 방법의 추가 실시예에 따르면, 상기 제 1 출력을 어서트하는 단계와 상기 제 2 출력을 어서트하는 단계 사이에 불감대 시간을 제공하는 단계가 제공될 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 불감대 시간을 제공하는 단계는 상기 제 2 출력을 디-어서트(de-assert)하는 단계 이후, 상기 제 1 출력의 어서트를 지연시키는 단계를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 불감대 시간을 제공하는 단계는 상기 제 1 출력을 디-어서트하는 단계 이후, 상기 제 2 출력의 어서트를 지연시키는 단계를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 자동-셧다운을 어서트할 때, 강제로 상기 출력들 모두를 소정 로직 레벨들이 되게 하는 단계가 제공될 수 있다.

발명의 효과

[0018] 본 발명에 따라, 향상된 특징들을 갖는 COG 모듈이 제공된다.

도면의 간단한 설명

[0019] 본 개시는 첨부 도면들과 결합된 이하의 설명을 참조하면 보다 완전하게 이해될 수 있다.

도 1 및 도 2는 본 개시의 특정 예시의 실시예에 따른, 소프트웨어로 구성 가능한 상보적 출력 발생기 모듈의 개략적인 블록도를 도시한 도면이다.

도 3 및 도 4는 본 개시의 또 하나의 특정 예시의 실시예에 따른, 소프트웨어로 구성 가능한 상보적 출력 발생기 모듈의 개략적인 블록도를 도시한 도면이다.

도 5 및 도 6은 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, 소프트웨어로 구성 가능한 상보적 출력 발생기 모듈의 개략적인 블록도를 도시한 도면이다.

도 7은 본 개시의 특정 예시의 실시예들에 따른, 도 1 내지 도 6에 도시된 바와 같은 상승 및 하강 이벤트 입력 블록들, 블랭킹(blanking) 및 위상 지연에 대한 회로의 개략적인 블록도를 도시한 도면이다.

도 8은 본 개시의 교시들에 따른, 아날로그 시간 지연 회로의 보다 상세한 개략적인 블록도를 도시한 도면이다.

도 9는 본 개시의 교시들에 따른, 디지털 시간 지연 회로의 보다 상세한 개략적인 블록도를 도시한 도면이다.

도 10은 본 개시의 교시들에 따른, 상보적 출력 발생기를 갖는 혼합 신호 집적 회로 디바이스의 개략적인 블록도를 도시한 도면이다.

도 11은 전형적인 스위칭-모드 전원 공급 장치(SMPS) 애플리케이션에 사용된 전력 구성요소들의 개략도를 도시한 도면이다.

도 12는 부하를 구동하는 전형적인 풀-브리지(full-bridge) 애플리케이션에 사용된 전력 구성요소들의 개략도를 도시한 도면이다.

본 개시는 다양한 변형들 및 대안의 형태들을 허용하지만, 그의 특정 예시의 실시예들이 도면들에 도시되었고 본 명세서에서 상세히 설명된다. 하지만, 그 특정 예시의 실시예들에 대한 설명은 본 개시를 여기에서 개시된 특정 형태들로 한정하고자 하는 것이 아니고, 오히려, 본 개시는 부속 특허청구범위에 정의되는 모든 변형들 및 균등물들을 포괄하는 것을 목적으로 한다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 개시의 교시들에 따르면, 상보적 출력 발생기(COG) 모듈은 상승 및 하강 이벤트 소스들에 의해 결정된 적어도 두 개의 상보적 신호들을 발생시킨다. COG 모듈의 단순한 구성에서, 상승 및 하강 이벤트 소스들은 동일한 신호이며, 이 신호는 예를 들어 원하는 주기와 듀티 사이클을 가진 PWM 신호일 수 있지만 이에 한정되는 것은 아니다. COG 모듈은 이 단일 입력 신호를 적어도 두 개의 상보적 출력 신호들로 변환할 수 있다. 상기 적어도 두 개의 출력 신호들의 주파수 및 듀티 사이클은 상기 단일 입력 신호의 주파수 및 듀티 사이클에 실질적으로 일치한다. 다른 구성들이나 추가 구성들은, 디지털 설계의 기술 분야에서 통상의 지식을 갖고 본 개시의 혜택을 갖는 자에게는 명백할 것이다. 상보적 출력 발생기는 2013년 7월 16일 등록되고 발명의 명칭이 "Enhanced Complementary Waveform Generator"이고 Steedman 등에 의해 공동 소유된 미국 특허 번호 제 8,487,685 B2 호에 개시되어 있으며, 이 문현은 모든 목적을 위해 여기에 참조로 통합된다. 본 개시의 다양한 실시예들에 따르면, 상보적 출력 발생기(COG) 모듈은 그의 기능성이 향상될 수 있다. 본 개시의 특정 예시의 실시예들에 따르면, 예시적이지만 비한정적으로, 다음의 추가적인 세롭고 신규하며 비자명의(non-obvious) 특징들 가운데 적어도 하나가 COG 모듈 내에 구현될 수 있다.

[0021] COG 모듈은 출력 파형들의 하프-브리지(half-bridge), 풀-브리지(full-bridge) 및 조종(steering)을 제공한다. COG 모듈은 다음과 같은 적어도 6개의 동작 모드들을 제공할 수 있다:

[0022] (1) 하프-브리지 모드

[0023] (2) 푸시-풀(push-pull) 모드

[0024] (3) 포워드(forward) 풀-브리지 모드

[0025] (4) 리버스(reverse) 풀-브리지 모드

[0026] (5) 조종(steering) 모드

[0027] (6) 동기식 조종 모드

[0028] 하프-브리지 모드

[0029] 하프-브리지 모드에서는, 비(non)-증첩 (불감대) 시간이 두 개의 COG 모듈 출력들 사이에 삽입되어, 다양한 전원 공급 애플리케이션들에서 파워 트랜지스터 슛 쓰루(shoot through) 전류가 방지된다.

[0030] 푸시-풀 모드

[0031] 푸시-풀 모드에서는, COG 모듈 출력들의 파형 발생은 두 개의 사용된 출력들 사이에서 교번(alternate)한다. 이 교번은 변압기 기반의 일부 전원 공급 구조들을 구동시키는데 필요한 푸시-풀 효과를 일으킨다. 변압기 부하를 구동할 때에는 일반적으로 출력들 사이의 불감대가 필요치 않다.

[0032] 풀-브리지 모드들

[0033] 포워드 및 리버스 풀-브리지 드라이브 모드들에서는, COG 모듈의 출력들은 향상된 캡처, 비교 및 PWM (ECCP) 스

타일의 풀-브리지 드라이브에 따른다. 하나의 출력은 변조되고, 다른 세 개의 출력들은 정적인 矩(들)으로 유지될 수 있다. ECCP 애플리케이션들은 www.microchip.com에서 입수 가능한 Microchip(마이크로칩) 애플리케이션 노트 AN906, AN1178, AN1138, AN1305, AN893, AN1244 등에 보다 상세히 기술되어 있으며, 이 모든 애플리케이션 노트들은 모든 목적을 위해 여기에 참조로 통합된다.

[0034] 조종 모드들

[0035] 조종 모드들에서는, 다수의 신호들이 4개의 COG 모듈 출력부들 중 어느 출력부로도 향할 수 있도록 조종될 수 있다. 동기식 조종 모드에서는, 다음의 상승 이벤트 입력시 겨우 조종 구성들로 변경된다. 비동기식 모드에서는, 다음의 명령어 사이클에서 조종의 효과가 나타난다.

[0036] COG 모듈은 다음의 특징들을 추가로 제공할 수 있다:

[0037] 선택 가능한 클록 제어

[0038] 병렬 인에이블들을 구비한 선택 가능한 상승 및 하강 이벤트 트리거 소스들

[0039] 출력 극성 제어

[0040] 출력 조종

[0041] 상승 이벤트에 동기화됨 또는

[0042] 즉시 효과

[0043] 불감대 제어:

[0044] 아날로그 또는 클록킹된(clocked) 불감대로 불감대 제어

[0045] 독립적인 상승 및 하강 이벤트 불감대 인에이블들로 불감대 제어

[0046] 독립적인 상승 및 하강 이벤트 불감대 카운터들로 불감대 제어

[0047] 블랭킹 제어:

[0048] 독립적인 상승 및 하강 이벤트 인에이블들로 블랭킹 제어

[0049] 독립적인 상승 및 하강 이벤트 블랭킹 카운터들로 블랭킹 제어

[0050] 위상 제어:

[0051] 독립적인 상승 및 하강 이벤트 인에이블 지연들로 위상 제어

[0052] 독립적인 상승 및 하강 이벤트 위상 카운터들로 위상 제어

[0053] 자동-셧다운 제어:

[0054] 병렬 인에이블들을 구비한 선택 가능한 셧다운 소스들로 자동- 셧다운 제어

[0055] 자동-재시작 인에이블로 자동-셧다운 제어

[0056] 자동-셧다운 오버라이드(over-ride) 제어로 자동-셧다운 제어

[0057] 이제 도면들을 보면, 특정 예시의 실시예들의 세부사항들이 개략적으로 도시되어 있다. 도면들에서 같은 요소들은 같은 숫자들로 나타내어지며, 유사한 요소들은 같은 숫자들에 다른 소문자 첨자를 붙여서 나타내어질 것이다.

[0058] 도 1 내지 도 6을 보면, 본 개시의 특정 예시의 실시예들에 따른, 소프트웨어로 구성 가능한 상보적 출력 발생기(COG) 모듈들의 개략적인 블록도들이 도시되어 있다. 다른 COG 모듈들이나 추가 COG 모듈들이 본 개시의 범위 안에서 소프트웨어로 구성될 수 있으며 또한 본 발명에서 예상된다. COG 모듈들은 전반적으로 도면 부호 100으로 표시되어 있다(도 1 및 도 2 - 100a, 도 3 및 도 4 - 100b, 그리고 도 5 및 도 6 - 100c).

[0059] 선택 가능한 클록 소스

[0060] 클록 소스(Ck)는 멀티플렉서(102)에 의해 선택될 수 있다. 멀티플렉서(102)는 출력 신호(CS<n>)를 갖는 클록 소

스 레지스터(도시되지 않음)로부터 제어될 수 있으며, 여기서 n은 이진 값일 수 있다. 이후에 보다 상세히 설명되는 바와 같이, 선택된 클록 소스(Ck)는 COG 모듈(100)의 전반에 걸쳐 사용될 수 있다.

[0061] 또한 도 7을 보면, 본 개시의 특정 예시의 실시예들에 따른, 도 1 내지 도 6에 도시된 바와 같은 상승 및 하강 이벤트 입력 블록들, 및 블랭킹 및 위상 지연들에 대한 회로의 개략적인 블록도가 도시되어 있다.

[0062] 선택 가능한 상승 및 하강 이벤트 트리거 소스들

[0063] 모든 상승 및 하강 이벤트 트리거 소스 입력들을 위한 병렬 인에이블들은 보다 동작상의 유연성을 제공한다. 상승 이벤트 입력 블록(104)에 의해서 적어도 하나의 상승 이벤트 소스가 선택될 수 있다. 상승 이벤트 입력 블록(104)은 출력 신호(RS<p>)를 갖는 상승 이벤트 소스 레지스터(도시되지 않음)에 의해 제어될 수 있다. 상승 이벤트 소스 레지스터는 원하는 상기 적어도 하나의 상승 이벤트 소스(들)에 대응하는 p-비트 패턴을 저장할 수 있다. 하강 이벤트 입력 블록(106)에 의해 적어도 하나의 하강 이벤트 소스가 선택될 수 있다. 하강 이벤트 입력 블록(106)은 출력부(FS<p>)를 갖는 하강 이벤트 소스 레지스터(도시되지 않음)에 의해 제어될 수 있으며, 여기서 하강 이벤트 소스 레지스터는 원하는 상기 적어도 하나의 하강 이벤트 소스(들)에 대응하는 p-비트 패턴을 저장할 수 있다. 상승 및 하강 이벤트들은 동일한 소스(예컨대, 신호원의 단일 출력부)로부터 올 수 있다. 이 신호원(들)은 상기 선택된 클록 소스(Ck)와 동기식 또는 비동기식일 수 있다. 상승 이벤트가 발생하는 속도는 신호 주파수를 결정할 수 있다. 상승 이벤트 입력으로부터 하강 이벤트 입력까지 걸리는 시간은 신호 라티 사이클을 결정할 수 있다.

[0064] 독립적인 상승 및 하강 이벤트 인에이블 지연들

[0065] 개별적이고 독립적인 상승 및 하강 이벤트 인에이블 지연들(예컨대, 블랭킹 지연들)은 보다 동작상의 유연성을 제공한다. AND 게이트(704p)가 자신의 RS-p 입력부에서 로직 하이를 가질 때에는 상승 이벤트 소스가 선택될 수 있다. 하강 이벤트 소스는 인버터(706p)에 의해 반전되어 상승 신호가 될 수 있고, 그리고 AND 게이트(704p)가 자신의 FS-p 입력부에서 로직 하이를 가질 때 선택될 수 있다. 각각의 AND 게이트(704) 출력부는, 이벤트 로직 레벨의 게이트와 저장 레지스터의 둘 다로서 기능하는 각 래치(708)의 D-입력부에 결합된다. 래치들(708)의 래치 인에이블들(LE)이 로직 로우("0")에 있을 때에는, 그들의 D-입력부들에서의 로직 레벨들은 Q-출력부들에 전달되지 않을 것이고, 그리고 Q-출력부들은 래치 인에이블들(LE)이 로직 하이에 있었던 마지막 때부터 D-입력부들의 로직 레벨들을 유지할 것이다. 래치 인에이블들(LE)이 로직 하이에 있을 때, Q-출력들은 래치들(708)의 D-입력들을 따를 것이다.

[0066] 래치들(708)의 래치 인에이블들(LE)은 하강 이벤트들과 연관된 블랭킹 카운터(718)에 결합될 수 있고, 하강 이벤트들을 저장하는데 사용된 래치들(708)의 래치 인에이블들(LE)은 상승 이벤트들과 연관된 블랭킹 카운터(718)에 결합될 수 있다. 블랭킹 지연의 양은, 만약 있다면, 블랭킹 카운터(718)에 의해 결정되고, 여기서 블랭킹 카운터(718)의 블랭킹 시간은 출력 신호(BLK <q>)를 갖는 블랭킹 레지스터(도시되지 않음)로부터 로딩된다. 상승 이벤트들과 연관된 하나의 블랭킹 카운터(718)는 하강 이벤트들에 사용된 래치들(708)의 LE 입력부들에 결합되어, 그의 출력 신호(BLKR<q>)를 가지며, 하강 이벤트들과 연관된 제 2 블랭킹 카운터(718)는 상승 이벤트들에 사용된 래치들(708)의 LE 입력부들에 결합되어, 그의 출력 신호(BLKF<q>)를 갖는다. 따라서, 각각의 상승 및 하강 블랭킹 카운터들(718)은, 필요한 블랭킹 시간이 이전의 상승 또는 하강 이벤트의 종료 후 만료되기 전에 다른 상승 또는 하강 이벤트 신호들이 인식되는 것을 "억제하거나 로크아웃(lockout)" 할 수 있다. 제로 값(예컨대, BLK<000>)에 대해서는, 어떠한 블랭킹 시간도 도입되지 않는다.

[0067] 이벤트 소스들의 에지(edge) 및 레벨 감지

[0068] 상승 및/또는 하강 이벤트 소스들은 고감도 레벨 또는 에지 검출로서 선택될 수 있다. 래치들(708)의 각각의 Q-출력부는 스위치(디멀티플렉서)(710)를 통해, 레벨 검출기(712)에 결합될 수 있거나 아니면 OR 게이트(716)의 입력부에 직접 결합될 수 있다. 스위치(710)가 래치(708)의 Q-출력부를 OR 게이트(716)의 입력부에 직접 결합시킬 때, 이벤트의 로직 하이는 OR 게이트(716)의 출력부가 로직 하이가 되게 할 것이다. 래치(708)의 Q-출력부가 레벨 검출기(712)에 결합될 때, 로직 하이로의 신호 레벨 "상승 에지"는 OR 게이트(714)의 출력부가 로직 하이가 되게 할 것이다. OR 게이트(714)의 출력부는 위상 지연 블록(900)의 입력부에 결합될 수 있고, 위상 지연 블록(900)의 출력부는 OR 게이트(716)의 입력부에 결합될 수 있다. 위상 지연 블록(900)은 출력 신호(PH<q>)(q는 이진 값임)를 갖는 위상 지연 레지스터(도시되지 않음)로부터의 값에 따라, 선택된 상승 및/또는 하강 이벤트(들)에 지연(위상)을 도입시키는데 사용될 수 있다. q가 제로(0)일 때에는, 선택된 상승 및/또는 하강 이벤트에 어떠한 위상 지연도 인가되지 않는다. 이 위상 지연은 도 9에 도시된 바와 같이 디지털 방식으로 얻어질 수 있

거나, 도 8에 도시된 바와 같이 아날로그 수단에 의해 얻어질 수 있다.

[0069] 도 1 내지 도 6을 다시 보면, 상승 이벤트 입력 블록(104)의 출력부는 RS 래치(108)의 세트(S) 입력부에 결합되고; 상승 이벤트 입력 블록(104)의 출력이 로직 하이가 될 때, RS 래치(108)는 세팅되어 RS 래치(108)의 Q-출력부는 로직 하이가 될 것이다. 하지만, OR 게이트(110)로부터의 로직 하이가 RS 래치(108)의 리셋(R) 입력부에 결합되면, RS 래치(108)의 Q-출력부는 다시 로직 로우가 될 것이다. 하강 이벤트 입력 블록(106)의 출력이 로직 하이를 어서트하거나(예컨대, 하강 이벤트가 겹출되었거나), 인버터(112)의 입력부가 로직 로우로 풀링되거나, 또는 RS 래치(108)의 Q-출력부가 로직 하이가 될 때, RS 래치(108)는 리셋되어 RS 래치(108)의 Q-출력부는 로직 로우가 될 것이다. RS 래치(108)는 리셋 우세하므로(reset dominant), OR 게이트(110)로부터의 어떠한 하강 이벤트, 예컨대, 하강 이벤트 입력 블록(106)으로부터의 하강 이벤트 신호, 인버터(112)로부터의 강제 리셋 신호 및/또는 RS 래치(114)에 리셋된다.

[0070] 에지 대(versus) 레벨 감지

[0071] 일반적으로, 주기 소스로부터 구동되는 이벤트들은 에지 겹출되어야 하고, 타겟 회로(예컨대, 스위칭-모드 전원 공급 장치(SMPS))의 전압 임계값들로부터 얻어지는 이벤트들은 레벨 감지성(level sensitive)이어야 한다. 다음의 두 가지 예들을 고려한다: 제 1 예는 50% 듀티 사이클을 클록에 의해 주기가 결정되는 애플리케이션으로, COG 모듈 출력 듀티 사이클은 비교기를 통해 피드백되는 전압 레벨에 의해 결정된다. 클록 입력이 레벨 감지성이라면, 50%보다 작은 듀티 사이클들은 오작동을 일으킬 수 있다. 제 2 예는 듀티 사이클이 100%에 가까운 것 외에는 제 1 예와 유사하다. (예를 들어 SMPS의) 피드백 비교기 하이-로우 천이는 COG 모듈을 트립(trip)하여 드라이브 오프하지만, 주기 소스는 거의 즉시 드라이브를 다시 턴 온한다. 오프 사이클이 충분히 짧다면, 비교기 입력은 출력 변화를 배제하여 히스테리시스 벤드의 로우 측에 도달하지 않을 수도 있다. 비교기 출력은 로우로 유지되며, 그리고 에지 감지를 트리거하기 위한 하이-로우 천이가 없다면 COG 모듈 출력의 드라이브는 일정한 드라이브-온 상태로 고착될 것이다.

[0072] 상승 이벤트

[0073] 상승 이벤트는 출력 신호 액티브 듀티 사이클 주기를 개시할 수 있다. 상승 이벤트는 선택된 상승 이벤트 소스(들)의 로우-하이 천이이다. 상승 위상 지연이 제로일 때, 출력은 즉시 시작될 수 있다. 몇몇 모드들에서는, 상승 불감대 시간이 임의의 위상 지연 이후에 적용될 수 있다. 상승 이벤트 소스는 다음의 동작들 중 어느 것이라도 또는 모두를 일으킬 수 있다:

[0074] (활성화된 경우) 상승 이벤트 위상 지연 카운터를 개시

[0075] (활성화된 경우) 하강 이벤트 입력 블랭킹을 개시

[0076] 하프-브리지 모드에서; 위상 지연 후, (활성화된 경우) 상승 불감대 지연을 개시

[0077] 하프-브리지 모드에서, 상승 불감대 지연 후 OUT0 출력을 설정

[0078] 하프-브리지 모드에서, 상승 위상 지연 후 OUT1 출력을 소거

[0079] 조종 모드들에서, (활성화된 경우) 동기화 후 OUT0 출력을 설정

[0080] 푸시-풀 모드들에서, OUT1이 소거된 후 OUT0을 설정 또는 OUT0이 소거 된 후 OUT1을 설정

[0081] 풀-브리지 모드들에서, 포워드로 OUT3을 설정 또는 리버스로 OUT1을 설정

[0082] 하강 이벤트

[0083] 하강 이벤트는 출력 신호 액티브 듀티 사이클 주기를 종료한다. 하강 이벤트는 선택된 하강 이벤트 소스(들)의 로우-하이 천이이다. 하강 위상 지연이 제로일 때에는, 출력이 즉시 종료될 수 있다. 일부 모드들에서는, 하강 불감대 시간이 임의의 위상 지연 이후에 적용될 수 있다. 하강 이벤트 소스는 다음의 동작들 중 어느 것이라도 또는 모두를 일으킬 수 있다:

[0084] (활성화된 경우) 하강 이벤트 위상 지연 카운터를 개시

[0085] (활성화된 경우) 상승 이벤트 입력 블랭킹을 개시

[0086] 하프-브리지 모드에서; 위상 지연 후, (활성화된 경우) 하강 불감대 지연을 개시

- [0087] 하프-브리지 모드에서, 하강 불감대 지연 후 OUT1 출력을 설정
- [0088] 하프-브리지 모드에서, 하강 위상 지연 후 OUT0 출력을 소거
- [0089] 조종 모드들에서, OUT0 출력을 소거 (하강에 대한 동기화 없음)
- [0090] 푸시-풀 모드들에서, OUT0가 설정되면 OUT0를 소거 또는 OUT1이 소거
되면 OUT1을 소거
- [0091] 풀-브리지 모드들에서, 포워드로 OUT3을 소거 또는 리버스로 OUT1을
소거
- [0092] 모든 모드들은 하강 우세한 것이 바람직하다. 상승 소스(들)는 세트 입력을 공급하고 하강 소스(들)는 SR 래치(108)의 리셋을 공급한다. SR 래치(108)는 리셋 우세하며, 하강 소스는 항상 "승리(win)"할 것이고, 이에 따라 SR 래치(108)의 출력부를 소거할 것이다.
- [0093] 블랭킹 제어
- [0094] 입력 블랭킹은 임의의 선택된 아날로그 입력의 이벤트 입력들(예컨대, 상승 및/또는 하강 이벤트)이 짧은 시간 주기 동안 무시될 수 있는(예컨대, 마스킹되거나(masked) 블랭킹될 수 있는) 기능이다. 이것은 전력 구성요소들의 턴-온/오프로 인한 전기적 과도 현상(electrical transients)(노이즈)이 잘못된 이벤트를 생성하는 것을 방지하는 것이다. COG 모듈은 상승 이벤트 블랭킹 타이머(카운터) 및 하강 이벤트 블랭킹 타이머(카운터)를 포함할 수 있다. 상승 이벤트 블랭킹 타이머(카운터) 및 하강 이벤트 블랭킹 타이머(카운터)는 블랭킹일 수 있는 하강 이벤트 및 상승 이벤트와 교차 결합될 수 있다. 예를 들어, 하강 이벤트 블랭킹 이벤트 블랭킹 타이머(카운터)는 상승 입력 이벤트들을 블랭킹하는데 사용될 수 있고, 상승 이벤트 블랭킹 이벤트 블랭킹 타이머(카운터)는 하강 입력 이벤트들을 블랭킹하는데 사용될 수 있다. 일단 시작되면, 블랭킹은 대응 블랭킹 레지스터들(도시되지 않음)의 출력 신호들(BLKF $<q>$ 및 BLKR $<q>$)에 의해 특정된 시간 동안 연장될 수 있다. 블랭킹은 클록 주기들을 제로로부터 각 블랭킹 레지스터 내의 값까지 카운트함으로써 타이밍되거나(도 9), 또는 멀티플렉서에 의해 선택된 아날로그 시간 지연들에 의해 타이밍된다(도 8).
- [0095] 블랭킹에는 다음의 특징들이 이용될 수 있다:
- [0096] 독립적인 상승 이벤트 및 하강 이벤트 블랭킹 모드 선택
- [0097] 독립적인 상승 이벤트 및 하강 이벤트 블랭킹 카운터들
- [0098] 다음의 블랭킹 모드들이 사용될 수 있다:
- [0099] 블랭킹 비활성화
- [0100] 즉시 블랭킹
- [0101] 블랭킹 비활성화
- [0102] 블랭킹 기능부(718)가 비활성화될 때, 상승 이벤트 및/또는 하강 이벤트 입력들은 어떠한 블랭킹 간섭도 없이 래치들(708)과 디멀티플렉서(710)를 즉시 통과할 수 있다(도 7 참조).
- [0103] 즉시 블랭킹
- [0104] 즉시 블랭킹으로 인해, 상승 이벤트는 하강 이벤트 입력들을 블랭킹할 수 있는 상승 이벤트 블랭킹 카운터를 즉시 개시할 수 있다. 하강 이벤트는 상승 이벤트 입력들을 블랭킹할 수 있는 하강 이벤트 블랭킹 카운터를 즉시 개시할 수 있다. 즉시 블랭킹은 적절한 블랭킹 카운터에 비(non)-제로 값(BLK $<q>$)을 기록하여 활성화될 수 있다. 블랭킹 카운터들은 클록 펄스의 상승 에지에서 충분될 수 있다. 상승 이벤트 및 하강 이벤트가 아날로그 신호들에서 나와서 비동기화될 수 있기 때문에, 각 사이클에서 구현된 실제 블랭킹에는 일부 지터(jitter)가 있을 수 있다. 최대 지터는 하나의 클록 주기와 같을 수 있다.
- [0105] 블랭킹 이벤트 중첩
- [0106] 블랭킹 이벤트들 사이에 어떠한 중첩이라도 있다면, 다음과 같은 일련의 이벤트들이 발생할 수 있으며, 여기서 BKx는 액티브 블랭킹의 경우(상승 또는 하강 이벤트)이고 BKy는 그 반대의 경우(하강 또는 상승 이벤트)이다:

[0107] BKx가 카운트 업(up)되지만, 아직 완료되지는 않음

[0108] BKy 카운트가 개시된다

[0109] 블랭킹 제어들은 이제 BKx 인에이블들로부터 BKy 인에이블들로 스위칭 한다

[0110] BKx가 제로로 리셋된다

[0111] BKy는 자신의 카운트가 완료될 때까지 계속 카운트한다

[0112] BKy는 제로로 리셋된다(정상 동작)

[0113] 위상 지연

[0114] 위상 지연 카운터(900)는 상승 이벤트의 어서트를 지연시키는데 사용될 수 있다. 위상 지연 시간은 상승 위상 지연 레지스터(도시되지 않음)의 출력들(PH<q>)(q는 이진수임)에 포함된 값으로 설정된다. 이벤트들의 실제 어서트로 스위칭하는 입력 상승 이벤트 신호로부터의 지연은 불감대 및 블랭킹 지연들과 동일하게 구현될 수 있다. PH<q> 값이 제로일 때, 상승 이벤트 위상 지연은 비활성화되어 상승 이벤트 신호가 OR 게이트(716)로 직접 통과될 수 있게 한다. 도 8 및 도 9에 도시된 바와 같이, 독립적인 상승 및 하강 위상 인에이블들 및 블랭킹 타이머들(카운터들)이 제공될 수 있다.

[0115] 불감대 제어

[0116] 불감대 제어는 예를 들어, 신호 발생기(1056)(도 10)로 제어되는 하프-브리지 모드 외부 전력 스위치들(도 11)에서(그러나 이 예로 한정되는 것은 아님), 슛-쓰루 전류를 방지하기 위해 비중첩 출력 신호들을 제공할 수 있다. 상승 이벤트 불감대 블록(122) 및 하강 이벤트 불감대 블록(124)은 각각, 클록 카운터(962)와 비교기(964) (도 9)로 이루어진 디지털 불감대 지연 타이머, 및/또는 복수의 단위 지연 소자들(830) 및 프로그램에 의해 선택할 수 있는 멀티플렉서(832)(도 8)로 이루어진 아날로그 불감대 지연 블록을 포함할 수 있다. 상승 및 하강 불감대 시간들은 이 불감대 블록들(122, 124)의 각각에 대해 개별적으로 프로그래밍될 수 있는데, 여기서 이 불감대 블록들(122, 124)의 각각은 그들 각각의 불감대 카운트 또는 시간 지연 레지스터들(도시되지 않음)로부터의 값을 기반으로 하며, 상기 레지스터들은 각각 출력(DBR<q> 또는 DLYR<q>) 및 출력(DBF<q> 또는 DLYF<q>)을 갖는다.

[0117] 상승 이벤트 불감대

[0118] 상승 이벤트 불감대 제어는 보조 전원 디바이스의 턴-오프 이후에 주전원 디바이스의 턴-온을 지연시키는데 사용될 수 있다.

[0119] 하강 이벤트 불감대

[0120] 하강 이벤트 불감대 제어는 주전원 디바이스의 턴-오프 이후에 보조 전원 디바이스의 턴-온을 지연시키는데 사용될 수 있다.

[0121] 불감대 중첩

[0122] 불감대 중첩에는 상승 이벤트로부터 하강 이벤트로의 중첩과 하강 이벤트로부터 상승 이벤트로의 중첩의 두 가지 경우들이 있으며, 각각의 중첩은 시스템 요구 사항에 따라 다르게 처리된다.

[0123] 상승 이벤트로부터 하강 이벤트로의 중첩

[0124] 이 경우에는, 상승 이벤트 불감대 카운터가 여전히 카운트하는 동안 하강 이벤트가 발생한다. 다음과 같은 일련의 이벤트들이 발생할 수 있다: 상승 이벤트 불감대 카운터가 카운트 업하지만 아직 그의 카운트를 완료하지 않음, 하강 이벤트 불감대 카운팅이 개시됨(유효 하강 이벤트 신호), 출력 파형 제어가 즉시 하강 이벤트 신호들에 인도됨(handed), 상승 이벤트 불감대 카운터가 다음의 클록 에지에서 리셋됨, 하강 이벤트 불감대 카운터가 자신의 카운트가 완료될 때까지 계속 카운트함, 그리고 이후, 하강 이벤트 불감대 카운터는 다음 클록 에지에서 리셋됨(정상 동작).

[0125] 하강 이벤트로부터 상승 이벤트로의 중첩

[0126] 이 경우에는, 하강 이벤트 불감대 카운터가 여전히 카운트하는 동안 상승 이벤트가 발생한다. 다음과 같은 일련

의 이벤트들이 발생할 수 있다: 하강 이벤트 불감대 카운터가 카운트 업하지만 아직 그의 카운트를 완료하지 않음, 상승 이벤트 불감대 카운터 카운팅이 개시됨(유효 상승 이벤트 신호), 출력 파형 제어가 즉시 상승 이벤트 신호들에 인도됨, 하강 이벤트 불감대 카운터가 다음의 클록 에지에서 리셋됨, 상승 이벤트 불감대 카운터가 자신의 카운트가 완료될 때까지 계속 카운트함, 그리고 이후, 상승 이벤트 불감대 카운터는 다음 클록 에지에서 리셋됨(정상 동작).

[0127] 예를 들어, 하강 이벤트 불감대는 출력부(OUT0)가 턴 오프될 때부터 출력부(OUT1)의 턴-온을 지연시킨다. 하강 이벤트 불감대 시간은 하강 이벤트 출력이 로직 하이가 될 때 시작된다. 하강 이벤트 출력은 블랭킹되지 않은 하강 입력 이벤트와 동시에 하이가 된다. 하강 이벤트 불감대 시간은 하강 이벤트 불감대 시간 레지스터(도시되지 않음)에 포함된 출력 신호(DBF $<q>$)(q 는 이진수임)의 값으로 설정된다. DBF $<q>$ 의 값이 제로일 때에는, 하강 이벤트 불감대 시간 지연이 비활성화될 수 있다.

클록 불감대 시간 지연

[0129] 클록 불감대 시간 지연은 클록 주파수와 같거나 그 배수일 수 있는 불감대 시간들을 가능케 한다. 독립적인 상승 및 하강 이벤트 인에이블들 및/또는 독립적인 상승 및 하강 이벤트 불감대 카운터들이 제공될 수 있다. 클록 불감대 시간 지연(들)은 프로그래밍될 수 있다. 도 9를 보면, 본 개시의 교시들에 따라 사용될 수 있는 디지털 시간 지연 회로의 보다 상세한 개략적인 블록도가 도시되어 있다. 이 시간 지연 회로는, 각각의 클록 폴스를 카운트하고 그 카운트 값을 비교기(964)에 출력하는 카운터(962)를 포함할 수 있다. 비교기(964)는 카운트 값을 시간 값(예를 들어, 블랭킹부에 저장될 수 있는 블랭킹 값, 위상 지연부에 저장될 수 있는 위상 지연 값 및/또는 불감대 시간 레지스터(966)에 저장될 수 있는 불감대 시간 값)과 비교한다. 카운트 값이 시간 값보다 같거나 끌 때, 비교기로부터의 출력(Out)은 로직 하이가 된다. 각각의 레지스터(들)(968)는 블랭킹, 위상 지연 및/또는 불감대 시간들에 대한 시간 값을 비동기식으로 저장하여, 이후 상기 시간 값을 각각의 버퍼(들)(966)에 동기식으로 전송하는데 사용될 수 있다.

아날로그 불감대 시간 지연

[0130] 아날로그 불감대 시간 지연은 COG 모듈의 클록 소스와 무관할 수 있는 작은 불감대 시간들(더 높은 세분화(granularity)로 시간 선택)을 가능케 한다. 예를 들어, 적절한 개수로 직렬 연결된 UDE들(830)의 선택을 이용하여, 선택 가능한 5 나노초(nanosecond) 시간 지연 단계들이 클록 시간들과는 무관하게 구현될 수 있다. 독립적인 상승 및 하강 아날로그 불감대 시간 지연들이 제공될 수 있고 프로그램에 의해 선택될 수 있다. 이것은 고주파 및 고효율 전력 변환 디바이스들(예컨대, SMPS)의 애플리케이션들에 보다 효과적이고 유연한 제어를 제공한다.

[0132] 도 8을 보면, 본 개시의 교시들에 따른, 아날로그 시간 지연 회로의 보다 상세한 개략적인 블록도가 도시되어 있다. 이 시간 지연 회로는 복수의 단위 지연 소자(unit delay element; UDE)들(830) 및 멀티플렉서(832)를 포함할 수 있다. 특정 시간 지연은, 지연 레지스터(도시되지 않음)로부터의 입력 선택 어드레스(DLY $<q>$)로부터 제어될 수 있는 멀티플렉서(832)와 직렬 연결된 적절한 수의 UDE들(830)을 선택하여 얻어질 수 있다. 멀티플렉서(832)로부터의 출력이 로직 하이가 될 때에는, 불감대 모듈의 적절한 출력이 어서트된다.

출력 조종

[0134] COG 모듈로 인해 출력들(예컨대, OUT0, OUT1, OUT2 및/또는 OUT3)의 임의의 결합은 변조된 신호(예컨대, PWM 신호)가 될 수 있다. 또한, 동일한 신호가 어느 하나 이상의 다른 출력부들에서 동시에 사용될 수도 있다. COG 모듈 자동-셧다운 동작은 또한 출력 조종에 적용될 수 있고, 그리고 활성화될 수 있는 그 출력부들에 단지 영향을 미칠 수 있다(도 5 및 도 6 참조).

[0135] 출력 조종 이벤트가 언제 발생할 것인지는 프로그램 가능하고, 여기서 즉시의 출력 조종 이벤트는 출력 조종 이벤트를 요청하는 명령어 사이클의 끝에서 발생할 수 있거나, 또는 효과적인 조종 이벤트 업데이트는 다음 상승 이벤트의 시작에서 발생할 수 있다. 즉시의 출력 조종 이벤트는 불완전한 파형을 일으킬 수 있지만, 사용자의 펌웨어가 출력으로부터 신호를 즉시 제거할 필요가 있는 경우에 유용하다. 출력 조종 이벤트가 다음의 상승 이벤트와 실질적으로 동시에 발생할 때에는, 항상 완전한 파형이 생성될 것이다.

출력 극성 제어

[0136] 각 출력(OUTx)의 극성은 배타적 OR 게이트들(136)과 무관하게 선택될 수 있다. POLx가 로직 로우일 때에는, 배타적 OR 게이트(136)의 입력 로직 레벨은 출력 반전하지 않는다(출력들(OUT)은 "액티브 하이"에 있다). POLx가

로직 하이일 때에는, 배타적 OR 게이트(136)의 입력 로직 레벨은 출력 반전한다(출력들(OUT)은 "액티브 로우"에 있다). 하지만, 극성은 오버라이드 override) 값들에 영향을 미치지 않는다. 출력 극성은 극성 제어 레지스터(도시되지 않음)의 POLO-POL3 비트들에 의해 선택될 수 있다.

[0138] 자동-셧다운 제어

[0139] 자동-셧다운은 전원 회로의 안전한 셧다운을 가능하게 하는 특정 오버라이드들(138)로 전류 출력 값을 즉시 오버라이딩하는데 사용될 수 있다. 특정 조건 하에서는 재시작 기능이 또한 사용될 수도 있다. 선택 가능한 셧다운 소스들(120), 자동-재시작 인에이블, 및 자동-셧다운 오버-라이드 제어는 예를 들어 RS 래치(114), OR 게이트(118), AND 게이트들(120), D-래치(142), 및/또는 멀티플렉서들(138 및 140)에 의해 구현될 수 있지만, 이에 한정되는 것은 아니다.

[0140] 셧다운

[0141] 셧다운 이벤트를 발생시키는 때에는 두 가지 방법들이 있다: OR 게이트(118)의 입력부에서의 수동 오버라이드, 또는 하나 이상의 AND 게이트들(120)을 통과하는 외부 입력 소스가 있다.

[0142] 수동 오버라이드

[0143] 자동-셧다운 레지스터들은 필요한 경우 동작 기능부들을 수동으로 오버라이딩하는데 사용될 수 있다. ASDE 비트를 설정함으로써, 셧-다운 이벤트가 발생될 수 있다. 모듈이 비활성화되더라도 ASDE 비트는 설정 가능하다. 이것은 COG 모듈이 비활성화되더라도, 멀티플렉서들(138)에 의해 선택되고 멀티플렉서들(140)을 통해 출력부들(OUTx)에 결합되는 ASD 오버라이드 상태들을 가능하게 할 것이다. 멀티플렉서들(138 및 140)은 이 기능을 수행하도록 보여지고 있지만, 디지털 회로 설계 분야에서 통상의 지식을 가지고 본 개시의 혜택을 갖는 자라면 동일한 효과를 나타내는 다른 회로들을 설계할 수 있을 것이고, 그 회로들은 본 발명에서 예상된다. 자동-재시작이 비활성화되면, 이 오버라이드는 제어 비트가 자동-셧다운 제어 레지스터(도시되지 않음)에 설정되어 있는 동안에는 지속될 수 있다. 자동-재시작이 활성화되면, 비트는 자동으로 자체-소거되고 다음 상승 에지 이벤트에서 동작을 재개할 것이다.

[0144] 외부 입력 소스

[0145] 이벤트 발생을 위해 사용될 수 있는 주어진 소스들 중 어느 것도 시스템 셧-다운에 사용될 수 있다. 이것은 외부 회로부가 어떠한 소프트웨어 오버헤드도 없이 셧다운을 모니터링하고 강제할 수 있도록 하기 위함이다. 참고: 자동-셧다운(ASD) 소스들에 대한 중요한 고려 사항은 그것들이 레벨 감지성이고 에지 감지성이 아니며, 그리고 ASD 레벨이 지속되는 동안에는 ASD 이벤트가 진행중이라는 것이다. 특정 ASD 소스들은 AND 게이트들(120)일 수 있다.

[0146] 재시작

[0147] 자동-셧다운 이벤트가 발생한 후, COG 모듈 재개 동작을 갖기 위해서는 두 가지 방법들이 있다:

[0148] 수동 재시작

[0149] 자동-셧다운 소스가 비활성화되고 그리고 이후에, 예를 들어 OR 게이트(116)를 통해 소프트웨어로, S-R 래치(114)로부터의 ASDE 비트가 소거되면, 다음 상승 에지 이벤트에서 재시작한다.

[0150] 자동-재시작

[0151] 자동-셧다운 이벤트 신호가 소거되면, 다음의 상승 에지 이벤트에서 자동으로 재시작한다. 참고: 자동-셧다운 조건이 OR 게이트(118)의 입력부들 중 적어도 하나의 입력부에 여전히 존재하면, ASDE 비트는 소프트웨어로 소거될 수 없다.

[0152] 출력 드라이브

[0153] 멀티플렉서들(140)은 정상 동작이 재개되어야 함을 나타내는 유효 상승 이벤트가 있을 때까지 멀티플렉서들(138)로부터의 오버라이드들을 유지하여, D 플립-플롭(142)을 소거할 수 있다. 상승 이벤트는 자신이 어떻게 구성될 수 있는가에 의존하여 에지 또는 레벨 의존성들을 지닐 수 있다. 멀티플렉서들(138)로부터의 출력들은 강제된 출력 제어(FOUT)에 의해 선택될 수 있다. 이 강제된 출력들은 예를 들어 로직 하이, 로직 로우, 하이 임피던스(Hi-Z), 또는 정상 이벤트 구동 로직 레벨들일 수 있지만, 이들로 한정되는 것은 아니다.

[0154] 버퍼 업데이트들

[0155] 불감대, 위상 및 블랭킹을 위한 버퍼들은 COG 모듈 동작 동안 서로 다른 시간들에서 대응 레지스터 값으로 로딩될 수 있다. 이 시간들은 COG 모듈이 비활성화되거나 활성화되는 때일 수 있다.

[0156] COG 모듈 비활성화

[0157] COG 모듈이 비활성화될 때, 불감대, 위상 및 블랭킹 레지스터들의 쓰기(write)도 또한 각각의 버퍼들을 직접 로딩할 수 있다.

[0158] COG 모듈 활성화

[0159] COG 모듈이 활성화될 때에는, 값들이 변경될 경우 모든 버퍼들이 실질적으로 동시에 업데이트함을 확실히 할 필요가 있다. 예를 들면, 디바이스가 낮은 클록 속도(예컨대, 1MHz)로 동작할 때 COG 모듈에 인입되는 주기가 빠른(예컨대, 500kHz) 경우이다. 이 상황 하에서, 불감대, 위상 지연 및 블랭킹 값들을 새로운 값들로 업데이트하기 위해서는 몇몇 클록 주기들이 필요할 것이다. 다수의 주기들에 걸친 이 업데이트는 바람직하지 않으므로, 버퍼 업데이트를 동기화하는 방법이 이용되어야 한다. 버퍼들을 로딩하기 위한 단계들은 다음과 같을 수 있다:

[0160] 1. 모든 레지스터 값을 업데이트한다

[0161] 2. 로드 비트를 설정한다

[0162] 3. 하강 이벤트 신호의 다음 상승 에지에서, 하강 이벤트 신호를 래치한다:

[0163] a) 하강 이벤트 신호에 대한 래치를 닫는다

[0164] b) 상승 이벤트 불감대 버퍼를 로딩한다

[0165] c) 하강 이벤트 블랭킹 버퍼를 로딩한다

[0166] d) 위상 지연 버퍼를 로딩한다

[0167] e) 하강 이벤트 신호에 대한 래치를 연다

[0168] 4. 상승 이벤트의 다음 상승 에지에서, 로딩한다:

[0169] a) 하강 이벤트 신호에 대한 래치를 닫는다(하강 이벤트 신호는 상승 이벤트 신호를 발생시키므로, 하강 이벤트를 래칭하는 것은 상승 이벤트의 변화들을 방지할 것이다)

[0170] b) 불감대 하강 이벤트 레지스터를 로딩한다

[0171] c) 불감대 상승 이벤트 레지스터를 로딩한다

[0172] d) 로딩이 완료되었음을 나타내기 위해 로드 비트를 소거한다

[0173] e) 하강 이벤트 래치를 연다

[0174] 로드 비트는 소프트웨어로 소거될 수 없는데, 그것은 단지 소프트웨어로 설정할 수 있으며 하드웨어로 소거된다. 이것은 로딩 절차 중에 오작동을 방지하기 위함이다.

[0175] COG 모듈 리셋

[0176] 리셋 신호가 인버터(112)의 입력부에 어서트될 때마다 COG 모듈은 리셋될 수 있다. 액티브 로우 리셋이 인버터(112)에 인가되면, SR 래치(108)는 리셋 상태로 유지된다. 또한, 인버터(112)의 출력부는 그 출력부에 결합되는 모든 레지스터들, 카운터들 등을 리셋할 것이다. 리셋이 어서트될 때에는, 다음과 같은 동작들이 일어날 수 있다: 레지스터들이 자신들의 디폴트 값들로 리셋되고, 블랭킹 카운터들이 리셋되고, 불감대 카운터들이 리셋되고, 그리고 임의의 기계들 또는 상태 발생 회로들 내의 플립-플롭들 및 래치들이 자신의 디폴트 값들로 리셋된다.

[0177] 도 10을 보면, 본 개시의 교시들에 따른, 상보적 출력 발생기를 갖는 혼합 신호 접적 회로 디바이스의 개략적인 블록도가 도시되어 있다. 혼합 신호 접적 회로 디바이스(1002)는 스위칭-모드 전원 공급 장치(SMPS)(도 11 참조) 또는 하프 또는 풀 브리지 전원 디바이스(도 12 참조), 예를 들어 모터 등을 제어하는데 사용될 수 있다. 혼합 신호 접적 회로 디바이스(1002)는: COG 모듈(100), 신호 발생 모듈(1056), 메모리를 갖는 디지털 프로세서

(1058)(예컨대, 마이크로컨트롤러), 아날로그-디지털 컨버터(ADC)(1060), 복수의 증폭기들(1062), 디지털-아날로그 컨버터(DAC)(1064), 및 전압 기준부(1066) 중 하나 이상을 포함할 수 있다. ADC(1060)는 그 입력이 아날로그 멀티플렉서(도시되지 않음)에 결합될 수 있고, 복수의 증폭기들(1062)은 복수의 차동 입력 증폭기들(예컨대, 연산 증폭기들)일 수 있다. 신호 발생 모듈(1056)은 웨尔斯 폭 변조(PWM) 모듈, 비교기들, 주파수 발생 모듈, 및/또는 구성 가능한 로직 셀들을 포함할 수 있다. 신호 발생 모듈(1056)의 출력부들은 COG 모듈(100)에 의해 선택될 수 있다.

[0178]

도 11을 보면, 전형적인 SMPS에 사용된 전력 구성요소들의 개략도가 도시되어 있다. SMPS(1100)의 전력 구성요소들은 전압원(Vin)으로부터 공급받고, 그리고 하이 트랜지스터(1116), 로우 트랜지스터(1118), 인덕터(1112) 및 필터 커패시터(1110)를 포함하며, 이들 모두는 도 10에 도시된 혼합 신호 집적 회로 디바이스(1002)에 결합된다.

[0179]

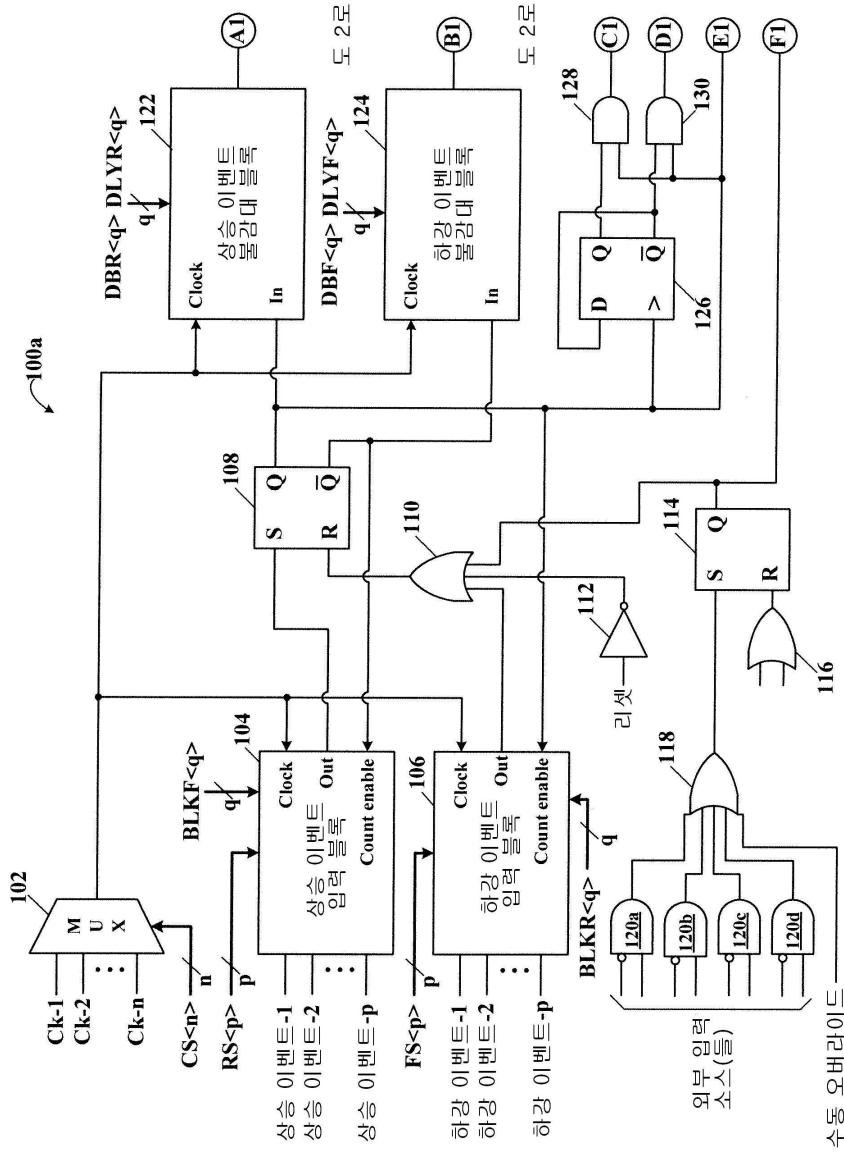
도 12를 보면, 부하를 구동하는 전형적인 풀-브리지 애플리케이션에 사용된 전력 구성요소들의 개략도가 도시되어 있다. 전반적으로 도면번호 1200으로 표시된 전원 회로는 하프-브리지 구성과 풀-브리지 구성 중 어느 하나로(도시된 것은 풀-브리지임) 부하에 결합될 수 있는 드라이버들(1204) 및 파워 트랜지스터들(1202)을 포함할 수 있다. 어느 하나 이상의 출력부들(OUT(0-3))은 상승 및 하강 이벤트 입력부들(예컨대, 신호원)로부터 구동될 수 있고/있거나, 멀티플렉서들(138)에 의해 강제로 특정 로직 레벨(들)이 될 수 있다. 풀-브리지 모드에서는, 모든 4개의 출력부들(OUT(0-3))이 사용될 수 있다. 포워드 모드에서, OUT0은 활성 상태로 구동될 수 있고, OUT1 및 OUT2는 비활성 상태로 구동될 수 있지만, OUT3은 변조될 수 있다. 리버스 모드에서, OUT2는 활성 상태로 구동될 수 있고, OUT0 및 OUT3은 비활성 상태로 구동될 수 있지만, OUT1은 변조될 수 있다.

[0180]

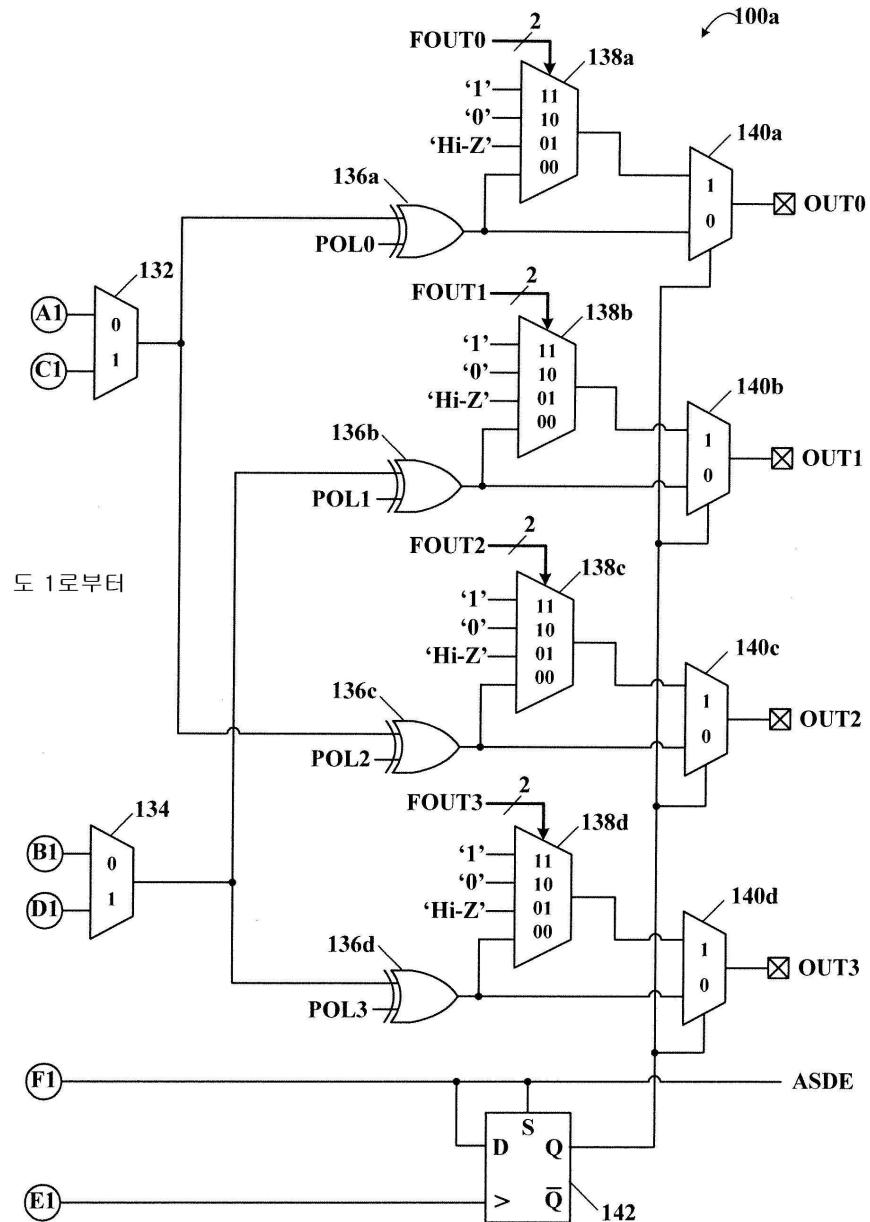
본 개시의 실시예들은 본 개시의 예시적인 실시예들을 참조하여 도시되고 설명되고 정의되었지만, 이러한 참조는 본 개시의 한정을 의미하지 않고 이러한 한정이 추정되지도 않는다. 개시된 본 발명은 이 기술분야에 통상의 기술을 가지고 본 개시의 혜택을 갖는 사람들에게는 형태와 기능에 있어서 상당한 수정, 대체, 및 균등물들이 가능하다. 본 개시의 도시되고 설명된 실시예들은 단지 예로서, 본 개시의 범위를 한정하지 않는다.

도면

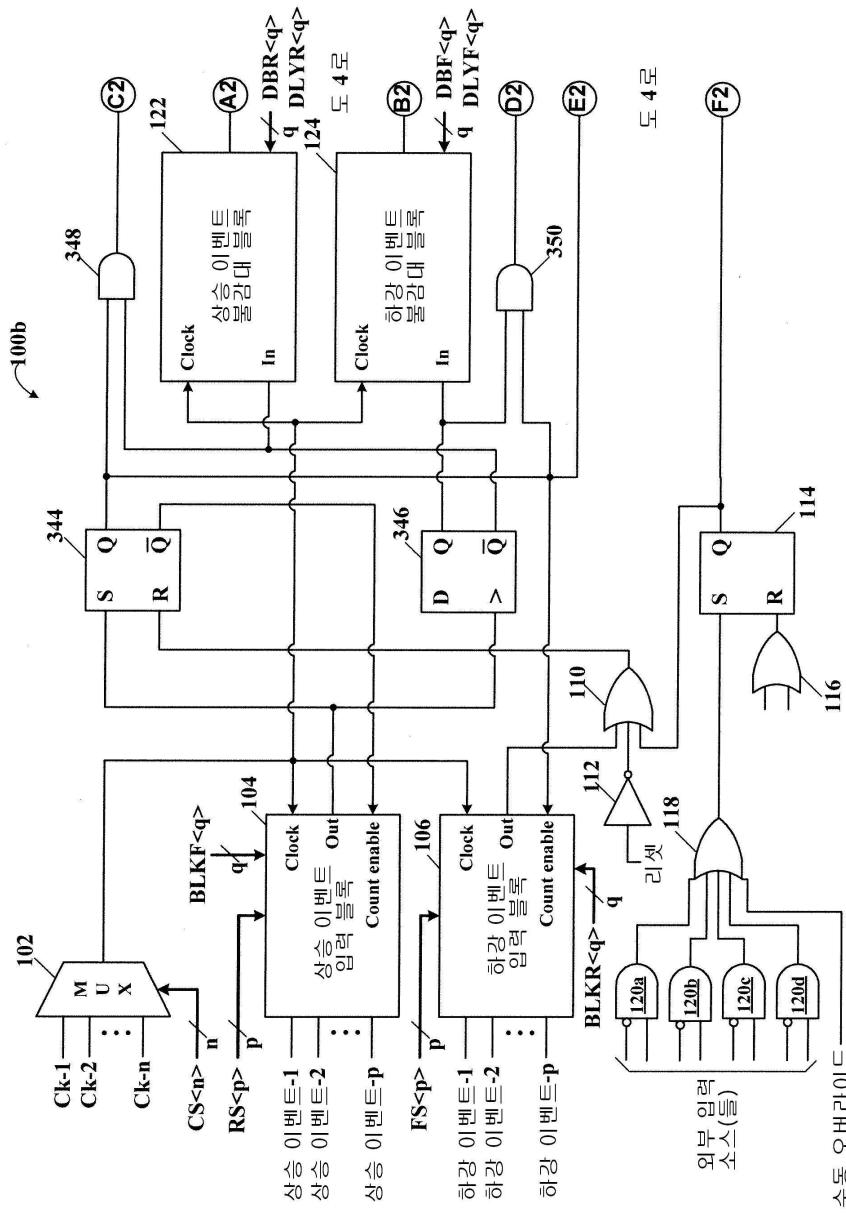
도면1



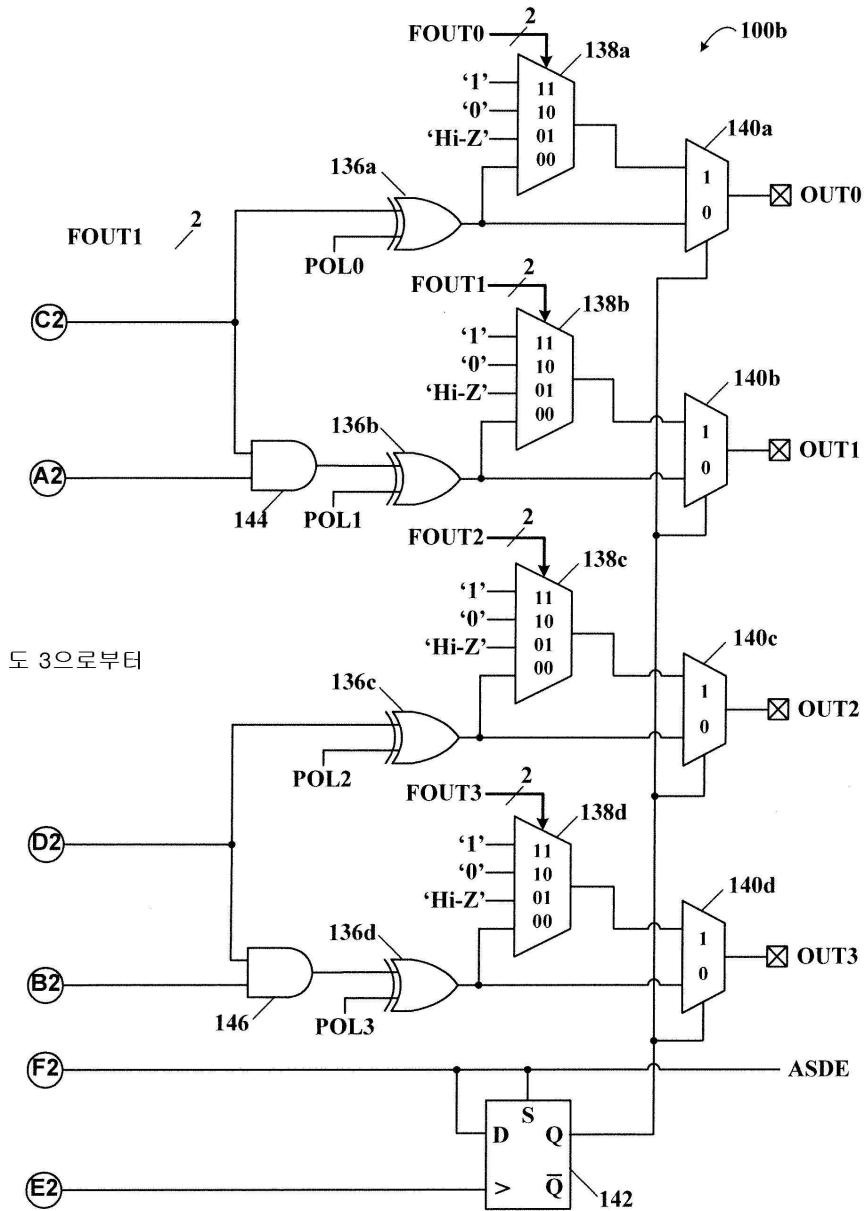
도면2



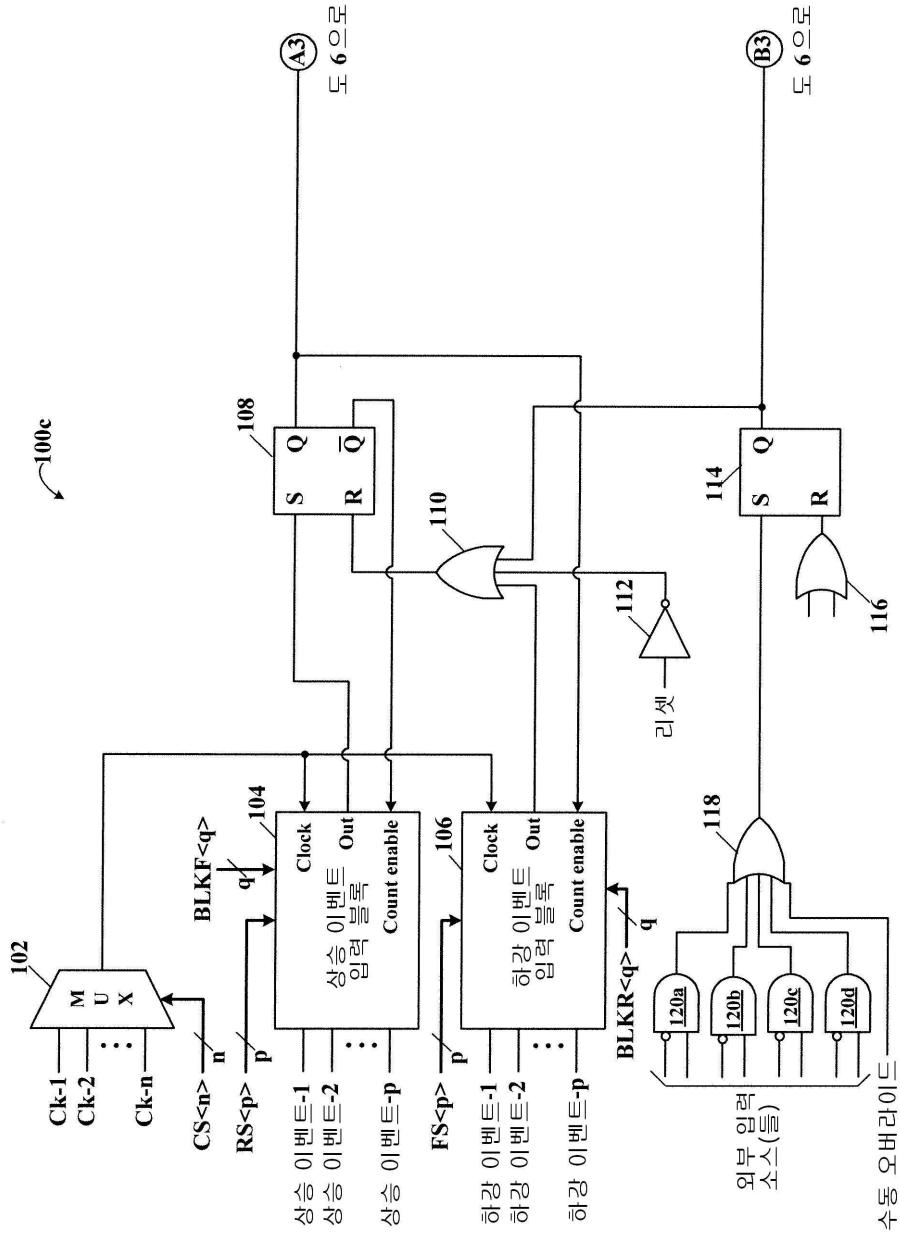
도면3



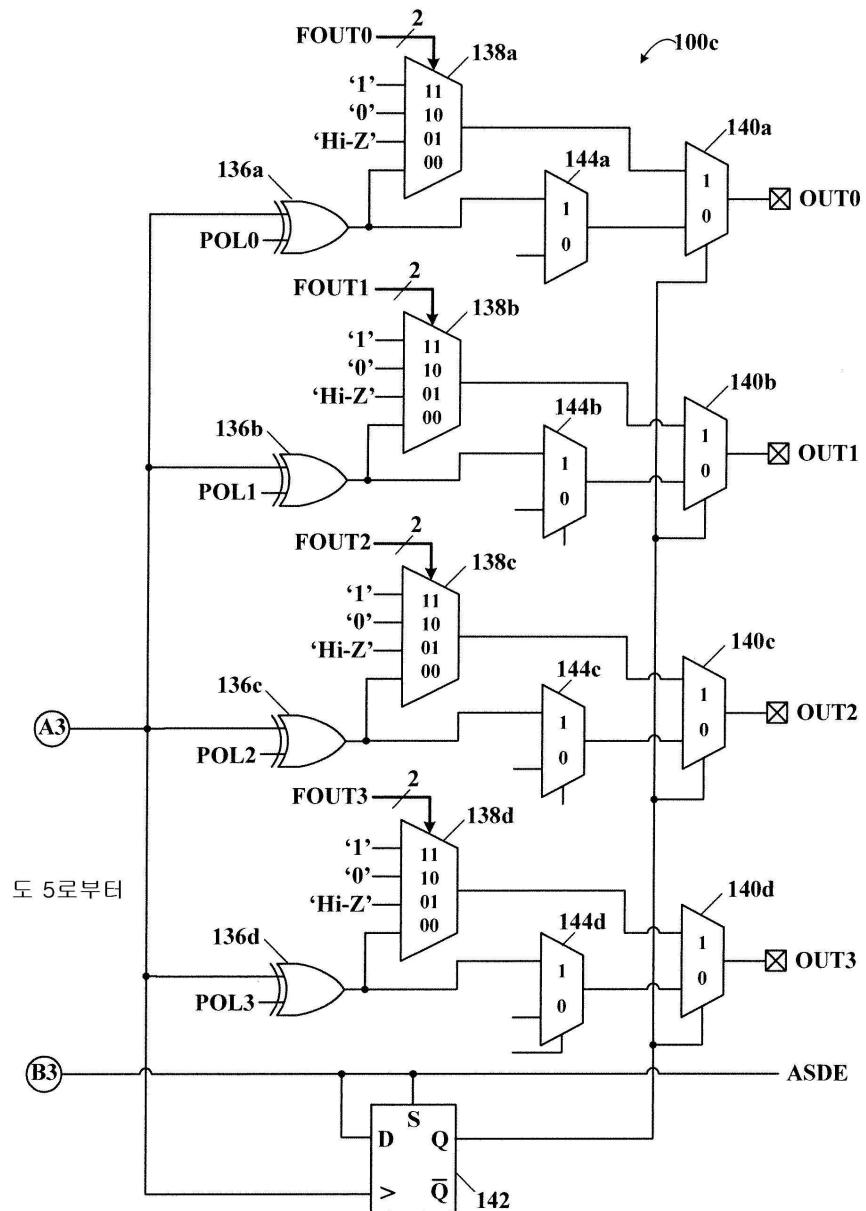
도면4



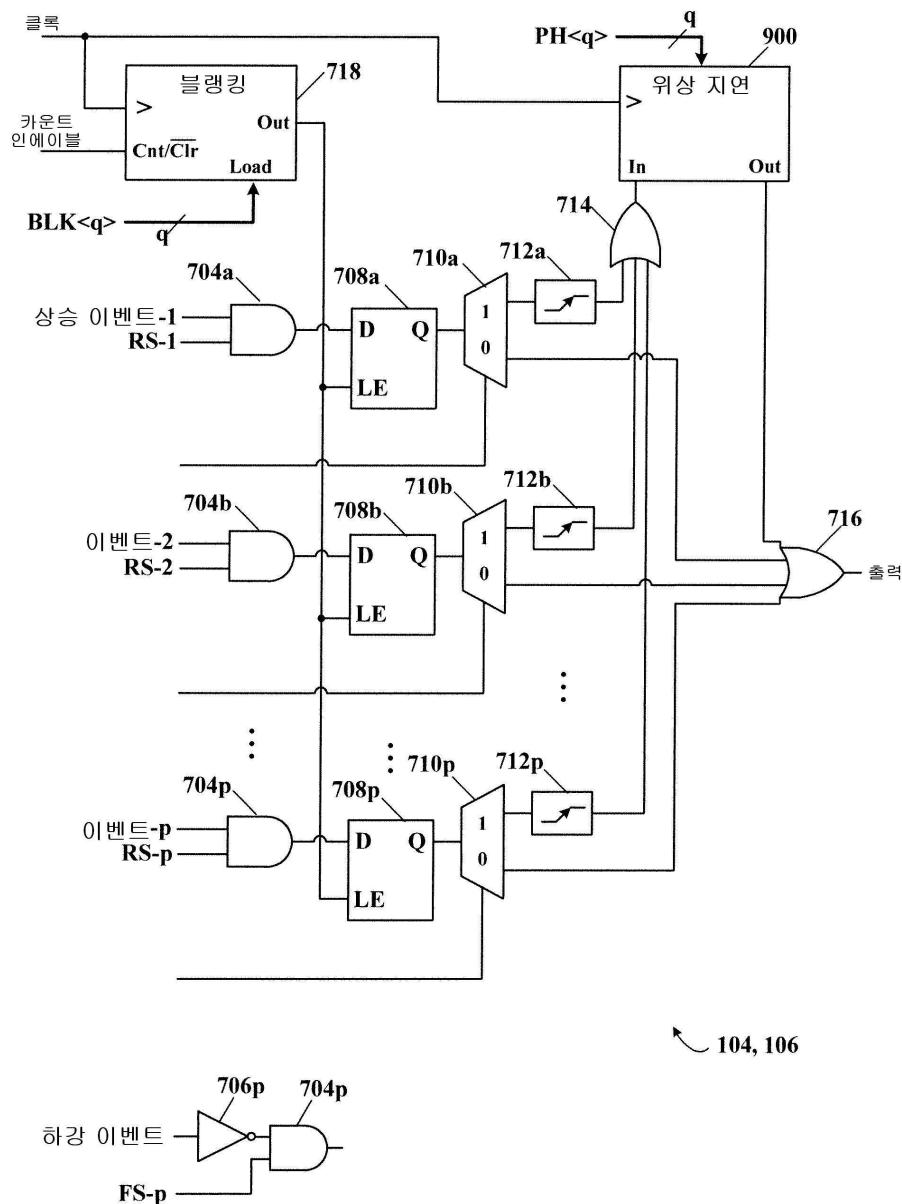
도면5



도면6

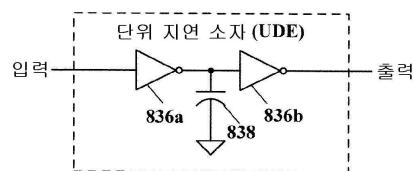
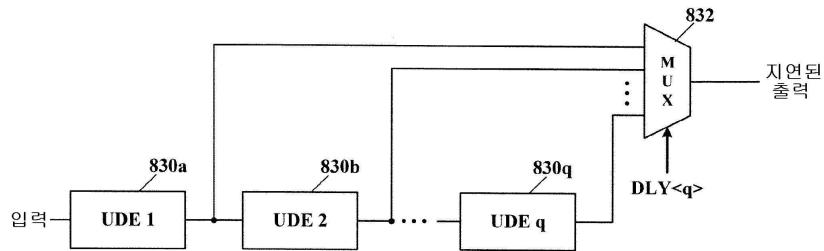


도면7

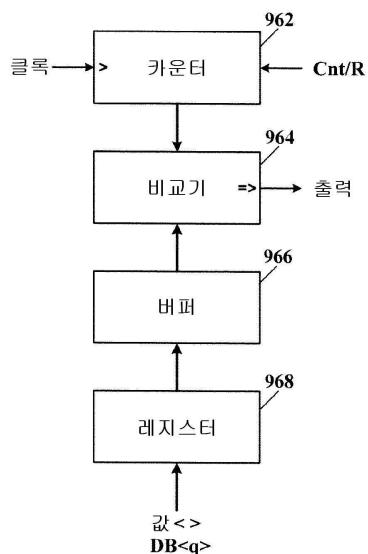


↑ 104, 106

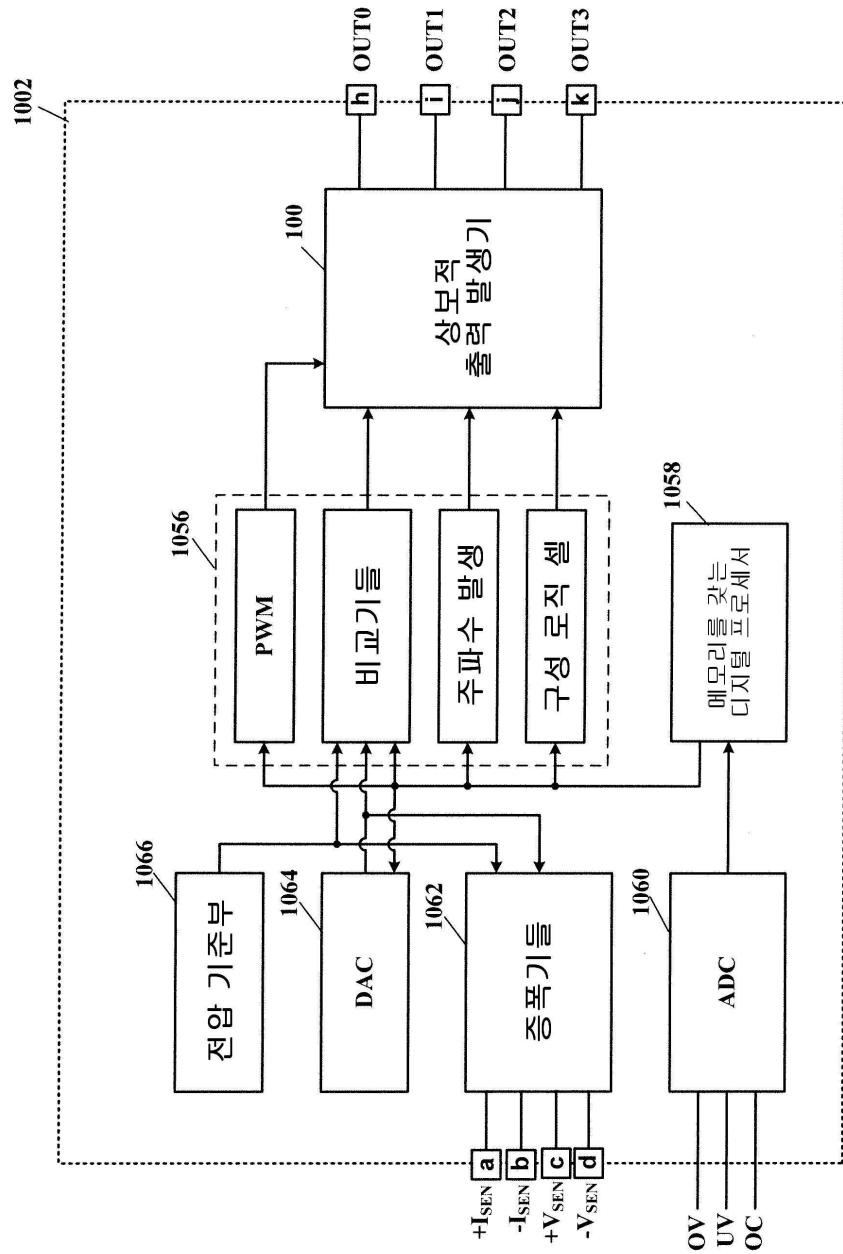
도면8



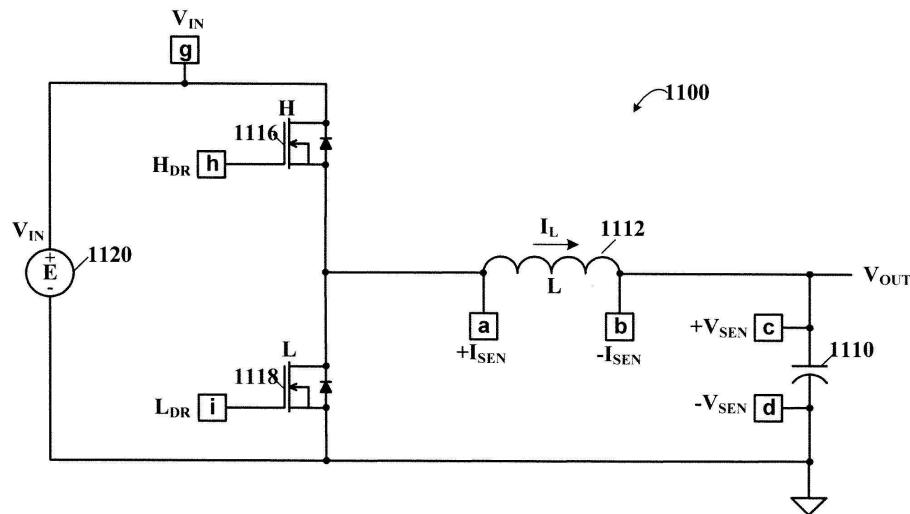
도면9



도면10



도면11



도면12

