

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5490393号
(P5490393)

(45) 発行日 平成26年5月14日(2014.5.14)

(24) 登録日 平成26年3月7日(2014.3.7)

(51) Int.Cl.	F 1
HO 1 L 27/12	(2006.01)
HO 1 L 21/02	(2006.01)
HO 1 L 21/20	(2006.01)
HO 1 L 21/265	(2006.01)
HO 1 L 21/336	(2006.01)
HO 1 L	27/12
HO 1 L	21/20
HO 1 L	21/265
HO 1 L	29/78
	6 2 7 D

請求項の数 6 (全 59 頁) 最終頁に続く

(21) 出願番号	特願2008-257262 (P2008-257262)
(22) 出願日	平成20年10月2日 (2008.10.2)
(65) 公開番号	特開2009-135434 (P2009-135434A)
(43) 公開日	平成21年6月18日 (2009.6.18)
審査請求日	平成23年9月30日 (2011.9.30)
(31) 優先権主張番号	特願2007-265014 (P2007-265014)
(32) 優先日	平成19年10月10日 (2007.10.10)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2007-285567 (P2007-285567)
(32) 優先日	平成19年11月1日 (2007.11.1)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878
	株式会社半導体エネルギー研究所
	神奈川県厚木市長谷398番地
(72) 発明者	大沼 英人
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
(72) 発明者	掛端 哲弥
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
(72) 発明者	下村 明久
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
(72) 発明者	笹川 慎也
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

単結晶半導体基板の一方の面上に絶縁層を形成し、
前記絶縁層を介して前記単結晶半導体基板の一方の面からイオン種を添加して、前記単結晶半導体基板に損傷領域を形成し、

前記単結晶半導体基板の一方の面上に形成された前記絶縁層と、支持基板の一方の面とを貼り合わせて熱処理を行い、前記支持基板と前記単結晶半導体基板を接着し、

前記単結晶半導体基板を加熱することにより、前記損傷領域において、単結晶半導体層が貼り合わされた前記支持基板と単結晶半導体基板の一部とに分離し、

前記支持基板に貼り合わされた前記単結晶半導体層の表面を清浄化し、

前記単結晶半導体層上に酸化シリコン層を形成し、

前記酸化シリコン層が形成された前記単結晶半導体層に対してドライエッチングを行った後、前記単結晶半導体層の表面に対してレーザビームを照射することを特徴とする半導体基板の製造方法。

【請求項 2】

単結晶半導体基板の一方の面上に第1の絶縁層を形成し、

前記第1の絶縁層を介して前記単結晶半導体基板の一方の面からイオン種を添加して、前記単結晶半導体基板に損傷領域を形成し、

支持基板の一方の面上に第2の絶縁層を形成し、

前記単結晶半導体基板の一方の面上に形成された前記第1の絶縁層と、前記支持基板の

10

20

一方の面上に形成された前記第2の絶縁層とを貼り合わせて熱処理を行い、前記支持基板と前記単結晶半導体基板を接着し、

前記単結晶半導体基板を加熱することにより、前記損傷領域において、単結晶半導体層が貼り合わされた前記支持基板と単結晶半導体基板の一部とに分離し、

前記支持基板に貼り合わされた前記単結晶半導体層の表面を清浄化し、

前記単結晶半導体層上に酸化シリコン層を形成し、

前記酸化シリコン層が形成された前記単結晶半導体層に対してドライエッチングを行つた後、前記単結晶半導体層の表面に対してレーザビームを照射することを特徴とする半導体基板の製造方法。

【請求項3】

10

請求項1又は請求項2において、

前記単結晶半導体層の表面に対してレーザビームを照射した後に、前記単結晶半導体層の表面に対してドライエッチングを行うことを特徴とする半導体基板の製造方法。

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記支持基板は、ガラス基板であることを特徴とする半導体基板の製造方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記イオン種は、 H_3^+ を含むことを特徴とする半導体基板の製造方法。

【請求項6】

20

請求項1乃至請求項5のいずれか一において、

前記イオン種は、総量に対して、 H_3^+ を80%以上含むことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は絶縁表面に単結晶半導体層が設けられた所謂SOI(Silicon on Insulator)構造を有するSOI基板の製造方法及びSOI構造を有する半導体装置の作製方法に関する。

【背景技術】

30

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ(以下、「SOI」ともいう)と呼ばれる半導体基板を使った集積回路が開発されている。SOI基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

【0003】

SOI基板を製造する方法としては、水素イオン注入剥離法が知られている(例えば、特許文献1参照。)。水素イオン注入剥離法は、シリコンウエハに水素イオンを注入することによって表面から所定の深さに損傷領域を形成し、該損傷領域において分離することで、別のシリコンウエハに薄いシリコン層を接合する。さらにシリコン層を剥離する熱処理を行うことに加え、酸化性雰囲気下での熱処理にシリコン層に酸化膜を形成した後に該酸化膜を除去し、次に1000から1300で熱処理を行つて接合強度を高める必要があるとされている。

【0004】

40

一方、高耐熱性ガラスなどの絶縁基板にシリコン層を設けた半導体装置が開示されている(例えば、特許文献2参照)。この半導体装置は、歪み点が750以上の結晶化ガラスの全面を絶縁性シリコン膜で保護し、水素イオン注入剥離法により得られるシリコン層を当該絶縁性シリコン膜上に貼り合わされた構成を有している。

【特許文献1】特開2000-124092号公報

50

【特許文献2】特開平11-163363号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

また、損傷領域を形成するために行うイオン照射工程において、シリコン層は照射されるイオンによりダメージを受けてしまう。上記シリコン層と支持基板との接合強度を高める熱処理において、イオン照射工程によるシリコン層へのダメージの回復も行っている。

【0006】

しかし、支持基板にガラス基板など耐熱温度が低い基板を用いる場合、1000以上10の熱処理を行うことができず、上記イオン照射工程によるシリコン層のダメージに対して十分に回復を行うことができなかった。

【0007】

また、従来の水素イオン注入剥離法では、シリコンウエハからシリコン層を分離した後に、該分離面を平坦化し、所定の厚さまで薄くするためにCMP (Chemical Mechanical Polishing) プロセスが必要となっている。しかし、CMPプロセスには時間がかかり、また、平坦性を有する大きなジグを形成することは困難である。そのために、従来のSOI基板は大面積化には向きであり、生産性と製造コストの低下を阻害する要因が内在していた。

【0008】

このような問題点に鑑み、ガラス基板など耐熱温度が低い基板を用いた場合にも、実用に耐えうる単結晶半導体層を備えたSOI基板の製造方法を提供すること目的の一とする。また、そのようなSOI基板を用いた信頼性の高いSOI装置を作製すること目的の一とする。20

【課題を解決するための手段】

【0009】

ソースガスを励起してプラズマを生成し、前記プラズマに含まれるイオン種を単結晶半導体基板の一方の面から添加して、前記単結晶半導体基板に損傷領域を形成し、前記単結晶半導体基板の一方の面上に絶縁層を形成し、前記絶縁層を間に挟んで前記単結晶半導体基板と向かい合うように支持基板を貼り合わせ、前記単結晶半導体基板を加熱することにより、前記損傷領域において、単結晶半導体層が貼り合わされた前記支持基板と単結晶半導体基板の一部とに分離し、前記支持基板に貼り合わされた前記単結晶半導体層の表面に対して、ドライエッチングを行い、前記単結晶半導体層に対してレーザビームを照射して、前記単結晶半導体層の少なくとも表面を溶融した後、凝固させることを特徴とする。30

【0010】

また、単結晶半導体層にレーザビームを照射した後に、ドライエッチング又はウェットエッチングの一方又は双方を組み合わせたエッチングを行ってもよい。

【0011】

ここで、単結晶とは、ある結晶軸に注目した場合、その結晶軸の方向が試料のどの部分においても同じ方向を向いている結晶のことをいい、かつ結晶と結晶との間に結晶粒界が存在しない結晶である。なお、本明細書では、結晶欠陥やダンギングボンドを含んでいても、上記のように結晶軸の方向が揃っており、粒界が存在していない結晶であるものは単結晶とする。また、単結晶半導体層の再単結晶化とは、単結晶構造の半導体層が、その単結晶構造と異なる状態（例えば、液相状態）を経て、再び単結晶構造になることをいう。あるいは、単結晶半導体層の再単結晶化とは、単結晶半導体層を再結晶化して、単結晶半導体層を形成するということもできる。40

【発明の効果】

【0012】

単結晶半導体基板の損傷領域において、単結晶半導体基板が貼り合わされた支持基板と単結晶半導体基板の一部とに分離し、支持基板に貼り合わされた単結晶半導体層にドライエッチングを行うことにより、単結晶半導体層表面の欠陥やダメージを除去し、単結晶半50

導体層の表面粗さを低減した後に、レーザビームを照射しているため、レーザビームの照射による単結晶半導体層の溶融時に、欠陥やダメージを単結晶半導体層中に取り込むことを防ぐことができる。よって、欠陥が低減され、かつ平坦性の高い単結晶半導体層とすることができる。

【0013】

また、ガラス基板等耐熱温度が低い基板を用いた場合にも、実用に耐える単結晶半導体層を備えたSOI基板を製造することができる。さらに、そのようなSOI基板に設けられた単結晶半導体層を用いて、高性能及び高信頼性な様々な半導体素子、記憶素子、集積回路などを含む半導体装置を歩留まり良く作製することができる。

【発明を実施するための最良の形態】

10

【0014】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々なに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0015】

(実施の形態1)

20

本実施の形態では、単結晶半導体基板を分離して、単結晶半導体層が貼り合わされた支持基板と単結晶半導体基板の一部とに分離し、支持基板に貼り合わされた単結晶半導体層の表面に対してドライエッチングを行い、ドライエッチングが行われた単結晶半導体層の表面にレーザビームを照射するSOI基板の製造方法について、図面を参照して説明する。また、本実施の形態では、ガラス基板等耐熱温度が低い基板に単結晶半導体層を設けることを目的の一とするSOI基板の製造方法についても合わせて説明する。

【0016】

まず、単結晶半導体基板101を準備する。単結晶半導体基板101は、所望の大きさ、形状に加工されている。単結晶半導体基板101は、例えば、単結晶シリコン基板、ゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板等である。単結晶シリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)サイズの円形のものが代表的である。また、直径18インチ(450mm)サイズの円形のものも用いることができる。なお、形状は円形に限らず矩形状に加工した単結晶シリコン基板を用いることも可能である。

30

【0017】

単結晶半導体基板101の一方の面に窒素を含有する絶縁層102を形成する(図1(A))。窒素を含有する絶縁層102は、後に単結晶半導体基板101の一部を支持基板に貼り合わせて単結晶半導体層を設けた際に、支持基板側からの不純物汚染を防ぐ目的で設けておくことが好ましい。すなわち、窒素を含有する絶縁層102は支持基板に含まれる可動イオンや水分等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。従って、不純物汚染が問題とならない場合には、窒素を含有する絶縁層102は省略することも可能である。

40

【0018】

窒素を含有する絶縁層102は、化学気相成長(CVD; Chemical Vapor Deposition)法、スピッタリング法等を用いて窒化シリコン層、窒化酸化シリコン層又は酸化窒化シリコン層を単層構造又は2層以上の積層構造で形成することができる。窒素を含有する絶縁層102は、50nm乃至200nmの範囲で設けることが好ましい。本実施の形態では、例えば、単結晶半導体基板101側から酸化窒化シリコン層、窒化酸化シリコン層を積層させて窒素を含有する絶縁層102とすることができます。なお、本明細書における化学気相成長(CVD; Chemical Vapor Dep

50

osition) 法は、プラズマ CVD 法、熱 CVD 法、光 CVD 法を範疇に含むものとする。

【0019】

なお、酸化窒化シリコン層とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法 (RBS : Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS : Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 15 原子%、シリコンが 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲で含まれるものという。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、シリコンが 25 ~ 35 原子%、水素が 10 ~ 30 原子% の範囲で含まれるものという。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 100 原子%としたとき、窒素、酸素、Si 及び水素の含有比率が上記の範囲内に含まれるものとする。10

【0020】

次いで、絶縁層 102 を介して、電界で加速されたイオンでなるイオンビーム 105 を単結晶半導体基板 101 に照射することで単結晶半導体基板に導入し、単結晶半導体基板 101 の一方の面から所定の深さの領域に損傷領域 103 を形成する (図 1 (B) 参照)。イオンビーム 105 は、ソースガスを励起して、ソースガスのプラズマを生成し、プラズマから電界の作用により、プラズマに含まれるイオンを引き出すことで生成される。20

【0021】

損傷領域 103 が形成される領域の深さは、イオンビーム 105 の加速電圧とイオンビーム 105 の入射角によって調節することができる。イオンの平均侵入深さとほぼ同じ深さの領域に損傷領域 103 が形成される。イオンを導入する深さで、単結晶半導体基板 101 から分離される単結晶半導体層の厚さが決定される。この単結晶半導体層の厚さが 20 nm 乃至 500 nm、好ましくは 20 nm 乃至 200 nm となるように、損傷領域 103 が形成される深さを調節する。

【0022】

イオンを単結晶半導体基板 101 に添加するには、イオン注入装置、又はイオンドーピング装置を用いることができる。イオン注入装置では、ソースガスを励起しプラズマを生成し、プラズマ中からイオン種を引き出し、イオン種を質量分離して所定の質量を有するイオン種を被処理物に照射する。イオンドーピング装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオン種を引き出し、イオン種を質量分離せずに被処理物に打ち込む。なお、質量分離装置を備えているイオンドーピング装置では、イオン注入装置と同様に、質量分離を伴うイオン注入を行うことができる。本明細書において、イオン注入装置、又はイオンドーピング装置のいずれか一方を特に用いる必要がある場合にのみそれを明記し、特に明記しないときは、いずれの装置を用いてイオンの照射を行っても良いこととする。30

【0023】

イオンドーピング装置を用いる場合のイオンの照射工程は、例えば、以下の条件で行うことができる。40

- ・ 加速電圧 10 kV 以上 100 kV 以下 (好ましくは、20 kV 以上 80 kV 以下)
- ・ ドーズ量 1×10^{16} ions / cm² 以上 4×10^{16} ions / cm² 以下
- ・ ビーム電流密度 2 μA / cm² (好ましくは、5 μA / cm² 以上、より好ましくは 10 μA / cm² 以上)

【0024】

イオンドーピング装置を用いる場合、イオンの照射工程のソースガスには水素ガスを用いることができる。水素ガス (H₂ ガス) を用いることにより、イオン種として H⁺、H₂⁺、H₃⁺ を生成することができる。水素ガスをソースガスとして用いる場合には、H₃⁺ を多く照射することが好ましい。H₃⁺ イオンを多く照射することで、H⁺、H₂⁺ 50

を照射するよりもイオンの打ち込み効率が向上する。つまり、イオン照射にかかる時間を短縮することができる。また、損傷領域 103においての分離がより容易になる。また、 H_3^+ を用いることで、イオンの平均侵入深さを浅くすることができるため、損傷領域 103をより浅い領域に形成することができる。

【0025】

イオン注入装置を用いる場合には、質量分離により、 H_3^+ イオンが照射されるようになることが好ましい。もちろん H_2^+ を照射しても良い。但し、イオン注入装置を用いる場合には、イオン種を選択して照射するため、イオンドーピング装置を用いる場合と比較して、イオンの照射効率が低下する場合がある。

【0026】

イオンドーピング装置を用いる場合は、イオンビーム 105に、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ イオンが 70%以上含まれるようにすることが好ましい。より好ましくは、 H_3^+ イオンが含まれる割合を 80%以上とする。このように H_3^+ の割合を高めておくと、損傷領域 103に $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の水素を含ませることができるので、半導体層の分離が容易になる。

【0027】

イオン照射工程のソースガスには水素ガスの他に、ヘリウムやアルゴンなどの希ガス、フッ素ガス、塩素ガスに代表されるハロゲンガス、フッ素化合物ガス（例えば、 BF_3 ）などのハロゲン化合物ガスから選ばれた一種又は複数種のガスを用いることができる。ソースガスにヘリウムを用いる場合は、質量分離を行わないことで、 He^+ イオンの割合が高いイオンビーム 105を作り出すことができる。このようなイオンビーム 105を用いることで、損傷領域 103を効率良く形成することができる。

【0028】

以下において、本発明の特徴の一であるイオンの照射方法について考察する。

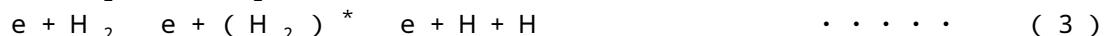
【0029】

本発明では、水素（H）に由来するイオン（以下「水素イオン種」と呼ぶ）を単結晶半導体基板に対して照射している。より具体的には、水素ガス又は水素を組成に含むガスを原材料として用い、水素プラズマを発生させ、該水素プラズマ中の水素イオン種を単結晶半導体基板に対して照射している。

【0030】

(水素プラズマ中のイオン)

上記のような水素プラズマ中には、 H^+ 、 H_2^+ 、 H_3^+ といった水素イオン種が存在する。ここで、各水素イオン種の反応過程（生成過程、消滅過程）について、以下に反応式を列挙する。



【0031】

図 30 に、上記の反応の一部を模式的に表したエネルギーダイアグラムを示す。なお、図 30 に示すエネルギーダイアグラムは模式図に過ぎず、反応に係るエネルギーの関係を厳密に規定するものではない点に留意されたい。

【0032】

(H_3^+ の生成過程)

上記のように、 H_3^+ は、主として反応式 (5) により表される反応過程により生成さ

10

20

30

40

50

れる。一方で、反応式(5)と競合する反応として、反応式(6)により表される反応過程が存在する。 H_3^+ が増加するためには、少なくとも、反応式(5)の反応が、反応式(6)の反応より多く起こる必要がある(なお、 H_3^+ が減少する反応としては他にも(7)、(8)、(9)が存在するため、(5)の反応が(6)の反応より多いからといって、必ずしも H_3^+ が増加するとは限らない。)。反対に、反応式(5)の反応が、反応式(6)の反応より少ない場合には、プラズマ中における H_3^+ の割合は減少する。

【0033】

上記反応式における右辺(最右辺)の生成物の増加量は、反応式の左辺(最左辺)で示す原料の密度や、その反応に係る速度係数などに依存している。ここで、 H_2^+ の運動エネルギーが約11eVより小さい場合には(5)の反応が主要となり(すなわち、反応式(5)に係る速度係数が、反応式(6)に係る速度係数と比較して十分に大きくなり)、 H_2^+ の運動エネルギーが約11eVより大きい場合には(6)の反応が主要となることが実験的に確認されている。10

【0034】

荷電粒子は電場から力を受けて運動エネルギーを得る。該運動エネルギーは、電場によるポテンシャルエネルギーの減少量に対応している。例えば、ある荷電粒子が他の粒子と衝突するまでの間に得る運動エネルギーは、その間に通過した電位差分のポテンシャルエネルギーに等しい。つまり、電場中において、他の粒子と衝突することなく長い距離を移動できる状況では、そうではない状況と比較して、荷電粒子の運動エネルギー(の平均)は大きくなる傾向にある。このような、荷電粒子に係る運動エネルギーの増大傾向は、粒子の平均自由行程が大きい状況、すなわち、圧力が低い状況で生じ得る。20

【0035】

また、平均自由行程が小さくとも、その間に大きな運動エネルギーを得ることができる状況であれば、荷電粒子の運動エネルギーは大きくなる。すなわち、平均自由行程が小さくとも、電位差が大きい状況であれば、荷電粒子の持つ運動エネルギーは大きくなると言える。

【0036】

これを H_2^+ に適用してみる。プラズマの生成に係るチャンバー内のように電場の存在を前提とすれば、該チャンバー内の圧力が低い状況では H_2^+ の運動エネルギーは大きくなり、該チャンバー内の圧力が高い状況では H_2^+ の運動エネルギーは小さくなる。つまり、チャンバー内の圧力が低い状況では(6)の反応が主要となるため、 H_3^+ は減少する傾向となり、チャンバー内の圧力が高い状況では(5)の反応が主要となるため、 H_3^+ は増加する傾向となる。また、プラズマ生成領域における電場(又は電界)が強い状況、すなわち、ある二点間の電位差が大きい状況では H_2^+ の運動エネルギーは大きくなり、反対の状況では、 H_2^+ の運動エネルギーは小さくなる。つまり、電場が強い状況では(6)の反応が主要となるため H_3^+ は減少する傾向となり、電場が弱い状況では(5)の反応が主要となるため、 H_3^+ は増加する傾向となる。30

【0037】

(イオン源による差異)

ここで、イオン種の割合(特に H_3^+ の割合)が異なる例を示す。図31は、100%水素ガス(イオン源の圧力: 4.7×10^{-2} Pa)から生成されるイオンの質量分析結果を示すグラフである。なお、上記質量分析は、イオン源から引き出されたイオンを測定することにより行った。横軸はイオンの質量である。スペクトル中、質量1、2、3のピークは、それぞれ、 H^+ 、 H_2^+ 、 H_3^+ に対応する。縦軸は、スペクトルの強度であり、イオンの数に対応する。図31では、質量が異なるイオンの数量を、質量3のイオンを100とした場合の相対比で表している。図31から、上記イオン源により生成されるイオンの割合は、 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 程度となることが分かる。なお、このような割合のイオンは、プラズマを生成するプラズマソース部(イオン源)と、当該プラズマからイオンビームを引き出すための引出電極などから構成されるイオンドーピング装置によっても得ることが出来る。4050

【0038】

図32は、図31とは異なるイオン源を用いた場合であって、イオン源の圧力がおおよそ 3×10^{-3} Paの時に、PH₃から生成したイオンの質量分析結果を示すグラフである。上記質量分析結果は、水素イオン種に着目したものである。また、質量分析は、イオン源から引き出されたイオンを測定することにより行った。図31と同様、横軸はイオンの質量を示し、質量1、2、3のピークは、それぞれH⁺、H₂⁺、H₃⁺に対応する。縦軸はイオンの数量に対応するスペクトルの強度である。図32から、プラズマ中のイオンの割合はH⁺ : H₂⁺ : H₃⁺ = 37 : 56 : 7程度であることが分かる。なお、図32はソースガスがPH₃の場合のデータであるが、ソースガスとして100%水素ガスを用いたときも、水素イオン種の割合は同程度になる。

10

【0039】

図32のデータを得たイオン源の場合には、H⁺、H₂⁺及びH₃⁺のうち、H₃⁺が7%程度しか生成されていない。他方、図31のデータを得たイオン源の場合には、H₃⁺の割合を50%以上（上記の条件では80%程度）とすることが可能である。これは、上記考察において明らかになったチャンバー内の圧力及び電場に起因するものと考えられる。

【0040】

(H₃⁺の照射メカニズム)

図31のような複数のイオン種を含むプラズマを生成し、生成されたイオン種を質量分離しないで単結晶半導体基板に照射する場合、単結晶半導体基板の表面には、H⁺、H₂⁺、H₃⁺の各イオンが照射される。イオンの照射からイオン導入領域形成にかけてのメカニズムを再現するために、以下の5種類のモデルを考える。

20

1. 照射されるイオン種がH⁺で、照射後もH⁺(H)である場合
2. 照射されるイオン種がH₂⁺で、照射後もH₂⁺(H₂)のままである場合
3. 照射されるイオン種がH₂⁺で、照射後に2個のH(H⁺)に分裂する場合
4. 照射されるイオン種がH₃⁺で、照射後もH₃⁺(H₃)のままである場合
5. 照射されるイオン種がH₃⁺で、照射後に3個のH(H⁺)に分裂する場合。

【0041】

(シミュレーション結果と実測値との比較)

上記のモデルを基にして、水素イオン種をSi基板に照射する場合のシミュレーションを行った。シミュレーション用のソフトウェアとしては、SRIM(the Stopping and Range of Ions in Matter:モンテカルロ法によるイオン導入過程のシミュレーションソフトウェア、TRIM(the Transport of Ions in Matter)の改良版)を用いている。なお、計算の関係上、モデル2ではH₂⁺を質量2倍のH⁺に置き換えて計算した。また、モデル4ではH₃⁺を質量3倍のH⁺に置き換えて計算した。さらに、モデル3ではH₂⁺を運動エネルギー1/2のH⁺に置き換え、モデル5ではH₃⁺を運動エネルギー1/3のH⁺に置き換えて計算を行った。

30

【0042】

なお、SRIMは非晶質構造を対象とするソフトウェアではあるが、高エネルギー、高ドーズの条件で水素イオン種を照射する場合には、SRIMを適用可能である。水素イオン種とSi原子の衝突により、Si基板の結晶構造が非単結晶構造に変化するためである。

40

【0043】

図33に、モデル1乃至モデル5を用いて水素イオン種を照射した場合(H換算で10万個照射時)の計算結果を示す。また、図31の水素イオン種を照射したSi基板中の水素濃度(SIMS(Secondary Ion Mass Spectroscopy)のデータ)をあわせて示す。モデル1乃至モデル5を用いて行った計算の結果については、縦軸を水素原子の数で表しており(右軸)、SIMSデータについては、縦軸を水素原子の密度で表している(左軸)。横軸はSi基板表面からの深さである。実測値である

50

SIMSデータと、計算結果とを比較した場合、モデル2及びモデル4は明らかにSIMSデータのピークから外れており、また、SIMSデータ中にはモデル3に対応するピークも見られない。このことから、モデル2乃至モデル4の寄与は、相対的に小さいことが分かる。イオンの運動エネルギーがk eV程度であるのに対して、H-Hの結合エネルギーは数eV程度に過ぎないことを考えれば、モデル2及びモデル4の寄与が小さいのは、Si元素との衝突により、大部分のH₂⁺やH₃⁺が、H⁺やHに分離しているためと思われる。

【0044】

以上より、モデル2乃至モデル4については、以下では考慮しない。図34乃至図36に、モデル1及びモデル5を用いて水素イオン種を照射した場合（H換算で10万個照射時）の計算結果を示す。また、図31の水素イオン種を照射したSi基板中の水素濃度（SIMSデータ）及び、上記シミュレーション結果をSIMSデータにフィッティングさせたもの（以下フィッティング関数と呼ぶ）を合わせて示す。ここで、図34は加速電圧を80kVとした場合を示し、図35は加速電圧を60kVとした場合を示し、図36は加速電圧を40kVとした場合を示している。なお、モデル1及びモデル5を用いて行った計算の結果については、縦軸を水素原子の数で表しており（右軸）、SIMSデータ及びフィッティング関数については、縦軸を水素原子の密度で表している（左軸）。横軸はSi基板表面からの深さである。

【0045】

フィッティング関数はモデル1及びモデル5を考慮して以下の計算式により求めることとした。なお、計算式中、X、Yはフィッティングに係るパラメータであり、Vは体積である。

[フィッティング関数]

$$= X / V \times [\text{モデル1のデータ}] + Y / V \times [\text{モデル5のデータ}]$$

【0046】

現実に照射されるイオン種の割合（H⁺ : H₂⁺ : H₃⁺ = 1 : 1 : 8程度）を考えればH₂⁺の寄与（すなわち、モデル3）についても考慮すべきであるが、以下に示す理由により、ここでは除外して考えた。

- ・モデル3に示される照射過程により導入される水素は、モデル5の照射過程と比較して僅かであるため、除外して考えても大きな影響はない（SIMSデータにおいても、ピークが現れていない）。

- ・モデル5とピーク位置の近いモデル3は、モデル5において生じるチャネリング（結晶の格子構造に起因する元素の移動）により隠れてしまう可能性が高い。すなわち、モデル3のフィッティングパラメータを見積もるのは困難である。これは、本シミュレーションが非晶質Siを前提としており、結晶性に起因する影響を考慮していないことによるものである。

【0047】

図37に、上記のフィッティングパラメータをまとめる。いずれの加速電圧においても、導入されるHの数の比は、[モデル1] : [モデル5] = 1 : 4.2 ~ 1 : 4.5程度（モデル1におけるHの数を1とした場合、モデル5におけるHの数は4.2以上4.5以下程度）であり、照射されるイオン種の数の比は、[H⁺（モデル1）] : [H₃⁺（モデル5）] = 1 : 1.4 ~ 1 : 1.5程度（モデル1におけるH⁺の数を1とした場合、モデル5におけるH₃⁺の数は1.4以上1.5以下程度）である。モデル3を考慮していないことや非晶質Siと仮定して計算していることなどを考えれば、実際の照射に係るイオン種の比（H⁺ : H₂⁺ : H₃⁺ = 1 : 1 : 8程度）に近い値が得られていると言える。

【0048】

(H₃⁺を用いる効果)

図31に示すようなH₃⁺の割合を高めた水素イオン種を基板に照射することで、H₃⁺に起因する複数のメリットを享受することができる。例えば、H₃⁺は基板面でH⁺やHなどに分離して基板内に導入されるため、主にH⁺やH₂⁺を照射する場合と比較して

10

20

30

40

50

、イオンの導入効率を向上させることができる。これにより、半導体基板の生産性向上を図ることができる。また、同様に、 H_3^+ が分離した後の H^+ やHの運動エネルギーは小さくなる傾向にあるから、薄い半導体層の製造に向いている。

【0049】

なお、本明細書では、 H_3^+ を効率的に照射するために、図31に示すような水素イオン種を照射可能なイオンドーピング装置を用いる方法について説明している。イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いて H_3^+ を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。一方で、 H_3^+ の照射を第一に考えるのであれば、イオンドーピング装置を用いることに限定して解釈する必要はない。

10

【0050】

次いで、単結晶半導体基板101上の絶縁層102を介して絶縁層104（接合層とも記す）を形成する（図1（C）参照）。絶縁層104は、単結晶半導体基板101が支持基板と接合を形成する面に設ける。単層構造としても2層以上の積層構造としてもよいが、支持基板と接合する面（以下、「接合面」とも記す）が平滑面を有し親水性表面となる絶縁層を用いることが好ましい。

【0051】

平滑面を有し親水性表面を形成できる絶縁層としては、水素を含有する酸化シリコン、水素を含有する窒化シリコン、酸素と水素を含有する窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等を適用することができる。

20

【0052】

水素を含有する酸化シリコンとしては、例えば有機シランを用いて化学気相成長法により作製される酸化シリコンは好ましい。有機シランを用いて形成された絶縁層104、例えば酸化シリコン膜を用いることによって、支持基板と単結晶半導体層との接合を強固にすることができるためである。有機シランとしては、テトラエトキシシラン（TEOS：化学式 $Si(OCH_3)_4$ ）、テトラメチルシラン（TMS：化学式 $Si(CH_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $SiH(OCH_3)_3$ ）、トリスジメチルアミノシラン（ $SiH(N(CH_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

30

【0053】

なお、絶縁層として機能する酸化シリコン層は、モノシラン、ジシラン、又はトリシランを原料ガスに用いて化学気相成長法により形成することもできる。また、絶縁層として機能する酸化シリコン層は熱酸化膜でもよく、塩素を含んでいると好適である。

【0054】

水素を含有する窒化シリコンは、シランガスとアンモニアガスを用いてプラズマCVD法により形成することができる。前記ガスに水素が加えられていても良い。酸素と水素を含有する窒化シリコンは、シランガスとアンモニアガスと亜酸化窒素ガスを用いてプラズマCVD法で作製することができる。いずれにしても、プラズマCVD法、減圧CVD法、常圧CVD法等の化学気相成長法により、シランガス等を原料ガスとして用いて作製される酸化シリコン、酸化窒化シリコン、窒化酸化シリコンであって水素が含まれるものであれば適用することができる。化学気相成長法による成膜では、単結晶半導体基板101に形成した損傷領域103から脱ガスが起こらない程度の温度を適用する。例えば、成膜温度を350℃以下とすることが好ましい。なお、単結晶半導体基板101から単結晶半導体層を分離する加熱処理は、化学気相成長法による成膜温度よりも高い加熱処理温度が適用される。いずれにしても絶縁層104として、平滑面を有し、水酸基が付いた表面を有するものであれば良い。

40

【0055】

絶縁層104の厚さは10nm以上200nm以下とすることができる。好ましい厚さは10nm以上100nm以下であり、より好ましくは20nm以上50nm以下である

50

。

【0056】

次いで、単結晶半導体基板101と支持基板107とを密着させる(図1(D)参照)。単結晶半導体基板101上に形成された絶縁層104の表面と支持基板107の表面とを密着させることにより、単結晶半導体基板101と支持基板107とが接合する。この接合は、水素結合やファン・デル・ワールス力が作用している。接合は、親水性となった単結晶半導体基板101及び支持基板107の表面の水酸基や水分子が接着剤として働くことによって起こる。熱処理によって水分子が拡散し、残留成分のシラノール基(Si-OH)同士が水素結合で結合する。さらにこの接合部は、水素が抜けることでシロキサン結合(Si-O-Si)が形成されることで共有結合になり、単結晶半導体基板101と支持基板107の接合が強固なものとなる。
10

【0057】

支持基板107は、絶縁表面を有する基板を用いる。例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。好ましくは支持基板107としてガラス基板を用いるのがよく、例えば第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)といわれる大面積のマザーガラス基板を用いる。大面積のマザーガラス基板を支持基板107として用いてSOI基板を製造することで、SOI基板の大面積化が実現できる。その結果、1枚の基板から製造できる表示パネルの数(面取り数)を増大させることができるとなり、生産性を向上させることができる。
20

【0058】

アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板の表面は、研磨面を有しているものを用いると平坦性が頗る良好であり好ましい。ガラス基板の研磨面と単結晶半導体基板、若しくは単結晶半導体基板に形成された絶縁層とを接合させることにより、接合不良を低減することができる。ガラス基板の研磨は、例えば酸化セリウム等で行えば良い。研磨処理を行うことで、ガラス基板の主表面における端部領域を含む略全面に単結晶半導体基板を貼り合わせることができる。
30

【0059】

また、支持基板107と絶縁層104との接合を良好に行うために、接合面を活性化しておいてもよい。例えば、接合する面の一方又は双方に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行うことで接合面を活性化することもできる。このような表面処理により、400以下の温度であっても異種材料間の接合することが容易となる。
30

【0060】

絶縁層104を介して支持基板107と単結晶半導体基板101を貼り合わせた後(図2(A)参照)は、加熱処理と加圧処理の一方又は両方を行うことが好ましい。加熱処理や加圧処理を行うことにより支持基板107と単結晶半導体基板101の接合強度を向上させることが可能となる。加熱処理の温度は、支持基板107の耐熱温度以下で行う。加圧処理は、接合面に垂直な方向に圧力が加わるように行い、支持基板107及び単結晶半導体基板101の耐圧性を考慮して行う。
40

【0061】

単結晶半導体基板101に加熱処理を行うことにより、損傷領域103において、単結晶半導体基板101を分離する。(図2(B)参照)。加熱処理の温度は絶縁層104の成膜温度以上、支持基板107の耐熱温度以下で行うことが好ましい。例えば400乃至700の加熱処理を行うことにより、損傷領域103に形成された微小な空洞の体積変化が起こり、当該損傷領域103において分離する。絶縁層104は支持基板107と
50

接合しているので、支持基板 107 上には単結晶半導体基板 101 から分離された単結晶半導体層 108 が貼り合わされる。支持基板 107 には、単結晶半導体基板と同じ結晶構造と結晶方位を有する単結晶半導体層 108 が残存することとなる。

【0062】

400 乃至 700 の温度域での熱処理は、前述の接合強度を向上させるための熱処理と同じ装置で連続して行っても良いし、別の装置で行っても良い。例えば炉で 200 2 時間熱処理した後に、600 近傍まで昇温し 2 時間保持し、400 から室温までの温度域に降温した後、炉より取り出す。また、熱処理は室温から昇温してもよい。また、炉で 200 2 時間熱処理下の他に、瞬間熱アニール (RTA) 装置によって 600 乃至 700 の温度域で、1 分間乃至 30 分間（例えば 600 、7 分間、650 、7 分間）熱処理を行ってもよい。10

【0063】

400 乃至 700 の温度域での熱処理により、絶縁層と支持基板との接合は水素結合から共有結合に移行し、損傷領域に添加されたガスが放出し圧力が上昇し、単結晶半導体基板より単結晶半導体層を分離することができる。熱処理を行った後は支持基板と単結晶半導体基板は、一方が他方に載っている状態であり、大きな力を加えずに支持基板と単結晶半導体基板の一部とを離すことができる。例えば、上方に載っている基板を真空チャックで持ち上げることにより簡単に離すことができる。この際、下側の基板を真空チャックやメカニカルチャックで固定しておくと水平方向のずれがなく支持基板及び単結晶半導体基板の両基板を離すことができる。20

【0064】

なお、図 1 乃至 図 4 においては、単結晶半導体基板 101 が支持基板 107 と同じサイズの例を示すが、本発明はこれに限定されない。単結晶半導体基板 101 と支持基板 107 がより小さいサイズであってもよいし、単結晶半導体基板 101 が支持基板 107 より大きいサイズであってもよい。

【0065】

次に、支持基板に貼り合わされた単結晶半導体層 108 の表面に残存する結晶欠陥をドライエッティングにより除去する。図 2 (B) に示す単結晶半導体層 108 の表面には、損傷領域 103 の形成のためのイオン添加工程や、分離工程による欠陥が存在し、単結晶半導体層表面の平坦性は損なわれている。このような、平坦性の損なわれた単結晶半導体層 108 の表面に、薄く、且つ、高い絶縁耐圧のゲート絶縁層を形成することは困難である。また、単結晶半導体層 108 に欠陥が存在する場合には、ゲート絶縁層との界面における局在準位密度が高くなるなど、トランジスタの性能及び信頼性に悪影響を与えるため、単結晶半導体層 108 の欠陥を除去する処理を行う。なお、図 2 (B) において、単結晶半導体層 108 の表面の凹凸形状は、表面が粗く、平坦性が悪いことを特徴的に示しているだけであり、実際の形状はこれに限定されない。30

【0066】

そこで、単結晶半導体層 108 の表面に存在する欠陥を除去するために、単結晶半導体層 108 の表面にドライエッティングを行う（図 2 (C) 参照）。本実施の形態では、例えば、反応性イオンエッティング (RIE : Reactive Ion Etching) 法、ICP (Inductively Coupled Plasma) エッティング法、ECR (Electron Cyclotron Resonance) エッティング法、平行平板型（容量結合型）エッティング法、マグネットロンプラズマエッティング法、2 周波プラズマエッティング法またはヘリコン波プラズマエッティング法等のドライエッティング法を用いる。

【0067】

また、単結晶半導体層 108 の表面には、自然酸化膜が形成されている。自然酸化膜が形成された単結晶半導体層 108 にドライエッティングを行うと、ドライエッティングがされた単結晶半導体層 108 の膜厚にばらつきが生じる。そこで、希フッ酸で単結晶半導体層 108 の表面を処理し、自然酸化膜の除去と表面に付着するゴミ等の汚染物も除去して單4050

結晶半導体層 108 の表面を清浄化する。そして、清浄化された単結晶半導体層 108 上に、酸化シリコン層を形成する（図示せず）。酸化シリコン層としてはケミカルオキサイドを適用するができる。ケミカルオキサイドは、例えば、オゾン水含有水で単結晶半導体層表面を処理することで形成することができる。

【0068】

酸化シリコン層が形成された単結晶半導体層 108 に対して、ドライエッチングを行う。ドライエッチングを行い、単結晶半導体層の表面を除去することにより、単結晶半導体層表面に形成された欠陥の除去を行うことができ、単結晶半導体層の表面荒れを低減することができる。例えば ICP エッチング法を用いる場合、エッチングガスである塩素の流量 40 sccm ~ 100 sccm、コイル型の電極に投入する電力 100W ~ 200W、下部電極（バイアス側）に投入する電力 40W ~ 100W、反応圧力 0.5 Pa ~ 1.0 Pa とすれば良い。エッチングガスには、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。例えば、エッチングガスである塩素の流量 100 sccm、反応圧力 1.0 Pa、下部電極の温度 70°、コイル型の電極に投入する RF (13.56 MHz) 電力 150W、下部電極（バイアス側）に投入する電力 40W とすることにより、単結晶半導体層 108 を 50 nm 乃至 60 nm 程度にまで薄膜化することができる。単結晶半導体層に存在する欠陥の大きさや深さは、イオンを添加するエネルギーの大きさやドーズ量に起因する。よって、ドライエッチングによって除去する膜厚は、ドライエッチング前の単結晶半導体層 108 の膜厚とその表面粗さの程度によって適宜設定すればよい。

【0069】

図 2 (C) のドライエッチング処理は、次のように行うことができる。エッチングガスである塩素の流量 100 sccm、コイル型の電極に投入する電力 150W、下部電極に投入する電力 40W、反応圧力 1.0 Pa とすることにより、単結晶半導体層 108 を 95 nm 程度にまで除去する。

【0070】

単結晶半導体基板を分離することにより支持基板に貼り合わされた単結晶半導体層表面にドライエッチングを行うことにより、イオン添加工程や分離工程による欠陥を除去することができ、単結晶半導体層の表面粗さを低減することができる。

【0071】

さらに、上記ドライエッチングにより、後に形成される半導体素子にとって最適となる膜厚まで単結晶半導体層 108 を薄膜化することもできる。

【0072】

なお、支持基板 107 に貼り合わされた単結晶半導体層 109 中には、損傷領域 103 の形成、及び損傷領域 103 による分離によって、結晶欠陥が形成されている。単結晶半導体層 109 中の結晶欠陥を低減、及び単結晶半導体層 109 中の結晶性の回復のために、図 3 (A) に示すように、単結晶半導体層 109 にレーザビーム 106 を照射する。

【0073】

矢印 113 に示すように、支持基板 107 を移動させて、レーザビーム 106 を単結晶半導体層 109 に対して走査しながら、レーザビーム 106 を単結晶半導体層 109 の表面に対して照射する。レーザビーム 106 の照射によって、単結晶半導体層 109 の一部又は深さ方向の層全体を溶融させる。単結晶半導体層を溶融させることで表面張力の作用により、平坦性が向上する。図 3 (A) では模式的に単結晶半導体層の一部が溶融した様子を示しており、点線で囲まれた部分 114 の少なくとも一部はシリコンの融点 1410° を超えて液相となっていることを示している。

【0074】

レーザビーム 106 の照射によって、単結晶半導体層 109 のレーザビームが照射されている領域を、部分溶融又は完全溶融させる。なお、単結晶半導体層 109 が完全溶融状態であるとは、膜の表面から下面までの層全体が溶融されていることをいう。図 3 (A)

10

20

30

40

50

の積層構造では、完全溶融状態とは、単結晶半導体層 109 の上面から絶縁層 102 との界面まで溶融され、液体状態になっていることをいう。他方、単結晶半導体層 109 を部分溶融させると、単結晶半導体層 109 の溶融されている深さが、絶縁層 102 の界面（単結晶半導体層 109 の厚さ）よりも浅くすることである。つまり、単結晶半導体層 109 において部分溶融状態とは、単結晶半導体層 109 が上層は溶融して液相となり、下層は溶けずに、固相の単結晶半導体のままである状態をいう。

【0075】

他方、レーザビーム 106 の照射により完全溶融させながら、レーザビーム 106 を走査することで、溶融された領域と隣接している単結晶半導体から結晶成長させることができ、横成長が起こる。溶融されていない部分は、単結晶であり、結晶方位が揃っているため、結晶粒界が形成されず、レーザビーム照射後の単結晶半導体層 110 は、結晶粒界のない単結晶半導体層とすることができます。また、完全溶融された領域は、凝固することで再単結晶化するが、隣接している溶融していない部分の単結晶半導体と結晶方位が揃った単結晶半導体が形成される。よって、主表面の面方位が (100) の単結晶シリコンを単結晶半導体基板 101 として用いた場合、単結晶半導体層 110 の主表面の面方位は、(100) であり、レーザビーム照射によって完全溶融し、再単結晶化された単結晶半導体層 110 の主表面の面方位 (100) になる。

【0076】

レーザビーム 106 の照射によって、単結晶半導体層 109 を部分溶融または完全溶融させることで、表面が平坦な単結晶半導体層 110 を形成することができる。これは、単結晶半導体層 109 の溶融された部分は液体であるため、表面張力の作用によって、その表面積が最小になるように変形する。つまり、液体部分は凹部、及び凸部がなくなるような変形をし、この液体部分が凝固し、再単結晶化するため、表面が平坦化された単結晶半導体層 110 を形成することができる。

【0077】

溶融した後、単結晶半導体層 109 が冷却、固化することで、図 3 (B) に示すように、その上面の平坦性がさらに一段と向上され、かつ再単結晶化された単結晶半導体層 110 が形成される。また、レーザビームを照射することで、単結晶半導体層 110 の歪みを低下させることができる。なお、レーザビーム 106 による単結晶半導体層 110 の結晶性の向上は、ラマン分光スペクトルから得られるラマンシフトや半値全幅などにより確認することができる。また、単結晶半導体層 110 の平坦性の向上は、原子間力顕微鏡観察などにより確認することができる。

【0078】

このレーザビームの照射工程では、レーザビーム 106 を用いているため、支持基板 107 の温度上昇が抑えられるため、ガラス基板のような耐熱性の低い基板を支持基板 107 に用いることが可能となる。

【0079】

レーザビーム 106 を発振するレーザ発振器は、その発振波長が、紫外光域乃至可視光域にあるものが選択される。レーザビーム 106 の波長は、単結晶半導体層 109 に吸収される波長とする。その波長は、レーザビームの表皮深さ (skin depth)などを考慮して決定することができる。例えば、波長は 190 nm 以上 700 nm 以下の範囲とすることができます。

【0080】

このレーザ発振器には、連続発振レーザ、疑似連続発振レーザ及びパルス発振レーザを用いることができる。部分溶融させるためパルス発振レーザが好ましい。例えば、パルス発振レーザの場合は、繰り返し周波数 1 MHz 以下、パルス幅 10 n 秒以上 500 n 秒以下である。例えば、繰り返し周波数 10 Hz ~ 300 Hz、パルス幅 25 n 秒、波長 308 nm の XeCl エキシマレーザを用いることができる。

【0081】

また、レーザビーム 106 のエネルギーは、レーザビーム 106 の波長、レーザビーム

10

20

30

40

50

の表皮深さなどを考慮して決定することができる。レーザビーム106のエネルギーは、例えば、 300mJ/cm^2 以上 800mJ/cm^2 以下の範囲とすることができます、例えば、単結晶半導体層109の厚さが 120nm 程度であり、レーザ発振器にパルス発振レーザを用い、レーザビーム106の波長が 308nm の場合は、レーザビーム106のエネルギー密度は $600\text{mJ/cm}^2 \sim 700\text{mJ/cm}^2$ とすることができる。

【0082】

レーザビーム106の照射の雰囲気は、希ガス又は窒素雰囲気のような不活性雰囲気、または真空状態で行なうことが好ましい。不活性雰囲気中でレーザビーム106を照射するには、気密性のあるチャンバー内でレーザビームを照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザビーム106の被照射面に窒素ガスなど不活性ガスを吹き付けることで不活性雰囲気でのレーザビーム106の照射を実現することができる。10

【0083】

窒素などの不活性雰囲気や真空状態の方が、大気雰囲気よりも単結晶半導体層109の平坦性を向上させる効果が高く、また、これらの雰囲気の方が大気雰囲気よりもクラックやリッジの発生を抑える効果が高くなるため、レーザビーム106の使用可能なエネルギー範囲が広くなる。

【0084】

光学系により、レーザビーム106は、エネルギー分布を均一にし、かつ断面の形状を線状にすることが好ましい。このことにより、スループット良く、かつレーザビーム106の照射を均一に行なうことができる。レーザビーム106のビーム長は、支持基板107の1辺より長くすることで、1回の走査で、支持基板107に貼りつけられた全ての単結晶半導体層109にレーザビームを照射することができる。レーザビーム106のビーム長が支持基板107の1辺より短い場合は、複数回の走査で、支持基板107に貼りつけられた全ての単結晶半導体層109にレーザビーム106を照射することができるようなら、長さにすればよい。20

【0085】

なお、レーザビーム106を単結晶半導体層109に照射する前に、単結晶半導体層109の表面に形成されている自然酸化膜などの酸化膜を除去する処理を行う。酸化膜を除去するのは、単結晶半導体層109表面に酸化膜が残存した状態で、レーザビーム106を照射しても、平坦化の効果が十分に得られないからである。酸化膜の除去処理は、フッ化水溶液で単結晶半導体層109を処理することで行なうことができる。フッ酸による処理は、単結晶半導体層109の表面が撥水性を示すまで行なうことが望ましい。撥水性を示すことで、単結晶半導体層109から酸化膜が除去されたことが確認できる。30

【0086】

図3(A)のレーザビーム106の照射工程は、次のように行なうことができる。まず、単結晶半導体層109を1/100に希釈されたフッ化水溶液で110秒間処理して、表面の酸化膜を除去する。レーザビーム106のレーザ発振器として、XeClエキシマレーザ(波長: 308nm 、パルス幅: $25\text{n}\mu\text{s}$ 、繰り返し周波数 60Hz)を用いる。光学系により、レーザビーム106の断面を $300\text{mm} \times 0.34\text{mm}$ の線状に整形する。レーザビーム106の走査速度を 2.0mm/s とし、スキャンピッチを $33\mu\text{m}$ 、ビームショット数を約10ショットで、レーザビーム106を単結晶半導体層109に照射する。照射面に窒素ガスを吹き付けながら、レーザビーム106を走査する。支持基板107が $730\text{mm} \times 920\text{mm}$ の場合は、レーザビーム106のビーム長が 300mm であるので、レーザビーム106の照射領域を3分割することで、支持基板107に貼り付けられた単結晶半導体層109にレーザビーム106を照射することができる。40

【0087】

このようにして、単結晶半導体層109にレーザビームを照射することにより、単結晶半導体層の一部または全部を溶融させ、再単結晶化させてよりよい単結晶半導体層を得ることができる。これにより、イオンの添加に起因する欠陥を低減し、単結晶半導体層の結50

晶性が回復された単結晶半導体層をとすることができます。また、レーザビームを照射する前にドライエッチング処理を行うことにより、単結晶半導体層の溶融時に、欠陥やダメージを単結晶半導体層中に取り込むことを防ぐことができる。

【0088】

単結晶半導体層109を再単結晶化させることで、単結晶半導体基板101から、高いオン電流、高い電界効果移動度のトランジスタを形成することができる。単結晶半導体層の再単結晶化の処理をレーザビーム106の照射処理で行うため、支持基板107を破損する力を加えることなく、かつ耐熱温度を超える温度で支持基板107を加熱することなく、単結晶半導体層109の再単結晶をさせて、単結晶の形成を可能にする。

【0089】

また、レーザビームを照射することにより、支持基板表面を短時間で加熱し、短時間で冷却できるので、支持基板の温度上昇が抑えられ、ガラス基板のような耐熱性の低い基板を支持基板に用いることが可能となる。よって、イオン添加工程による単結晶半導体層中のダメージを十分回復させることができる。

【0090】

なお、レーザビーム106を照射する前に、ドライエッチングにより単結晶半導体層108の表面を除去している場合、ドライエッチングにより単結晶半導体層108の表面付近で結晶欠陥などの損傷が生じていることがある。しかし、レーザビーム106の照射により、ドライエッチングにより生じる損傷をも補修することが可能である。

【0091】

単結晶半導体基板の損傷領域に沿って、単結晶半導体基板を分離して、支持基板に固着された単結晶半導体層にドライエッチングを行うことにより、単結晶半導体層表面の結晶欠陥を除去し、単結晶半導体層の表面粗さを低減することができる。また、単結晶半導体層表面の欠陥をドライエッチングにより除去しているため、レーザビームを照射することによる単結晶半導体層の溶融時に単結晶半導体層中に欠陥を取り込むことを防ぐことができる。よって、結晶欠陥が低減され、かつ平坦性の高い単結晶半導体層とすることができる。

【0092】

次いで、レーザビーム106を照射して、図3(B)に示す単結晶半導体層110を有するSOI基板を形成し、後に形成される半導体素子にとって最適となる膜厚まで単結晶半導体層110を薄膜化するための処理を行う(図3(C)参照)。

【0093】

単結晶半導体層110を薄膜化するためには、ドライエッチング又はウェットエッチングの一方、又は双方を組み合わせたエッチングを行えばよい。例えば、単結晶半導体基板101がシリコン基板の場合、SF₆とO₂をプロセスガスに用いたドライエッチングで、単結晶半導体層110を薄膜化することができる(図3(C)参照)。

【0094】

レーザビーム照射後にエッチングを行うことにより、半導体素子にとって最適な膜厚となる単結晶半導体層を有するSOI基板を作製することができる。このエッチングにより、単結晶半導体層の膜厚は5nm以上100nm以下とすることが好ましく、5nm以上50nm以下がより好ましい。例えば、支持基板に貼り付けられた単結晶半導体層の膜厚が110nmであれば、15nm、ドライエッチングを行い、レーザビーム照射後のエッチングにおいて、単結晶半導体層111の膜厚を60nmとすることができる。なお、必ずしも、レーザビーム106照射後に、単結晶半導体層110の表面にエッチングを行う必要はない。例えば、支持基板に貼り付けられた単結晶半導体層の膜厚が110nmであれば、レーザビーム106照射前のドライエッチングにおいて単結晶半導体層の膜厚を60nmとすることもできる。

【0095】

レーザビーム106を照射した後、単結晶半導体層111に500以上700以下の加熱処理を行うことが好ましい。この加熱処理によって、レーザビーム106の照射で

10

20

30

40

50

回復されなかった、単結晶半導体層 111 の欠陥の消滅、単結晶半導体層 111 の歪みの緩和をすることができる。この加熱処理には、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA 装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。例えば、抵抗加熱炉を用いた場合は、550 で 4 時間加熱するとよい。

【0096】

以上の工程により、図 3 (C) に示す SOI 基板を作製することができる。

【0097】

以上のように本実施の形態において、支持基板に貼り付けられた単結晶半導体層に、ドライエッティングを行い、レーザビームを照射することにより、単結晶半導体層中の結晶欠陥が低減された単結晶半導体層を有する SOI 基板を製造することができる。また、ガラス基板等耐熱温度が低い基板を用いた場合にも、実用に耐える単結晶半導体層を備えた SOI 基板を製造することができる。

10

【0098】

よって、本実施の形態に係る単結晶半導体層からトランジスタなどの半導体素子を作製することで、ゲート絶縁層の薄膜化及びゲート絶縁層との局在界面準位密度の低減が可能となる。また、単結晶半導体層の膜厚を薄くすることで、支持基板上に、単結晶半導体層で完全空乏型となり、サブスレッショルド値が小さいトランジスタを作製することができる。

20

【0099】

図 1 乃至図 3 において、単結晶半導体基板 101 に絶縁層を設けて単結晶半導体層を形成する工程を示したが、図 4 において、支持基板側にも絶縁層を設けて単結晶半導体層を形成する工程を示す。図 4 (A) に、図 1 (A) と同様の単結晶半導体基板 101 を示す。次に、絶縁層 104 を単結晶半導体基板 101 上に形成する。なお、絶縁層 104 を形成する工程は、図 1 (C) と同様に行う。

【0100】

図 4 (B) は、単結晶半導体基板 101 に電界で加速されたイオンを所定の深さに添加し、損傷領域 103 を形成する工程を示している。イオンの添加については図 1 (B) の場合と同様である。

30

【0101】

図 4 (C) は、バリア層として機能する絶縁層 112 が形成された支持基板 107 と、単結晶半導体基板 101 の絶縁層 104 が形成された面を密着させて、単結晶半導体基板 101 と支持基板 107 とが接合する工程を示している。支持基板 107 上の絶縁層 112 と単結晶半導体基板 101 の絶縁層 104 を密着させることにより、単結晶半導体基板と支持基板とが接合する。絶縁層 112 は、支持基板 107 にアルカリ金属若しくはアルカリ土類金属等の半導体装置の信頼性を低下させる不純物を含むような基板を用いた場合、このような不純物が支持基板 107 から、単結晶半導体層 108 に拡散することを防止することができる。

【0102】

40

絶縁層 112 は、プラズマ CVD 法を用いて、窒化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層等を単層構造又は 2 層以上の積層構造で設けることができる。絶縁層 112 は、50 nm 乃至 200 nm の範囲で設けることが好ましい。例えば、支持基板 107 側から酸化窒化シリコン層、窒化酸化シリコン層を積層させて絶縁層 112 とすることができる。

【0103】

その後、図 4 (D) で示すように単結晶半導体基板 101 を分離する。単結晶半導体層を分離する熱処理は図 2 (B) の場合と同様にして行う。接合工程および分離工程における加熱処理の温度は、支持基板 107 にあらかじめ行われた加熱処理以下とする。このようにして図 4 (D) で示す SOI 基板を得ることができる。

50

【0104】

この後の工程については、図2(C)乃至図3(C)と同様にして行うことができる。

【0105】

なお、図1乃至図4においては、単結晶半導体基板101が支持基板107と同じサイズの例を示したが、本発明はこれに限定されない。単結晶半導体基板101と支持基板107がより小さいサイズであってもよいし、単結晶半導体基板101が支持基板107より大きいサイズであってもよい。

【0106】

なお、SOI基板の大面積化を図る場合には、1枚の支持基板107上に複数の単結晶半導体層111を貼りつけた構成とすればよい。例えば、図1(A)乃至図1(C)を用いて説明した工程を経て、損傷領域103が形成された単結晶半導体基板101を複数用意する。次いで、図1(D)の接合工程を経て、1枚の支持基板107に複数の単結晶半導体基板101を用いて、仮接合を行う。そして、図2(B)の加熱工程を行い、各単結晶半導体基板101を分離することで、支持基板107上に、複数の単結晶半導体層111が貼り付けられる。その後、図2(C)乃至図3(C)に示す工程を行うことにより、複数の単結晶半導体層111が貼り付けられたSOI基板を形成することができる(図5参照)。

【0107】

本実施の形態において、単結晶半導体基板101として単結晶シリコン基板を適用した場合は、単結晶半導体層111として単結晶シリコンを得ることが可能である。

【0108】

本実施の形態に係るSOI基板の製造方法は、プロセス温度を700以下とすることができますため、支持基板107としてガラス基板を適用することができる。すなわち、従来の薄膜トランジスタと同様にガラス基板上に形成することができ、かつ単結晶シリコン層を単結晶半導体層に適用することが可能となる。これらのことにより、高速動作が可能で、サブスレッショルド値が低く、電界効果移動度が高く、低消費電圧で駆動可能な高性能、高信頼性のトランジスタをガラス基板等の支持基板上に作製することができる。従つて、高性能及び高信頼性な半導体装置を歩留まり良く作製することができる。

【0109】

また、大面積化に不向きなCMP処理を用いずに済むため、高性能な半導体装置の大面積化を実現することができる。もちろん、大面積基板を用いることに限定されず、小型の基板を用いる場合であっても、良好な半導体装置を提供することができる。

【0110】**(実施の形態2)**

本実施の形態では、高性能及び高信頼性な半導体素子を有する半導体装置を、歩留まりよく作製することを目的とした半導体装置の作製方法の一例としてCMOS(相補型金属酸化物半導体:Complementary Metal Oxide Semiconductor)に関して図6及び図7を用いて説明する。なお、実施の形態1と同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0111】

図6(A)は、支持基板107上にバリア層として機能する絶縁層112、絶縁層104、バリア層として機能する絶縁層102、単結晶半導体層111が形成されている。なお、ここでは図6(A)に示す構成のSOI基板を適用する例を示すが、本明細書で示すその他の構成のSOI基板も適用できる。

【0112】

単結晶半導体層111は、単結晶半導体基板101より分離され、高エネルギーを有する少なくとも一種類の粒子により該高エネルギーを供給することによる加熱処理及び第1のエッチングを行っているため、結晶欠陥も低減され、かつ平坦性も高い単結晶半導体層111である。

【0113】

10

20

30

40

50

単結晶半導体層 111 には、n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタの形成領域に合わせて、硼素、アルミニウム、ガリウムなどの p 型不純物、若しくはリン、砒素などの n 型不純物を添加することが好ましい。すなわち、n チャネル型電界効果トランジスタの形成領域に対応して p 型不純物を添加し、p チャネル型電界効果トランジスタの形成領域に対応して n 型不純物を添加して、所謂ウェル領域を形成する。不純物イオンのドーズ量は 1×10^{12} ions/cm² から 1×10^{14} ions/cm² 程度で行えば良い。さらに、電界効果トランジスタのしきい値電圧を制御する場合には、これらのウェル領域に p 型若しくは n 型不純物を添加すれば良い。

【0114】

単結晶半導体層 111 をエッチングして、半導体素子の配置に合わせて島状に分離した 10 単結晶半導体層 205、206 を形成する（図 6（B）参照。）。

【0115】

単結晶半導体層上の酸化膜を除去し、単結晶半導体層 205、206 を覆うゲート絶縁層 207 を形成する。本実施の形態における単結晶半導体層 205、206 は平坦性が高いため、単結晶半導体層 205、206 上に形成されるゲート絶縁層が薄膜のゲート絶縁層であっても被覆性よく覆うことができる。従ってゲート絶縁層の被覆不良による特性不良を防ぐことができ、高信頼性の半導体装置を歩留まりよく作製することができる。ゲート絶縁層 207 の薄膜化は、薄膜トランジスタを低電圧で高速に動作させる効果がある。

【0116】

ゲート絶縁層 207 は酸化珪素、若しくは酸化珪素と窒化珪素の積層構造で形成すればよい。ゲート絶縁層 207 は、プラズマ CVD 法や減圧 CVD 法により絶縁膜を堆積することで形成しても良いし、プラズマ処理による固相酸化若しくは固相窒化で形成すると良い。単結晶半導体層を、プラズマ処理により酸化又は窒化することにより形成するゲート絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。

【0117】

また、ゲート絶縁層 207 として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどの高誘電率材料を用いても良い。ゲート絶縁層 207 に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。

【0118】

ゲート絶縁層 207 上にゲート電極層 208 及びゲート電極層 209 を形成する（図 6 30（C）参照。）。ゲート電極層 208、209 は、スパッタリング法、蒸着法、CVD 法等の手法により形成することができる。ゲート電極層 208、209 はタンタル（Ta）、タンゲステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ネオジム（Nd）から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、ゲート電極層 208、209 としてリン等の不純物元素をドーピングした多結晶シリコン層に代表される半導体層や、AgPdCu 合金を用いてもよい。

【0119】

単結晶半導体層 206 を覆うマスク 211 を形成する。マスク 211 及びゲート電極層 208 をマスクとして、n 型を付与する不純物元素 210 を添加し、第 1 の n 型不純物領域 212a、212b を形成する（図 6（D）参照。）。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン（PH₃）を用いる。ここでは、第 1 の n 型不純物領域 212a、212b に、n 型を付与する不純物元素が $1 \times 10^{17} \sim 5 \times 10^{18}$ /cm³ 程度の濃度で含まれるように添加する。本実施の形態では、n 型を付与する不純物元素としてリン（P）を用いる。

【0120】

次に、単結晶半導体層 205 を覆うマスク 214 を形成する。マスク 214、ゲート電極層 209 をマスクとして p 型を付与する不純物元素 213 を添加し、第 1 の p 型不純物領域 215a、第 1 の p 型不純物領域 215b を形成する（図 6（E）参照。）。本実施の形態では、不純物元素としてボロン（B）を用いるため、不純物元素を含むドーピング 50

ガスとしてはジボラン(B_2H_6)などを用いる。

【0121】

マスク214を除去し、ゲート電極層208、209の側面にサイドウォール構造の側壁絶縁層216a乃至216d、ゲート絶縁層233a、233bを形成する(図7(A)参照。)。側壁絶縁層216a乃至216dは、ゲート電極層208、209を覆う絶縁層を形成した後、これをRIE(Reactive ion etching:反応性イオンエッティング)法による異方性のエッティングによって加工し、ゲート電極層208、209の側壁に自己整合的にサイドウォール構造の側壁絶縁層216a乃至216dを形成すればよい。ここで、絶縁層について特に限定はなく、TEOS(tetraethyl ortho silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化珪素であることが好ましい。絶縁層は熱CVD、プラズマCVD、常圧CVD、バイアスECR CVD、スパッタリング等の方法によって形成することができる。ゲート絶縁層233a、233bはゲート電極層208、209、及び側壁絶縁層216a乃至216dをマスクとしてゲート絶縁層207をエッティングして形成することができる。10

【0122】

また、本実施の形態では、絶縁層をエッティングする際、ゲート電極層上の絶縁層を除去し、ゲート電極層を露出させるが、絶縁層をゲート電極層上に残すような形状に側壁絶縁層216a乃至216dを形成してもよい。また、後工程でゲート電極層上に保護膜を形成してもよい。このようにゲート電極層を保護することによって、エッティング加工する際、ゲート電極層の膜減りを防ぐことができる。また、ソース領域及びドレイン領域にシリサイドを形成する場合、シリサイド形成時に成膜する金属膜とゲート電極層とが接しないので、金属膜の材料とゲート電極層の材料とが反応しやすい材料であっても、化学反応や拡散などの不良を防止することができる。エッティング方法は、ドライエッティング法でもウェットエッティング法でもよく、種々のエッティング方法を用いることができる。本実施の形態では、ドライエッティング法を用いる。エッティング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 もしくは NF_3 などを代表とするフッ素系ガス又は O_2 を適宜用いることができる。20

【0123】

次に単結晶半導体層206を覆うマスク218を形成する。マスク218、ゲート電極層208、側壁絶縁層216a、216bをマスクとしてn型を付与する不純物元素217を添加し、第2のn型不純物領域219a、219b、第3のn型不純物領域220a、220bが形成される。本実施の形態では、不純物元素を含むドーピングガスとして PH_3 を用いる。ここでは、第2のn型不純物領域219a、219bにn型を付与する不純物元素が $5 \times 10^{19} \sim 5 \times 10^{20} / cm^3$ 程度の濃度で含まれるように添加する。また、単結晶半導体層205にチャネル形成領域221が形成される(図7(B)参照。)。30

【0124】

第2のn型不純物領域219a、第2のn型不純物領域219bは高濃度n型不純物領域であり、ソース、ドレインとして機能する。一方、第3のn型不純物領域220a、220bは低濃度不純物領域であり、LDD(Lightly Doped Drain)領域となる。第3のn型不純物領域220a、220bはゲート電極層208に覆われていないLoft領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。40

【0125】

マスク218を除去し、単結晶半導体層205を覆うマスク223を形成する。マスク223、ゲート電極層209、側壁絶縁層216c、216dをマスクとして、p型を付与する不純物元素222を添加し、第2のp型不純物領域224a、224b、第3のp型不純物領域225a、225bを形成する。

【0126】

50

第2のp型不純物領域224a、224bにp型を付与する不純物元素が 1×10^{-2} ~ 5×10^{-1} /cm³程度の濃度で含まれるように添加する。本実施の形態では、第3のp型不純物領域225a、225bは、側壁絶縁層216c、216dにより、自己整合的に第2のp型不純物領域224a、224bより低濃度となるように形成する。また、単結晶半導体層206にチャネル形成領域226が形成される(図7(C)参照。)。

【0127】

第2のp型不純物領域224a、224bは高濃度p型不純物領域であり、ソース、ドレインとして機能する。一方、第3のp型不純物領域225a、225bは低濃度不純物領域であり、LDD(Lightly Doped Drain)領域となる。第3のp型不純物領域225a、225bはゲート電極層209に覆われていないLoft領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。10

【0128】

マスク223を除去し、不純物元素を活性化するために加熱処理、強光の照射、又はレーザビームの照射を行ってもよい。活性化と同時にゲート絶縁層へのプラズマダメージやゲート絶縁層と単結晶半導体層との界面へのプラズマダメージを回復することができる。

【0129】

次いで、ゲート電極層、ゲート絶縁層を覆う層間絶縁層を形成する。本実施の形態では、保護膜となる水素を含む絶縁膜227と、絶縁層228との積層構造とする。絶縁膜227と絶縁層228は、スパッタ法、またはプラズマCVDを用いた窒化珪素膜、窒化酸化珪素膜、酸化窒化珪素膜、酸化珪素膜でもよく、他の珪素を含む絶縁膜を単層または3層以上の積層構造として用いても良い。20

【0130】

さらに、窒素雰囲気中で、300~550で1~12時間の熱処理を行い、単結晶半導体層を水素化する工程を行う。好ましくは、400~500で行う。この工程は層間絶縁層である絶縁膜227に含まれる水素により単結晶半導体層のダングリングボンドを終端する工程である。本実施の形態では、410度()で1時間加熱処理を行う。

【0131】

絶縁膜227、絶縁層228としては他に窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイアモンドライカーボン(DLC)、窒素含有炭素(CN)その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。有機基は、フルオロ基を含んでいてもよい。また、有機絶縁性材料を用いてもよく、有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、ポリシラザンを用いることができる。平坦性のよい塗布法によってされる塗布膜を用いてもよい。30

【0132】

絶縁膜227、絶縁層228は、ディップ、スプレー塗布、ドクターナイフ、ロールコーター、カーテンコーティング、ナイフコーティング、CVD法、蒸着法等を採用することができる。液滴吐出法により絶縁膜227、絶縁層228を形成してもよい。液滴吐出法を用いた場合には材料液を節約することができる。また、液滴吐出法のようにパターンが転写、または描写できる方法、例えば印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)なども用いることができる。40

【0133】

次いで、レジストからなるマスクを用いて絶縁膜227、絶縁層228に単結晶半導体層に達するコンタクトホール(開口)を形成する。エッチングは、用いる材料の選択比によって、一回で行っても複数回行っても良い。エッチングによって、絶縁膜227、絶縁50

層 228 を除去し、ソース領域又はドレイン領域である第 2 の n 型不純物領域 219a、219b、第 2 の p 型不純物領域 224a、224b に達する開口を形成する。エッティングは、ウェットエッティングでもドライエッティングでもよく、両方用いてもよい。ウェットエッティングのエッチャントは、フッ素水素アンモニウム及びフッ化アンモニウムを含む混合溶液のようなフッ酸系の溶液を用いるとよい。エッティング用ガスとしては、Cl₂、BCl₃、SiCl₄ もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆ もしくはNF₃などを代表とするフッ素系ガス又はO₂を適宜用いることができる。また用いるエッティング用ガスに不活性気体を添加してもよい。添加する不活性元素としては、He、Ne、Ar、Kr、Xe から選ばれた一種または複数種の元素を用いることができる。

【0134】

開口を覆うように導電膜を形成し、導電膜をエッティングして各ソース領域又はドレイン領域の一部とそれぞれ電気的に接続するソース電極層又はドレイン電極層として機能する配線層 229a、229b、230a、230b を形成する。配線層は、PVD 法、CVD 法、蒸着法等により導電膜を成膜した後、所望の形状にエッティングして形成することができる。また、液滴吐出法、印刷法、電解メッキ法等により、所定の場所に選択的に導電層を形成することができる。更にはリフロー法、ダマシン法を用いても良い。配線層の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 等の金属、及び Si、Ge、又はその合金、若しくはその窒化物を用いて形成する。また、これらの積層構造としても良い。

【0135】

以上の工程で CMOS 構造の n チャネル型薄膜トランジスタである薄膜トランジスタ 231 及び p チャネル型薄膜トランジスタである薄膜トランジスタ 232 を含む半導体装置を作製することができる（図 7 (D) 参照。）。図示しないが、本実施の形態は CMOS 構造であるため、薄膜トランジスタ 231 と薄膜トランジスタ 232 とは電気的に接続している。

【0136】

本実施の形態に限定されず、薄膜トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0137】

以上のように、結晶欠陥が低減され、かつ平坦性も高い単結晶半導体層を有する SOI 基板を用いることにより、高性能及び高信頼性な半導体装置を歩留まり良く作製することができる。

【0138】

このように、SOI 基板を用いて薄膜トランジスタを作製することができる。SOI 基板の単結晶半導体層は、結晶欠陥が殆ど無く、ゲート絶縁層 207 との界面準位密度が低減された単結晶半導体層であり、その表面が平坦化され、さらにその厚さを 50 nm 以下と薄膜化されている。このことにより、支持基板 107 に、低い駆動電圧、高い電界効果移動、小さいサブスレッショルド値など、優れた特性を備えた薄膜トランジスタを形成することができる。さらに、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。すなわち、本発明に係る SOI 基板を用いることで、しきい値電圧や移動度などトランジスタ特性として重要な特性値の不均一性が抑制され、また高電界移動度などの高性能化が可能になる。

【0139】

従って、本発明に係る SOI 基板を用いて TFT など各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。

【0140】

(実施の形態 3)

本実施の形態では、本発明に係る SOI 基板を用いた半導体装置、およびその作製方法について説明する。本実施の形態では、本発明に係る SOI 基板を用いた半導体装置の一例

10

20

30

40

50

として、トランジスタについて説明する。複数のトランジスタを組み合わせることで、各種の半導体装置が形成される。以下、図27(A)乃至図29(B)の断面図を用いて、トランジスタの作製方法を説明する。なお、本実施の形態では、nチャネル型のトランジスタとpチャネル型のトランジスタを同時に作製する方法を説明する。

【0141】

まず、図27(A)に示すように、SOI基板を準備する。本実施形態では、絶縁表面を有する支持基板107上に、絶縁層104、絶縁層102b、絶縁層102aを介して単結晶半導体層111が固定されたSOI基板を用いる。なお、トランジスタを作製するSOI基板は、図27(A)の構成に限定されるものではなく、本発明に係るSOI基板を用いることができる。

10

【0142】

なお。単結晶半導体層111には、nチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタの形成領域に合わせて、硼素、アルミニウム、ガリウムなどのp型不純物元素、若しくはリン、砒素などのn型不純物元素を添加することが好ましい。すなわち、nチャネル型電界効果トランジスタの形成領域に対応してp型不純物元素を添加し、pチャネル型電界効果トランジスタの形成領域に対応してn型不純物元素を添加して、所謂ウェル領域を形成する。不純物イオンのドーズ量は 1×10^{12} ions/cm²乃至 1×10^{14} ions/cm²程度で行えばよい。さらに、電界効果トランジスタのしきい値電圧を制御する場合には、これらのウェル領域にp型若しくはn型不純物元素を添加すればよい。

20

【0143】

次に、図27(B)に示すように、単結晶半導体層111をエッティングして、半導体素子の配置に合わせて島状に分離した単結晶半導体層651、単結晶半導体層652を形成する。本実施形態では、単結晶半導体層651からnチャネル型のトランジスタを作製し、単結晶半導体層652からpチャネル型のトランジスタを作製する。

【0144】

次に、図27(C)に示すように、単結晶半導体層651、単結晶半導体層652上に、ゲート絶縁層653、ゲート電極を形成する導電層654、及び導電層655を順に形成する。

【0145】

ゲート絶縁層653は、CVD法、スパッタリング法、又はALE法等により、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等の絶縁層を用いて、単層構造又は積層構造で形成する。

30

【0146】

また、ゲート絶縁層653は、単結晶半導体層651、単結晶半導体層652に対してプラズマ処理を行うことにより、表面を酸化又は窒化することで形成してもよい。この場合のプラズマ処理はマイクロ波(代表的な周波数は2.45GHz)を用いて励起したプラズマによるプラズマ処理も含むものとする。例えばマイクロ波で励起され、電子密度が 1×10^{11} /cm³以上 1×10^{13} /cm³以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを用いた処理も含むものとする。このようなプラズマ処理を適用して半導体層表面の酸化処理又は窒化処理を行うことにより、薄くて緻密な膜を形成することができる。また、半導体層表面を直接酸化するため、界面特性の良好な膜を得ることができる。また、ゲート絶縁層653は、CVD法、スパッタリング法、又はALE法により形成した膜に対してマイクロ波を用いたプラズマ処理を行うことで形成してもよい。

40

【0147】

なお、ゲート絶縁層653は半導体層との界面を形成するため、酸化シリコン層、酸化窒化シリコン層が界面となるように形成することが好ましい。これは、窒化シリコン層又は窒化酸化シリコン層のように酸素よりも窒素の含有量が多い膜を形成すると、トラップ準位が形成され界面特性が問題となる恐れがあるからである。

50

【0148】

ゲート電極を形成する導電層は、タンタル、窒化タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、又はニオブ等から選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料を用いて、CVD法やスパッタリング法により、単層膜又は積層膜で形成する。積層膜とする場合は、異なる導電材料を用いて形成することもできるし、同一の導電材料を用いて形成することもできる。本形態では、ゲート電極を形成する導電層を、導電層654及び導電層655の2層構造で形成する例を示す。

【0149】

ゲート電極を形成する導電層を、導電層654及び導電層655の2層の積層構造とする場合は、例えば、窒化タンタル層とタングステン層、窒化タングステン層とタングステン層、窒化モリブデン層とモリブデン層の積層膜を形成することができる。なお、窒化タンタル層とタングステン層との積層膜とすると、両者のエッチングの選択比が取れやすく好ましい。なお、例示した2層の積層膜において、先に記載した膜がゲート絶縁層653上に形成される膜とすることが好ましい。ここでは、導電層654は、20nm乃至100nmの厚さで形成する。導電層655は、100nm乃至400nmの厚さで形成する。なお、ゲート電極は3層以上の積層構造とすることもでき、その場合は、モリブデン層とアルミニウム層とモリブデン層の積層構造を採用するとよい。

10

【0150】

次に、導電層655上にレジストマスク656、レジストマスク657を選択的に形成する。そして、レジストマスク656、レジストマスク657を用いて第1のエッチング処理及び第2のエッチング処理を行う。

20

【0151】

まず、レジストマスク656、レジストマスク657を用いた第1のエッチング処理により導電層654及び導電層655を選択的にエッチングして、単結晶半導体層651上に、導電層658および導電層659を形成し、単結晶半導体層652上に導電層660及び導電層661を形成する（図27（D）参照）。

【0152】

次に、レジストマスク656、レジストマスク657を用いた第2のエッチング処理により導電層659及び導電層661の端部をエッチングして、導電層662及び導電層663を形成する（図27（E）参照）。なお、導電層662及び導電層663は導電層658及び導電層660よりも幅（キャリアがチャネル形成領域を流れる方向（ソース領域とドレイン領域を結ぶ方向）に平行な方向の長さ）が小さくなるように形成する。このようにして、導電層658及び導電層662からなる2層構造のゲート電極665、並びに導電層660及び導電層663からなる2層構造のゲート電極666を形成する。

30

【0153】

第1のエッチング処理及び第2のエッチング処理に適用するエッチング法は適宜選択すればよいが、エッチング速度を向上するにはECR（Electron Cyclotron Resonance）方式やICP（Inductively Coupled Plasma：誘導結合プラズマ）方式などの高密度プラズマ源を用いたドライエッチング装置を用いる。第1のエッチング処理および第2のエッチング処理のエッチング条件を適宜調節することで、導電層658、660、及び導電層662、663の側面を所望のテーパー形状とすることができます。所望のゲート電極665、666を形成した後、レジストマスク656、657は除去すればよい。

40

【0154】

次に、ゲート電極665、ゲート電極666をマスクとして、単結晶半導体層651及び単結晶半導体層652に不純物元素668を添加する。単結晶半導体層651には、導電層658及び導電層662をマスクとして自己整合的に一対の不純物領域669が形成される。また、単結晶半導体層652には、導電層660及び導電層663をマスクとして自己整合的に一対の不純物領域670が形成される（図28（A）参照）。

50

【0155】

不純物元素 668 としては、硼素、アルミニウム、ガリウムなどの p 型不純物元素、若しくはリン、砒素などの n 型不純物元素を添加する。ここでは、n チャネル型トランジスタの高抵抗領域を形成するため、不純物元素 668 として n 型不純物元素であるリンを添加する。また、不純物領域 669 に、 1×10^{17} atoms / cm³ 乃至 5×10^{18} atoms / cm³ 程度の濃度でリンが含まれるように、リンを添加することとする。

【0156】

次に、n チャネル型トランジスタのソース領域、およびドレイン領域となる不純物領域を形成するため、単結晶半導体層 651 を部分的に覆うようにレジストマスク 671 を形成し、単結晶半導体層 652 を覆うようにレジストマスク 672 を選択的に形成する。そして、レジストマスク 671 をマスクとして、単結晶半導体層 651 に不純物元素 673 を添加して、単結晶半導体層 651 に一対の不純物領域 675 を形成する（図 28 (B) 参照）。

10

【0157】

不純物元素 673 としては、n 型不純物元素であるリンを単結晶半導体層 651 に添加し、添加される濃度を 5×10^{19} atoms / cm³ 乃至 5×10^{20} atoms / cm³ とすることとする。不純物領域 675 はソース領域又はドレイン領域として機能する。不純物領域 675 は導電層 658 及び導電層 662 と重ならない領域に形成される。

【0158】

また、単結晶半導体層 651 において、不純物領域 676 は、不純物元素 673 が添加されなかった、不純物領域 669 である。不純物領域 676 は、不純物領域 675 よりも不純物濃度が低く、高抵抗領域または LDD 領域として機能する。単結晶半導体層 651 において、導電層 658 および導電層 662 と重なる領域にチャネル形成領域 677 が形成される。

20

【0159】

なお、LDD 領域とは、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に形成する低濃度に不純物元素を添加した領域のことである。LDD 領域を設けると、ドレイン領域近傍の電界を緩和してホットキャリア注入による劣化を防ぐという効果がある。また、ホットキャリアによるオン電流値の劣化を防ぐため、ゲート絶縁層を介して LDD 領域をゲート電極と重ねて配置させた構造（「GOLD (Gate - drain Overlapped LDD) 構造」とも呼ぶ）としてもよい。

30

【0160】

次に、レジストマスク 671 及びレジストマスク 672 を除去した後、p チャネル型トランジスタのソース領域およびドレイン領域を形成するため、単結晶半導体層 651 を覆うようにレジストマスク 679 を形成する。そして、レジストマスク 679、導電層 660 及び導電層 663 をマスクとして不純物元素 680 を添加して、単結晶半導体層 652 に一対の不純物領域 681 と、一対の不純物領域 682 と、チャネル形成領域 683 を形成する（図 28 (C) 参照）。

【0161】

40

不純物元素 680 は、硼素、アルミニウム、ガリウムなどの p 型不純物元素が用いられる。ここでは p 型不純物元素である硼素を 1×10^{20} atoms / cm³ 乃至 5×10^{21} atoms / cm³ 程度含まれるように添加するものとする。

【0162】

単結晶半導体層 652 において、不純物領域 681 は導電層 660 及び導電層 663 と重ならない領域に形成され、ソース領域又はドレイン領域として機能する。不純物領域 681 に、ここでは p 型不純物元素である硼素を 1×10^{20} atoms / cm³ 乃至 5×10^{21} atoms / cm³ 程度含まれるようする。

【0163】

不純物領域 682 は、導電層 660 と重なり、導電層 663 と重ならない領域に形成さ

50

れており、不純物元素 680 が導電層 660 を貫通して、不純物領域 670 に添加された領域である。不純物領域 670 は n 型の導電性を示すため、不純物領域 682 が p 型の導電性を有するように、不純物元素 680 を添加する。不純物領域 682 に含まれる不純物元素 680 の濃度を調節することで、不純物領域 682 をソース領域又はドレイン領域として機能させることができる。または、LDD 領域として機能させることもできる。

【0164】

単結晶半導体層 652において、導電層 660 および導電層 663 と重なる領域にチャネル形成領域 683 が形成される。

【0165】

次に、層間絶縁層を形成する。層間絶縁層は、単層構造又は積層構造で形成することができるが、ここでは絶縁層 684 及び絶縁層 685 の 2 層の積層構造で形成する（図 29 (A) 参照）。

【0166】

層間絶縁層としては、CVD 法やスパッタリング法により、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等を形成することができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを用いて、スピンドルコート法などの塗布法により形成することができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。有機基は、フルオロ基を含んでいてもよい。

【0167】

例えば、絶縁層 684 として窒化酸化シリコン層を膜厚 100 nm で形成し、絶縁層 685 として酸化窒化シリコン層を膜厚 900 nm で形成する。また、絶縁層 684 及び絶縁層 685 を、プラズマ CVD 法を適用して連続成膜する。なお、層間絶縁層は 3 層以上の積層構造とすることもできる。また、酸化シリコン層、酸化窒化シリコン層又は窒化シリコン層と、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂を用いて形成した絶縁層との積層構造とすることもできる。

【0168】

次に、層間絶縁層（本形態では絶縁層 684 及び絶縁層 685）にコンタクトホールを形成し、該コンタクトホールにソース電極又はドレイン電極として機能する導電層 686 を形成する（図 29 (B) 参照）。

【0169】

コンタクトホールは、単結晶半導体層 651 に形成された不純物領域 675、単結晶半導体層 652 に形成された不純物領域 681 に達するように、絶縁層 684 及び絶縁層 685 に選択的に形成する。

【0170】

導電層 686 は、アルミニウム、タンゲステン、チタン、タンタル、モリブデン、ニッケル、ネオジムから選ばれた一種の元素または当該元素を複数含む合金からなる单層膜または積層膜を用いることができる。例えば、当該元素を複数含む合金からなる導電層として、チタンを含有したアルミニウム合金、ネオジムを含有したアルミニウム合金などを形成することができる。また、積層膜とする場合、例えば、アルミニウム層若しくは上述したようなアルミニウム合金層を、チタン層で挟持する構成とすることができます。

【0171】

図 29 (B) に示すように、SOI 基板を用いて、n チャネル型トランジスタおよび p チャネル型トランジスタを作製することができる。

【0172】

また、本実施の形態は、他の実施の形態と自由に組み合わせることができます。

10

20

30

40

50

【0173】

(実施の形態4)

本実施の形態では、高性能、かつ高い信頼性を付与することを目的とした半導体装置の例について説明する。詳しくは、半導体装置の一例として、マイクロプロセッサ及び非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例について説明する。

【0174】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図8はマイクロプロセッサ500の構成例を示すブロック図である。

【0175】

マイクロプロセッサ500は、演算回路501(Arithmetic logic unit。ALUともいう。)、演算回路制御部502(ALU Controller)、命令解析部503(Instruction Decoder)、割り込み制御部504(Interrupt Controller)、タイミング制御部505(Timing Controller)、レジスタ506(Register)、レジスタ制御部507(Register Controller)、バスインターフェース508(Bus I/F)、読み出し専用メモリ509、及びメモリインターフェース510(ROM I/F)を有している。

【0176】

バスインターフェース508を介してマイクロプロセッサ500に入力された命令は、命令解析部503に入力され、デコードされた後、演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505は、デコードされた命令に基づき各種制御を行う。

【0177】

具体的に演算回路制御部502は、演算回路501の動作を制御するための信号を生成する。また、割り込み制御部504は、マイクロプロセッサ500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部507は、レジスタ506のアドレスを生成し、マイクロプロセッサ500の状態に応じてレジスタ506の読み出しや書き込みを行う。タイミング制御部505は、演算回路501、演算回路制御部502、命令解析部503、割り込み制御部504、レジスタ制御部507の動作のタイミングを制御する信号を生成する。

【0178】

例えばタイミング制御部505は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。なお、図8に示すマイクロプロセッサ500は、その構成を簡略化して示した一例にすぎず、実際にはその用途によって多種多様な構成を備えることができる。

【0179】

このようなマイクロプロセッサ500は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層(SOI層)によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。

【0180】

次に、非接触でデータの送受信を行う機能、及び演算機能を備えた半導体装置の一例を説明する。図9は、このような半導体装置の構成例を示すブロック図である。図9に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RFCPU」という)と呼ぶことができる。

【0181】

図9に示すように、RFCPU511は、アナログ回路部512とデジタル回路部513を有している。アナログ回路部512として、共振容量を有する共振回路514、整流

10

20

30

40

50

回路 515、定電圧回路 516、リセット回路 517、発振回路 518、復調回路 519と、変調回路 520 を有している。デジタル回路部 513 は、RF インターフェース 521、制御レジスタ 522、クロックコントローラ 523、インターフェース 524、中央処理ユニット 525、ランダムアクセスメモリ 526、読み出し専用メモリ 527 を有している。

【0182】

RF CPU 511 の動作の概要は以下の通りである。アンテナ 528 が受信した信号は共振回路 514 により誘導起電力を生じる。誘導起電力は、整流回路 515 を経て容量部 529 に充電される。この容量部 529 はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 529 は RF CPU 511 と一体形成されている必要はなく、別部品として RF CPU 511 を構成する絶縁表面を有する基板に取り付けることもできる。10

【0183】

リセット回路 517 は、デジタル回路部 513 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 518 は、定電圧回路 516 により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。復調回路 519 は、受信信号を復調する回路であり、変調回路 520 は、送信するデータを変調する回路である。

【0184】

例えば、復調回路 519 はローパスフィルタで形成され、振幅変調 (ASK) 方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調 (ASK) 方式の送信信号の振幅を変動させて送信するため、変調回路 520 は、共振回路 514 の共振点を変化させることで通信信号の振幅を変化させている。20

【0185】

クロックコントローラ 523 は、電源電圧又は中央処理ユニット 525 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 530 が行っている。

【0186】

アンテナ 528 から RF CPU 511 に入力された信号は復調回路 519 で復調された後、RF インターフェース 521 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 522 に格納される。制御コマンドには、読み出し専用メモリ 527 に記憶されているデータの読み出し、ランダムアクセスメモリ 526 へのデータの書き込み、中央処理ユニット 525 への演算命令などが含まれている。30

【0187】

中央処理ユニット 525 は、インターフェース 524 を介して読み出し専用メモリ 527、ランダムアクセスメモリ 526、制御レジスタ 522 にアクセスする。インターフェース 524 は、中央処理ユニット 525 が要求するアドレスより、読み出し専用メモリ 527、ランダムアクセスメモリ 526、制御レジスタ 522 のいずれかに対するアクセス信号を生成する機能を有している。

【0188】

中央処理ユニット 525 の演算方式は、読み出し専用メモリ 527 に OS (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、プログラムを使って、残りの演算を中央処理ユニット 525 が実行する方式を適用できる。40

【0189】

このような RF CPU 511 は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部50

529を小型化しても長時間の動作が保証される。

【0190】

(実施の形態5)

本実施の形態では、高性能、かつ高い信頼性を付与することを目的とした半導体装置の一例として表示装置について図10乃至図13を用いて説明する。

【0191】

SOI基板の支持基板に表示パネルを製造するマザーガラスと呼ばれる大面積ガラス基板を用いることができる。図10は支持基板107にマザーガラスを用いたSOI基板の正面図である。

【0192】

1枚のマザーガラス551には、複数の単結晶半導体基板から分離された単結晶半導体層552が貼り合わせられている。マザーガラス551から複数の表示パネルを切り出すために、単結晶半導体層552を表示パネルの形成領域581内に接合することが好ましい。表示パネルは、走査線駆動回路、信号線駆動回路、画素部を有する。そのため表示パネルの形成領域581において、これらが形成される領域（走査線駆動回路形成領域582、信号線駆動回路形成領域583、画素形成領域584）に、単結晶半導体層552を接合する。

【0193】

図11は、図10に示すSOI基板を用いて作製された液晶表示装置を説明するための図面である。図11(A)は液晶表示装置の画素の平面図であり、図11(B)は、J-K切断線による図11(A)の断面図である。

【0194】

図11(A)において、単結晶半導体層321は、マザーガラス551に貼り合わせられた単結晶半導体層552から形成された層であり、画素のTFTを構成する。ここでは、SOI基板には実施の形態1の方法で作製されたSOI基板が用いられている。図11(B)に示すように、支持基板107上に、絶縁層102、絶縁層104、単結晶半導体層が積層された基板が用いられている。なお、絶縁層102は、実施の形態1と同様に、絶縁層102aは窒化酸化シリコン層、絶縁層102bは酸化窒化シリコン層で形成すればよい。支持基板107は分割されたマザーガラス551である。図11(A)に示すように、画素は、単結晶半導体層321、単結晶半導体層321と交差している走査線322、走査線322と交差している信号線323、画素電極324、単結晶半導体層321を電気的に接続する電極328を有する。

【0195】

図11(B)に示すように、画素のTFT325は絶縁層上に形成されている。TFT325のゲート電極は走査線322に含まれ、ソース電極又はドレイン電極は信号線323に含まれている。層間絶縁膜327上には、信号線323、画素電極324および電極328が設けられている。層間絶縁膜327上には、柱状スペーサ329が形成され、信号線323、画素電極324、電極328および柱状スペーサ329を覆って配向膜330が形成されている。対向基板332には、対向電極333、対向電極を覆う配向膜334が形成されている。柱状スペーサ329は、支持基板107と対向基板332の隙間を維持するために形成される。柱状スペーサ329によって形成される空隙に液晶層335が形成されている。単結晶半導体層321と、信号線323および電極328との接続部は、コンタクトホールの形成によって層間絶縁膜327に段差が生じるので、この段差で液晶層335の液晶の配向が乱れる。そのため、この段差部に柱状スペーサ329を形成して、液晶の配向の乱れを防ぐ。

【0196】

次に、エレクトロルミネセンス表示装置（以下、EL表示装置という。）について、説明する。図12は、図10に示すSOI基板を用いて作製されたEL表示装置を説明するための図面である。図12(A)はEL表示装置の画素の平面図であり、図12(B)は、画素の断面図である。

10

20

30

40

50

【0197】

図12(A)は単結晶半導体層により画素部のトランジスタが形成されるエレクトロルミネセンス表示装置の一例を示す。図12(A)は画素の平面を示し、画素には、TFTでなる選択用トランジスタ401、および表示制御用トランジスタ402が形成されている。図12(B)は、表示制御用トランジスタ402を含んだ要部を示す断面図である。

【0198】

選択用トランジスタ401の単結晶半導体層403、表示制御用トランジスタ402の単結晶半導体層404は、図10のSOI基板の単結晶半導体層552を加工して形成された層である。画素は、走査線405、信号線406、および電流供給線407、画素電極408を含む。EL表示装置は、エレクトロルミネセンス材料を含んで形成される層(EL層)が一対の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極408である。

10

【0199】

選択用トランジスタ401において、ゲート電極は走査線405に含まれ、ソース電極またはドレイン電極の一方は信号線406に含まれ、他方は電極411として形成されている。表示制御用トランジスタ402は、ゲート電極412が電極411と電気的に接続され、ソース電極またはドレイン電極の一方は、画素電極408に電気的に接続される電極413として形成され、他方は、電流供給線407に含まれている。

【0200】

なお、SOI基板には、実施の形態3の方法で作製した基板が用いられている。図11(B)と同様に、支持基板107上に、絶縁層102、絶縁層104、単結晶半導体層404が積層されている。なお、絶縁層102は、実施の形態1と同様に、絶縁層102aは窒化酸化シリコン層、絶縁層102bは酸化窒化シリコン層で形成すればよい。支持基板107は分割されたマザーガラス551である。

20

【0201】

図12(B)に示すように、表示制御用トランジスタ402のゲート電極412を覆って、層間絶縁膜427が形成されている。層間絶縁膜427上に、信号線406、電流供給線407、電極411、413などが形成されている。また、層間絶縁膜上には、電極413に電気的に接続されている画素電極408が形成されている。画素電極408は周辺部が絶縁性の隔壁層428で囲まれている。画素電極408上にはEL層429が形成され、EL層429上には対向電極430が形成されている。補強板として対向基板431が設けられており、対向基板431は樹脂層432により支持基板107に貼り合わされている。EL表示装置の画素部には、図12に示す画素がマトリクス状に配列されている。

30

【0202】

EL表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとでトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。本発明に係るSOI基板を用いることで、選択用トランジスタ401および表示制御用トランジスタ402は画素ごとに特性のばらつきが少ないといため、電流駆動方式を採用することができる。

40

【0203】

図11、図12に示すように、表示装置を製造するマザーガラスでSOI基板を作製し、このSOI基板から表示装置を作製することができる。さらに、このSOI基板には、図8及び図9で説明したようなマイクロプロセッサも形成することができるので、表示装置内にコンピュータの機能搭載することもできる。また非接触でデータの入出力を可能とした表示装置を作製することもできる。

【0204】

つまり、本発明に係るSOI基板を用いることで、様々な電気器具を構成することができる。電気器具としては、ビデオカメラ、デジタルカメラ等のカメラ、ナビゲーションシ

50

ステム、音響再生装置（カーオーディオ、オーディオコンポなど）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍など）、記録媒体を備えた画像再生装置（具体的にはDVD（d i g i t a l v e r s a t i l e d i s c）などの記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが含まれる。

【0205】

図13を用いて、電気器具の具体的な態様を説明する。図13（A）は携帯電話機901の一例を示す外観図である。この携帯電話機901は、表示部902、操作スイッチ903などを含んで構成されている。表示部902に、図11で説明した液晶表示装置又は図12で説明したEL表示装置を適用することで、表示むらが少なく画質の優れた表示部902とすることができます。携帯電話機901に含まれるマイクロプロセッサやメモリなどにも、本発明に係るSOI基板で形成された半導体装置を適用することができる。10

【0206】

また、図13（B）は、デジタルプレーヤー911の構成例を示す外観図である。デジタルプレーヤー911は、表示部912、操作部913、イヤホン914などを含んでいる。イヤホン914の代わりにヘッドホンや無線式イヤホンを用いることができる。表示部912に、図11で説明した液晶表示装置又は図12で説明したEL表示装置を適用することで、画面サイズが0.3インチから2インチ程度の場合であっても、高精細な画像および多量の文字情報を表示することができる。また、デジタルプレーヤー911に含まれる、音楽情報を記憶するメモリ部や、マイクロプロセッサも、本発明に係るSOI基板で形成された半導体装置を適用することができる。20

【0207】

また、図13（C）は、電子ブック921の外観図である。この電子ブック921は、表示部922、操作スイッチ923を含んでいる。電子ブック921にはモデムが内蔵されていてもよいし、図9のRFCPUを内蔵させることで、無線で情報を送受信できる構成としてもよい。表示部922には、図11で説明した液晶表示装置、又は図12で説明したEL表示装置を適用することで、高画質の表示を行うことができる。電子ブック921は情報を記憶するメモリ部や、電子ブック921を機能させるマイクロプロセッサに、本発明に係るSOI基板で形成された半導体装置を適用することができる。

【0208】

（実施の形態6）

本発明に係るSOI基板を適用した表示素子を有する半導体装置によって、テレビジョン装置を完成させることができる。高性能で、かつ高信頼性を付与することを目的としたテレビジョン装置の例を説明する。

【0209】

図14はテレビジョン装置（液晶テレビジョン装置、又はELテレビジョン装置等）の主要な構成を示すブロック図を示している。

【0210】

その他の外部回路の構成として、映像信号の入力側では、チューナ1904で受信した信号のうち、映像信号を増幅する映像信号增幅回路1905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路1906と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路1907などからなっている。コントロール回路1907は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路1908を設け、入力デジタル信号をm個に分割して供給する構成としても良い。40

【0211】

チューナ1904で受信した信号のうち、音声信号は、音声信号增幅回路1909に送られ、その出力は音声信号処理回路1910を経てスピーカー1913に供給される。制御回路1911は受信局（受信周波数）や音量の制御情報を入力部1912から受け、チューナ1904や音声信号処理回路1910に信号を送出する。50

【0212】

表示モジュールを、図15(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを一般的にはEL表示モジュールともいう。よってEL表示モジュールを用いると、ELテレビジョン装置を完成することができ、液晶表示モジュールを用いると、液晶テレビジョン装置を完成することができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、本発明に係るSOI基板を適用してテレビジョン装置を完成させることができる。

【0213】

また、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断するようにしてもよい。また上面放射型の半導体装置ならば、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法などによっても形成することができ、顔料系の黒色樹脂や、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。位相差板としては $1/4$ 板と $1/2$ 板とを用い、光を制御できるように設計すればよい。構成としては、TFT素子基板側から純に、発光素子、封止基板(封止材)、位相差板($1/4$ 、 $1/2$)、偏光板という構成になり、発光素子から放射された光は、これらを通過し偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の半導体装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

【0214】

図15(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン操作機にも出力する情報を表示する表示部2007が設けられていても良い。

【0215】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れたEL表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示用パネルで形成し、サブ画面をEL表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くのTFTや電子部品を用いても、高性能で、かつ信頼性の高い半導体装置を生産性よく作製することができる。

【0216】

図15(B)は例えば20~80インチの大型の表示部を有するテレビジョン装置であり、筐体2010、操作部であるキーボード部2012、表示部2011、スピーカー部2013等を含む。本発明は、表示部2011の作製に適用される。図15(B)の表示部は、湾曲可能な物質を用いているので、表示部が湾曲したテレビジョン装置となっている。このように表示部の形状を自由に設計することができるので、所望な形状のテレビジョン装置を作製することができる。

【0217】

本発明に係るSOI基板を適用することにより表示機能を有する高性能かつ高信頼性の半導体装置を、生産性よく作製することができる。よって高性能、高信頼性のテレビジョン装置を生産性よく作製することができる。

【0218】

10

20

30

40

50

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0219】

(実施の形態7)

図16は本発明を適用した携帯電話機の構成の一例であり、図13(A)に示した携帯電話機とは異なる例を示す。図16の携帯電話機において、図16(A)が正面図、図16(B)が背面図、図16(C)が展開図である。携帯電話機は、電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

10

【0220】

携帯電話機は、筐体1001及び1002二つの筐体で構成されている。筐体1001には、表示部1101、スピーカー1102、マイクロフォン1103、操作キー1104、ポインティングデバイス1105、カメラ用レンズ1106、外部接続端子1107、イヤホン端子1008等を備えられ、筐体1002には、キーボード1201、外部メモリスロット1202、カメラ用レンズ1203、ライト1204等を備えられている。また、アンテナは筐体1001内部に内蔵されている。

【0221】

また、上記構成に加えて、非接触ICチップ、小型記録装置等を内蔵していてもよい。

【0222】

他の上記実施の形態に示される半導体装置を組み込むことが可能である表示部1101には、使用形態に応じて表示の方向が適宜変化する。表示部1101と同一面上にカメラ用レンズ1106を備えているため、テレビ電話が可能である。また、表示部1101をファインダーとしてカメラ用レンズ1203及びライト1204で静止画及び動画の撮影が可能である。スピーカー1102及びマイクロフォン1103は音声通話に限らず、テレビ電話、録音、再生等が可能である。操作キー1104では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。更に、図16(A)に示す重なり合った筐体1001と筐体1002は、スライドして図16(C)のように展開し、携帯情報端末として使用できる。この場合、キーボード1201、ポインティングデバイス1105を用い円滑な操作が可能である。外部接続端子1107はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びコンピュータ等とのデータ通信が可能である。また、外部メモリスロット1202に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

20

【0223】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能等を備えたものであってもよい。

【0224】

表示部1101は、本発明に係るSOI基板を適用することにより、高性能かつ信頼性の高い携帯電話機を提供することができる。

30

【0225】

以上により、本発明に係るSOI基板を適用することにより表示機能を有する高性能かつ高信頼性の半導体装置を、生産性よく作製することができる。よって高性能、高信頼性の携帯電話を生産性よく作製することができる。

40

【0226】

以上のように、本発明の適用範囲はきわめて広く、あらゆる分野の電子機器や情報表示手段に用いることができる。

【実施例1】

【0227】

以下において、本発明に関し実施例に基づいて更に詳しく説明する。本発明はこの実施例によって何ら限定されるものではなく、特許請求の範囲によって特定されるものである

50

ことはいうまでもないことである。本実施例では、S O I 基板の単結晶半導体層の表面粗さについて説明する。

【0228】

図17を用いて、本実施例のS O I 基板の作製方法を説明する。図17に示す作製方法は、実施の形態1で説明した作製方法に対応する。

【0229】

半導体基板として、単結晶シリコン基板を用意する。単結晶シリコン基板は、5インチのp型シリコン基板であり、その面方位は(100)であり、その側面方位は<110>である。以下、単結晶シリコン基板を「c-Si基板601」と表記する。

【0230】

c-Si基板601純水で洗浄し、乾燥する。次に、プラズマCVD装置を用いて、c-Si基板601上に酸化窒化シリコン層602aを形成し、酸化窒化シリコン層602a上に窒化酸化シリコン層602bを形成する(図17(A)参照)。

【0231】

平行平板型プラズマCVD装置を用いる際に、c-Si基板601を大気に曝すことなく酸化窒化シリコン層602a、窒化酸化シリコン層602bを連続的に形成する。その際の成膜条件は以下の通りである。ここでは、酸化窒化シリコン層602aの成膜前に、60秒間、フッ化水溶液で洗浄し、c-Si基板601の酸化膜を除去する工程を行う。

【0232】

<酸化窒化シリコン層602a>

- ・厚さ 50 nm
- ・ガスの種類(流量)
 - SiH₄ (4 sccm)
 - N₂O (800 sccm)
- ・基板温度 400
- ・圧力 40 Pa
- ・RF周波数 27 MHz
- ・RFパワー 50 W
- ・電極間距離 15 mm
- ・電極面積 615.75 cm²

【0233】

<窒化酸化シリコン層602b>

- ・厚さ 50 nm
- ・ガスの種類(流量)
 - SiH₄ (10 sccm)
 - NH₃ (100 sccm)
 - N₂O (20 sccm)
 - H₂ (400 sccm)
- ・基板温度 300
- ・圧力 40 Pa
- ・RF周波数 27 MHz
- ・RFパワー 50 W
- ・電極間距離 30 mm
- ・電極面積 615.75 cm²

【0234】

次に、図17(B)に示すように、イオンドーピング装置を用い、水素イオン605をc-Si基板601に照射して、損傷領域603を形成する。ソースガスには100%水素ガスを用い、イオン化された水素を質量分離せずに、電界で加速してc-Si基板601に添加する。詳細な条件は次の通りである。

【0235】

10

20

30

40

50

- ・ソースガス H₂
- ・R F パワー 100 W
- ・加速電圧 40 kV
- ・ドーザ量 2.0 × 10¹⁶ ions/cm²

【0236】

イオンドーピング装置において、水素ガスから H⁺、H₂⁺、H₃⁺という3種類のイオン種が生成され、これらイオン種の全てを c - Si 基板 601 にドーピングする。水素ガスから発生されたイオン種のうち、80%程度が H₃⁺である。

【0237】

損傷領域 603 を形成した後、c - Si 基板 601 を純水で洗浄し、窒化酸化シリコン層 602b 上にプラズマ CVD 装置を用いて、厚さ 50 nm の酸化シリコン膜 604 を形成する（図 17 (C) 参照）。酸化シリコン膜 604 のソースガスには、珪酸エチル（TEOS：化学式 Si(OCH₃)₄）と酸素ガスを用いる。酸化シリコン膜 604 の成膜条件は次の通りである。

【0238】

<酸化シリコン膜 604 >

- ・厚さ 50 nm
- ・ガスの種類（流量）
 - TEOS (15 sccm)
 - O₂ (750 sccm)
- ・基板温度 300
- ・圧力 100 Pa
- ・R F 周波数 27 MHz
- ・R F パワー 300 W
- ・電極間距離 14 mm
- ・電極面積 615.75 cm²

【0239】

ガラス基板 607 を用意する（図 17 (D)）。ガラス基板 607 には、旭硝子社製のアルミノ珪酸塩ガラス基板（製品名「AN100」）を用いる。ガラス基板 607 および酸化シリコン膜 604 を形成された c - Si 基板 601 を洗浄する。洗浄には、純水中で超音波洗浄した後、オゾンを含む純水での処理を行う。

【0240】

次に、図 18 (A) に示すように、ガラス基板 607 と c - Si 基板 601 を密接させることで、ガラス基板 607 と酸化シリコン膜 604 を接合させる。この工程により、ガラス基板 607 と c - Si 基板 601 が貼り合わされる。この工程は加熱処理を伴わない、常温での処理になる。

【0241】

次に、拡散炉において加熱処理を行い、図 18 (B) に示すように損傷領域 603 において分離する。まず、200 度で 2 時間の加熱し、加熱温度を 600 度に上昇し、さらに 2 時間、加熱する。この一連の加熱処理によって、c - Si 基板 601 には、損傷領域 603 で亀裂が生じ、損傷領域において c - Si 基板 601 が分離する。この工程で、600 度以上で c - Si 基板 601 を加熱することで、ガラス基板に貼り合わされたシリコン層の結晶性を単結晶半導体基板の結晶性により近づけることができる。

【0242】

加熱処理が終了したら、拡散炉からガラス基板 607 と c - Si 基板 601 を取り出す。加熱処理によって、ガラス基板 607 と c - Si 基板 601 は分離できる状態となっているので、c - Si 基板 601 を取り除くと、c - Si 基板 601 から分離されたシリコン層 608 がガラス基板 607 に貼り合わされている SOI 基板が形成されている。

【0243】

SOI 基板は、ガラス基板 607 上に、酸化シリコン膜 604、窒化酸化シリコン層 6

10

20

30

40

50

02b、酸化窒化シリコン層602a、シリコン層608が順に積層された構造を有する。本実施例では、シリコン層608の厚さは120nm程度である。

【0244】

次に、SOI基板のシリコン層608の表面に対してドライエッチングを行う。シリコン層608に対してドライエッチングを行うことにより、シリコン層609の膜厚を95nmにする。(図18(C)参照)。シリコン層608のエッチング条件は次の通りである。

- ・コイル型の電極に投入する電力 150W
- ・下部電極に投入する電力 40W
- ・反応圧力 1.0Pa
- ・エッチングガス(塩素の流量) 100sccm

10

【0245】

次に、図19(A)に示すように、SOI基板のシリコン層609にレーザビーム606を照射し、シリコン層610を有するSOI基板を形成する。図19(B)のシリコン層610はレーザビーム606の照射後のシリコン層609に対応する。

【0246】

そして、シリコン層610をドライエッチングして、その膜厚を60nmに薄くする。以上の工程で、図19(C)に示すSOI基板が形成される。なお、エッチング条件は、図18(C)で示した条件と同様である。

【0247】

20

図19(A)のレーザビームの照射するために用いたレーザの仕様は次の通りである。

<レーザの仕様>

XeClエキシマレーザ
波長308nm
パルス幅25nsec
繰り返し周波数30Hz

【0248】

レーザビーム606は、シリンドリカルレンズなどを含んだ光学系により、ビームスポットが線状の線状ビームとする。レーザビーム606に対してガラス基板607を相対的に移動しながら、レーザビーム606を照射する。このときレーザビーム606の走査速度は、1.0mm/secとし、同じ領域に12ショット、レーザビーム606が照射されるようとする。

30

【0249】

また、レーザビーム606の雰囲気は大気雰囲気または窒素雰囲気とした。本実施例では、窒素雰囲気は、大気中のレーザビーム606を照射しながら、窒素ガスを被照射面に吹き付けることで形成している。

【0250】

レーザビーム606のエネルギー密度を約540mJ/cm²~700mJ/cm²の範囲で行った。

【0251】

40

本発明者らは、ドライエッチングを行った後のレーザビーム606の照射によるシリコン層の表面粗さについて測定を行った。また、レーザビーム606を照射した後に、ドライエッチング又はウェットエッチングを行うことによるシリコン層の表面粗さについての測定を行った。

【0252】

シリコン層の表面粗さ、およびその結晶性の分析には、例えば、光学顕微鏡、原子間力顕微鏡(AFM; Atomic Force Microscope)、走査電子顕微鏡(SEM; Scanning Electron Microscope)による観察、電子後方散乱回折像(EBSP; Electron Back Scatter Diffraction Pattern)の観察、及びラマン分光測定などを用いることがで

50

きる。

【0253】

本実施例においてはシリコン層の表面粗さの測定には、原子間力顕微鏡（A F M； A t o m i c F o r c e M i c r o s c o p e）を用いて、シリコン層の平均面粗さ（R a）、自乗平均面粗さ（R M S）、山谷の最大高低差（P - V）を測定した。

【0254】

ここで、平均面粗さ（R a）とは、J I S B 0 6 0 1 : 2 0 0 1 (I S O 4 2 8 7 : 1 9 9 7) で定義されている中心線平均粗さ R a を、測定面に対して適用できるよう三次元に拡張したものである。基準面から指定面までの偏差の絶対値を平均した値と表現でき、次式で与えられる。

【0255】

【数1】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY \quad (1)$$

【0256】

なお、測定面とは、全測定データの示す面であり、下記の式で表す。

【0257】

【数2】

$$Z = F(X, Y) \quad (2)$$

【0258】

また、指定面とは、粗さ計測の対象となる面であり、座標（X₁, Y₁）(X₁, Y₂) (X₂, Y₁) (X₂, Y₂) で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S₀ とする。なお、S₀ は下記の式で求められる。

【0259】

【数3】

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1) \quad (3)$$

【0260】

また、基準面とは、指定面の高さの平均値を Z₀ とするとき、Z = Z₀ で表される平面である。基準面は XY 平面と平行となる。なお、Z₀ は下記の式で求められる。

【0261】

【数4】

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY \quad (4)$$

【0262】

自乗平均面粗さ（R M S）とは、断面曲線に対するR M Sを、測定面に対して適用できるよう、R a と同様に三次元に拡張したものである。基準面から指定面までの偏差の自乗を平均した値の平方根と表現でき、次式で与えられる。

【0263】

【数5】

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY} \quad (5)$$

【0264】

山谷の最大高低差（P - V）とは、指定面において、最も高い山頂の標高 Z_{m a x} と最も低い谷底の標高 Z_{m i n} の差と表現でき、次式で与えられる。

【0265】

10

20

30

40

【数6】

$$P - V = Z_{\max} - Z_{\min} \quad (6)$$

【0266】

ここでいう山頂と谷底とは J I S B 0 6 0 1 : 2 0 0 1 (I S O 4 2 8 7 : 1 9 9 7) で定義されている「山頂」「谷底」を三次元に拡張したものであり、山頂とは指定面の山において最も標高の高いところ、谷底とは指定面において最も標高の低いところと表現される。

【0267】

本実施例における平均面粗さ (R a) 、自乗平均面粗さ (R M S) 、山谷の最大高低差 (P - V) の測定条件を以下に記す。 10

- ・原子間力顕微鏡 (A F M) : 走査型プローブ顕微鏡 S P I 3 8 0 0 N / S P A 5 0 0 (セイコーインスツルメンツ (株) 製)
- ・測定モード : ダイナミックフォースモード (D F M モード)
- ・カンチレバー : S I - D F 4 0 (シリコン製、バネ定数 4 2 N / m 、共振周波数 2 5 0 ~ 3 9 0 k H z 、探針の先端 R 1 0 n m)
- ・走査速度 : 1 . 0 H z
- ・測定面積 : 1 0 × 1 0 μ m
- ・測定点数 : 2 5 6 × 2 5 6 点

なお、 D M F モードとは、ある周波数 (カンチレバーに固有の周波数) でカンチレバーを共振させた状態で、レバーの振動振幅が一定になるように探針と試料との距離を制御しながら、表面形状を測定する測定モードのことである。この D F M モードは試料の表面に非接触で測定するため、試料の表面を傷つけることなく、元の形状を保ったまま測定できる。 20

【0268】

本実施例においてはシリコン層の表面粗さの測定は、 (A) c - S i 基板を分離した後 (未処理) のシリコン層、 (B) ドライエッチング処理後のシリコン層、 (C) レーザ照射後のシリコン層、 (D) ドライエッチング処理後にレーザビームを照射したシリコン層 (E) ドライエッチング処理後にレーザビームを照射しドライエッチング処理を行ったシリコン層、 (F) ドライエッチング処理後にレーザビームを照射しウェットエッチング処理を行ったシリコン層、に対して上記条件にて行い、三次元表面形状の像を得た。この得られた測定画像の基板断面の曲率を考慮し、付属のソフトウェアにより、画像の全データから最小二乗法により 1 次平面を求めてフィッティングし、面内の傾きを補正する 1 次傾き補正を行い、続いて同様に 2 次曲線を補正する 2 次傾き補正を行ったのち、付属のソフトウェアにより、表面粗さ解析を行い、平均面粗さ (R a) 、自乗平均面粗さ (R M S) 、山谷の最大高低差 (P - V) をそれぞれ算出した。 30

【0269】

図 2 0 は、 A F M による測定結果を示す。図 2 0 (D) にドライエッチング後にレーザビーム照射したシリコン層の表面の観察像を示す。また、ドライエッチングの処理後にレーザビームを照射することによる効果を確認する為に、図 2 0 (A) に c - S i 基板を分離した後 (未処理) のシリコン層の表面の観察像を、図 2 0 (B) に、ドライエッチング後のシリコン層の表面の観察像を、図 2 0 (C) にレーザ照射後のシリコン層の表面の観察像を示す。また、図 2 0 (E) は、ドライエッチング後にレーザビームを照射し、さらにドライエッチングを行ったシリコン層の表面の観察像であり、図 2 0 (F) はドライエッチング後にレーザビームを照射し、さらにウェットエッチングを行ったシリコン層の表面の観察像である。また、図 2 0 (A) ~ (F) は、図 2 1 (A) ~ (F) の鳥瞰図に対応する。なお、図 2 0 (A) のシリコン層の表面の観察像及び図 2 1 (A) の鳥瞰図は、像が横に流れてしまっているが、平均面粗さ (R a) 、自乗平均面粗さ (R M S) 及び山谷の最大高低差 (P - V) の定義式より、表面粗さ解析には影響はない。 40

【0270】

図 2 0 (A) ~ 図 2 0 (F) の D F M 像をもとに計算された表面粗さを表 1 に示す。 50

【0271】

【表1】

	平均面粗さRa[nm]	自乗平均面粗さRms[nm]	山谷の最大高低差P-V[nm]
(A)未処理	5.89	7.74	85.8
(B)ドライエッチング	5.86	7.52	61.8
(C)レーザビーム照射	1.17	1.49	11.4
(D)ドライエッチング+レーザビーム照射	0.551	0.853	13.2
(E)ドライエッチング+レーザビーム照射+ドライエッチング	0.794	1.14	26
(F)ドライエッチング+レーザビーム照射+ウェットエッチング	1.23	1.81	29.2

【0272】

図21(A)に示す未処理のシリコン層の鳥瞰図は、結晶欠陥や分離の時の形状を保っているため、シリコン層の表面は急峻な突起状になっている。そこで、シリコン層にドライエッチングを行うと、図21(B)に示すように、シリコン層表面の結晶欠陥や分離の際のダメージを除去することができる。しかし、シリコン層中の結晶欠陥は除去されないため、シリコン層の結晶性は回復されていない。また、シリコン層に対してレーザビームを照射するとシリコン層中の結晶性を回復することができるが、図21(C)単結晶半導体層表面の結晶欠陥や分離の際のダメージを単結晶半導体層中に取り込んでしまうため、シリコン層中に結晶欠陥が残ってしまう。そこで、ドライエッチングを行うことにより、単結晶半導体層表面の結晶欠陥や分離の際のダメージを除去し、結晶欠陥や分離の際のダメージが除去されたシリコン層にレーザビームを照射することにより、結晶性の回復されたシリコン層を得ることができる。

【0273】

従って、結晶欠陥が低減された単結晶シリコン層を薄膜化することで、薄膜化された単結晶シリコン層の特長を活かした高性能のトランジスタを作製することが可能になる。

【0274】

以上、表1、図20及び図21から、ドライエッチングの後にレーザビームを照射により、支持基板に張り合わされたシリコン層の平坦性の向上が実現できることがわかった。

【実施例2】

【0275】

本実施例では、ドライエッチングを行ってからレーザビームを照射することにより再単結晶化された単結晶半導体層と、ドライエッチングを行わずにレーザビームを照射することにより再単結晶化された単結晶半導体層との特性の差異について、図24乃至図26に示す実験データを用いて説明する。

【0276】

本実施例においては、ドライエッチングを行ってからレーザビームを照射することにより、再単結晶化された単結晶半導体層と、ドライエッチングを行わずにレーザビームを照射することにより再単結晶化された単結晶半導体層を作製した後、それぞれの単結晶半導体層を用いて薄膜トランジスタを作製した。つまり、ドライエッチング処理の有無のみを異ならせた薄膜トランジスタを作製して、特性の比較を行った。以下に、具体的な条件を示す。

【0277】

単結晶半導体基板を損傷領域において分離し、支持基板に単結晶半導体層を貼り付けるまでの作製工程は、実施例1の図17(A)乃至図18(B)と同様に行った。単結晶半導体基板を損傷領域において、単結晶半導体層が貼り合わされた支持基板と単結晶半導体基板の一部とに分離した後に、単結晶半導体層にドライエッチングを行ってからレーザビームを照射することにより、再単結晶化された単結晶半導体層と、ドライエッチングを行

10

20

30

40

50

わざにレーザビームを照射することにより、再単結晶化された単結晶半導体層とを作り分けた。

【0278】

ここで、レーザビームの照射エネルギー密度について説明する。ドライエッチングを行わずにレーザビームを照射することにより再単結晶化する場合と、ドライエッチングを行った後にレーザビームを照射する場合とで、レーザビームのエネルギー密度は異なる。単結晶半導体層を再単結晶化するのに必要なエネルギー密度は、単結晶半導体層の膜厚によって異なるからである。本実施例では、単結晶半導体層が貼り合わされた支持基板と単結晶半導体基板の一部とに分離した後の単結晶半導体層の膜厚は120nm程度であり、ドライエッチングを行うことによって、単結晶半導体層の膜厚は95nm程度となる。これらの単結晶半導体層の膜厚によって決定されたレーザビームのエネルギー密度は、ドライエッチングを行わずにレーザビームを照射した場合は、701mJ/cm²、710mJ/cm²、719mJ/cm²であり、ドライエッチングを行った後にレーザビームを照射した場合は、648mJ/cm²、658mJ/cm²、669mJ/cm²であった。
10

【0279】

ドライエッチングを行ってからレーザビームを照射することにより、再単結晶化された単結晶半導体層は、図18(C)と同様にドライエッチングを行った後、図19(A)と同様にしてレーザビーム照射を行い、図19(B)と同様にドライエッチングを行っている。また、ドライエッチングを行わずにレーザビームを照射することにより、再単結晶化された単結晶半導体層は、図18(C)を行わずに、図19(A)と同様にしてレーザビーム照射を行い、図19(B)と同様にドライエッチングを行っている。
20

【0280】

次に、薄膜トランジスタの作製方法について図22(A)乃至図23(C)を用いて説明する。上記の方法に従って作製されたSOI基板を図22(A)に示す。図22(A)に示すSOI基板は、ガラス基板607上の、酸化シリコン膜604、窒化酸化シリコン層602b、酸化窒化シリコン層602a、シリコン層611が順に積層された構造を有する。酸化シリコン膜604の膜厚は50nm、窒化酸化シリコン層602bの膜厚は50nm、酸化窒化シリコン層602aの膜厚は50nmである。シリコン層611の膜厚は55nmである。
30

【0281】

次に、しきい値を制御するためのチャネルドープを行う。材料ガスとして、硼素を用い、加速電圧15kV、シリコン層611中のピーク濃度が 2×10^{17} atoms/cm³となるようにして行った。続いて、フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成して、シリコン層611を所望の形状にエッティングして、シリコン層705、706を形成した(図22(B)参照)。

【0282】

次に、エッティングされたシリコン層を覆うゲート絶縁膜707として、高密度プラズマ(High Density Plasma)法により、膜厚10nmの酸化シリコン層と、プラズマCVD法により、70nmの酸化窒化シリコン層を形成した。続いて、ゲート絶縁膜707上に導電膜として、膜厚30nmの窒化タンタル層、膜厚370nmのタングステン層を積層構造で形成した。
40

【0283】

次に、フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成して、タングステン層、窒化タンタル層をエッティングしてゲート電極708、709を形成した後、マスクを除去した(図22(C)参照)。マスクを除去した後、新たにレジストからなるマスク711をシリコン層706を覆うように形成して、ドーピング処理を行った。nチャネル型TFTの活性層となるシリコン層705にn型(一導電型)を付与する不純物元素710を導入した。この場合、タングステン層、窒化タンタル層をエッティングすることにより形成されたゲート電極708が、n型を付与する不純物元素710に対する
50

マスクとなり、自己整合的にチャネル形成領域 720 と、該チャネル形成領域 720 を挟んでいる不純物領域 712a、712b とが形成される(図 22(D) 参照)。本実施例においては、ドーピング処理において、材料ガスとして 5% PH₃/H₂ を用い、ドーザ量を 3×10^{15} ions/cm² とし、加速電圧を 60 kV として行った。

【0284】

次いで、レジストからなるマスク 711 を除去した後、新たにレジストからなるマスク 714 を n チャネル型薄膜トランジスタのシリコン層 705 を覆うように形成して、ドーピング処理を行った。p チャネル型 TFT の活性層となるシリコン層 706 に p 型(一導電型とは逆の導電型を付与する不純物元素 713 を導入した。この場合、ゲート電極 709 が、p 型を付与する不純物元素 713 に対するマスクとなり、自己整合的にチャネル形成領域 721 と、該チャネル形成領域 721 を挟んでいる不純物領域 715a、715b とが形成される(図 22(E) 参照)。本実施例では、ドーピング処理において、材料ガスとして 15% B₂H₆/H₂ を用い、ドーザ量を 1.6×10^{16} ions/cm² とし、加速電圧を 80 kV として行った。

【0285】

以上までの工程で、それぞれの島状のシリコン層にチャネル形成領域と、該チャネル形成領域を挟む不純物領域が形成される。

【0286】

次に、レジストからなるマスク 714 を除去して、プラズマ CVD 法により、第 1 の層間絶縁膜 716 として膜厚 50 nm の酸化窒化珪素膜(組成比 Si = 32.8%、O = 63.7%、H = 3.5%)を形成した。ついで、熱処理により、島状のシリコン層の結晶性の回復、それぞれの島状のシリコン層に添加された不純物元素の活性化を行う。本実施例では、ファーネスアニール炉を用いた熱アニール法により、480°で 1 時間、窒素雰囲気中に熱処理を行った。

【0287】

次に、第 1 の層間絶縁膜上に無機絶縁材料又は有機絶縁材料からなる第 2 の層間絶縁膜 717 を形成した。本実施例では、CVD 法により膜厚 100 nm の窒化珪素膜を形成した後、膜厚 600 nm の酸化珪素膜を形成した(図 23(A) 参照)。そして、熱処理を行うと水素化処理を行うことができる。本実施例では、ファーネスアニール炉を用い、410°で 1 時間熱処理を行った。

【0288】

次に、レジストからなるマスクを用いて絶縁膜、に単結晶半導体層に達するコンタクトホール 718(開口部)を形成した(図 23(B) 参照)。エッチングは、用いる材料の選択比によって、1 回で行っても複数回行ってもよい。エッチングによって、絶縁膜を除去し、ソース領域又はドレイン領域に達する開口部 718 を形成した。

【0289】

次に、図に示すように、開口部 718 を覆う用に導電層を形成し、導電層をエッチングして各ソース領域又はドレイン領域の一部とそれ電気的に接続するソース電極又はドレイン電極として機能する導電層を形成した(図 23(C) 参照)。本実施例では、導電層として、膜厚 60 nm のチタン層、膜厚 40 nm の窒化チタン層、膜厚 300 nm のアルミニウム層、膜厚 100 nm のチタン層の積層構造で形成した。さらに、エッチングを行い、ソース電極又はドレイン電極 719a、719b を形成した。

【0290】

以上により、本実施例に係る薄膜トランジスタを形成することができる。

【0291】

図 24 に、ドライエッティングを行ってからレーザビームを照射することにより、再単結晶化された単結晶半導体層を用いて作製した n チャネル型トランジスタ(以下「ドライエッティングありのトランジスタ」という)と、ドライエッティングを行わずにレーザビームを照射することにより、再単結晶化された単結晶半導体層を用いて作製した n チャネル型トランジスタ(以下、「ドライエッティング処理なしのトランジスタ」という)のしきい値電

圧に対する確率統計分布図を示す。

【0292】

図24(A)は、ドライエッティングを行わずにレーザビーム(エネルギー密度701mJ/cm²(印)、710mJ/cm²(印)、719mJ/cm²(印))を照射した場合、図24(B)は、ドライエッティングを行ってからレーザビーム(エネルギー密度648mJ/cm²(印)、658mJ/cm²(印)、669mJ/cm²(印))を照射した場合を示す。いずれも、チャネル形成領域の長さ/チャネル形成領域の幅=8μm/8μmであるnチャネル型トランジスタである。図24のデータは、ドレン電圧(V_d)を5Vとして測定を行うことにより得られたものである。図24(A)、(B)は横軸にしきい値電圧V_{t h}[V]を、縦軸にパーセント[%]を示している。また、グラフの分布が縦軸に平行であるほど、ばらつきが少ないことを示している。なお、上述したようにレーザビームのエネルギー密度が、ドライエッティングを行わなかった場合と、ドライエッティングを行った場合とで異なるのは、単結晶半導体層の膜厚によって再単結晶化を行うために必要なエネルギー密度が異なるためである。従って、エネルギー密度の違いは、トランジスタの特性のばらつきに影響しない。図25、図26においても同様である。
10

【0293】

図24(B)において、ドライエッティング処理ありのトランジスタのしきい値電圧の値は、エネルギー密度648mJ/cm²のとき1.45±0.17V、エネルギー密度658mJ/cm²のとき1.46±0.22V、エネルギー密度668mJ/cm²のとき1.36±0.13Vの範囲に全体の99%が収まっている。これに対して、図24(A)において、ドライエッティング処理なしのトランジスタのしきい値電圧の値は、エネルギー密度701mJ/cm²のとき1.46±0.70V、エネルギー密度710mJ/cm²のとき1.99±1.20V、エネルギー密度719mJ/cm²のとき1.59±0.93Vの範囲に全体の99%が収まっている。つまり、図24(A)、(B)から、ドライエッティングを行ってからレーザビームを照射した場合の方が、ドライエッティングを行わない場合よりもばらつきが低減されることがわかった。
20

【0294】

図25にサブスレッショルド係数(S値)に対する確率統計分布図を示す。図25(A)は、ドライエッティングを行わずにレーザビーム(エネルギー密度701mJ/cm²(印)、710mJ/cm²(印)、719mJ/cm²(印))を照射した場合、図25(B)は、ドライエッティングを行ってからレーザビーム(エネルギー密度648mJ/cm²(印)、658mJ/cm²(印)、669mJ/cm²(印))を照射した場合を示す。いずれも、チャネル形成領域の長さ/チャネル形成領域の幅=8μm/8μmであるnチャネル型TFTについて測定した。図25(A)、(B)は横軸にサブスレッショルド係数S値[V/d ec]を、縦軸にパーセント[%]を示している。
30

【0295】

図25(B)において、ドライエッティング処理ありのトランジスタのS値は、エネルギー密度648mJ/cm²のとき0.18±0.02V/d ec、エネルギー密度658mJ/cm²のとき0.16±0.03V/d ec、エネルギー密度668mJ/cm²のとき0.16±0.02V/d ecの範囲に全体の99%が収まっている。これに対して、図25(A)において、ドライエッティング処理なしのトランジスタのS値は、エネルギー密度701mJ/cm²のとき0.17±0.04V/d ec、エネルギー密度710mJ/cm²のとき0.19±0.07V/d ec、エネルギー密度719mJ/cm²のとき0.17±0.07V/d ecの範囲に全体の99%が収まっている。つまり、図25(A)、(B)から、ドライエッティングを行ってからレーザビームを照射した場合の方が、ドライエッティングを行わない場合よりもばらつきが低減されることがわかった。
40

【0296】

図26に電界効果移動度に対する確率統計分布図を示す。図26(A)は、ドライエッティングを行わずにレーザビーム(エネルギー密度701mJ/cm²(印)、710m
50

J/cm^2 (印)、 $719mJ/cm^2$ (印))を照射した場合、図26(B)は、ドライエッチングを行ってからレーザビーム(エネルギー密度 $648mJ/cm^2$ (印)、 $658mJ/cm^2$ (印)、 $669mJ/cm^2$ (印))を照射した場合を示す。いずれも、チャネル形成領域の長さ / チャネル形成領域の幅 = $8\mu m / 8\mu m$ であるnチャネル型TFTについて測定した。図26(A)、(B)は横軸に電界効果移動度 $\mu [cm^2/Vs]$ を、縦軸にパーセント[%]を示している。

【0297】

図26(B)において、ドライエッチング処理ありのトランジスタの電界効果移動度は、エネルギー密度 $648mJ/cm^2$ のとき $434 \pm 30 cm^2/Vs$ 、エネルギー密度 $658mJ/cm^2$ のとき $471 \pm 38 cm^2/Vs$ 、エネルギー密度 $669mJ/cm^2$ のとき $446 \pm 25 cm^2/Vs$ の範囲に全体の99%が収まっている。これに対して、図26(A)において、ドライエッチング処理なしのトランジスタの電界効果移動度は、エネルギー密度 $701mJ/cm^2$ のとき $434 \pm 51 cm^2/Vs$ 、エネルギー密度 $710mJ/cm^2$ のとき $497 \pm 57 cm^2/Vs$ 、エネルギー密度 $719mJ/cm^2$ のとき $450 \pm 51 cm^2/Vs$ の範囲に全体の99%が収まっている。つまり、図26(A)、(B)から、ドライエッチングを行ってからレーザビームを照射した方が、ドライエッチングを行わない場合よりもばらつきが低減されたことがわかった。

【0298】

以上より、本発明により得られた単結晶半導体層を用いてTFTを作製すれば、しきい値電圧、S値および電界効果移動度のばらつきが低減されることが示されており、本発明の有効性が明確となった。これは、支持基板に貼り付けられた単結晶半導体層にドライエッチングを行うことにより、単結晶半導体層表面の欠陥やダメージを除去した後にレーザビームを照射しているため、レーザビームの照射による単結晶半導体層の溶融時に、欠陥やダメージを単結晶半導体層中に取り込むことを防ぐことができるからである。よって、欠陥が低減され、かつ平坦性の高い単結晶半導体層を用いることにより、複数の素子において特性のばらつきの抑制された半導体装置を作製することができる。したがって、信頼性の高い半導体装置を提供することが可能となる。

【図面の簡単な説明】

【0299】

【図1】実施の形態1に係るSOI基板の製造方法を説明する図。

30

【図2】実施の形態1に係るSOI基板の製造方法を説明する図。

【図3】実施の形態1に係るSOI基板の製造方法を説明する図。

【図4】実施の形態1に係るSOI基板の製造方法を説明する図。

【図5】実施の形態1に係るSOI基板の製造方法を説明する図。

【図6】実施の形態2に係る半導体装置の作製方法を説明する図。

【図7】実施の形態2に係る半導体装置の作製方法を説明する図。

【図8】SOI基板により得られるマイクロプロセッサの構成を示すブロック図。

【図9】SOI基板により得られるRFCPUの構成を示すブロック図。

【図10】支持基板にマザーガラスを用いたSOI基板の正面図。

【図11】(A)液晶表示装置の画素の平面図。(B)J-K切断線による図11(A)の断面図。

40

【図12】(A)エレクトロルミネセンス表示装置の画素の平面図。(B)J-K切断線による図12(A)の断面図。

【図13】本発明が適用される電子機器を示す図。

【図14】本発明が適用される電子機器の主要な構成を示すブロック図。

【図15】本発明が適用される電子機器を示す図。

【図16】本発明が適用される携帯電話を示す図。

【図17】実施例1に係るSOI基板の製造方法を説明する図。

【図18】実施例1に係るSOI基板の製造方法を説明する図。

【図19】実施例1に係るSOI基板の製造方法を説明する図。

50

- 【図 2 0】単結晶半導体層表面における A F M による観察結果 (10 μm × 10 μm)。
 【図 2 1】単結晶半導体層表面における A F M による観察結果 (10 μm × 10 μm)。
 【図 2 2】実施例 2 に係る S O I 基板の製造方法を説明する図。
 【図 2 3】実施例 2 に係る S O I 基板の製造方法を説明する図。
 【図 2 4】しきい値電圧における確率統計分布図。
 【図 2 5】サブスレッショルド係数における確率統計分布図。
 【図 2 6】電界効果移動度における確率統計分布図。
 【図 2 7】実施の形態 3 に係る半導体装置の作製方法を説明する図。
 【図 2 8】実施の形態 3 に係る半導体装置の作製方法を説明する図。
 【図 2 9】実施の形態 3 に係る半導体装置の作製方法を説明する図。 10
 【図 3 0】水素イオン種のエネルギーダイアグラムについて示す図である。
 【図 3 1】イオンの質量分析結果を示す図である。
 【図 3 2】イオンの質量分析結果を示す図である。
 【図 3 3】加速電圧を 80 kV とした場合の水素元素の深さ方向のプロファイル (実測値及び計算値) を示す図である。
 【図 3 4】加速電圧を 80 kV とした場合の水素元素の深さ方向のプロファイル (実測値、計算値、及びフィッティング関数) を示す図である。
 【図 3 5】加速電圧を 60 kV とした場合の水素元素の深さ方向のプロファイル (実測値、計算値、及びフィッティング関数) を示す図である。
 【図 3 6】加速電圧を 40 kV とした場合の水素元素の深さ方向のプロファイル (実測値、計算値、及びフィッティング関数) を示す図である。 20
 【図 3 7】フィッティングパラメータの比 (水素元素比及び水素イオン種比) をまとめた図である。
 【符号の説明】
 【0300】
 101 単結晶半導体基板
 102 絶縁層
 102 a 絶縁層
 102 b 絶縁層
 103 損傷領域
 104 絶縁層 30
 105 イオンビーム
 106 レーザビーム
 107 支持基板
 108 単結晶半導体層
 109 単結晶半導体層
 110 単結晶半導体層
 111 単結晶半導体層
 112 絶縁層
 113 矢印
 114 部分 40
 205 単結晶半導体層
 206 単結晶半導体層
 207 ゲート絶縁層
 208 ゲート電極層
 209 ゲート電極層
 210 不純物元素
 211 マスク
 212 a n型不純物領域
 213 不純物元素 50

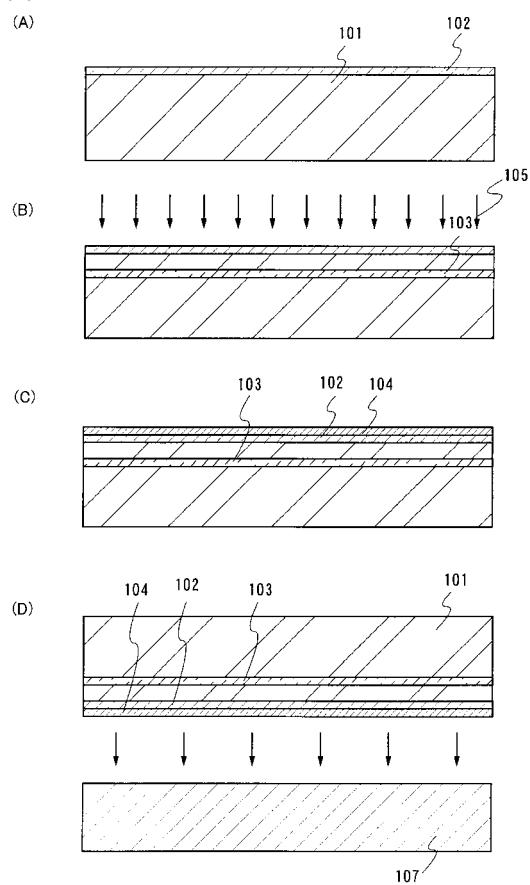
2 1 4	マスク	
2 1 5 a	p型不純物領域	
2 1 5 b	p型不純物領域	
2 1 6 a	側壁絶縁層	
2 1 6 c	側壁絶縁層	
2 1 7	不純物元素	
2 1 8	マスク	
2 1 9 a	n型不純物領域	
2 1 9 b	n型不純物領域	
2 2 0 a	n型不純物領域	10
2 2 1	チャネル形成領域	
2 2 2	不純物元素	
2 2 3	マスク	
2 2 4 a	p型不純物領域	
2 2 5 a	p型不純物領域	
2 2 6	チャネル形成領域	
2 2 7	絶縁膜	
2 2 8	絶縁層	
2 2 9 a	配線層	
2 3 1	薄膜トランジスタ	20
2 3 2	薄膜トランジスタ	
2 3 3 a	ゲート絶縁層	
3 0 2	単結晶半導体層	
3 2 1	単結晶半導体層	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	
3 2 5	TFT	
3 2 7	層間絶縁膜	
3 2 8	電極	30
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
3 3 4	配向膜	
3 3 5	液晶層	
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	
4 0 3	単結晶半導体層	
4 0 4	単結晶半導体層	40
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	
4 1 2	ゲート電極	
4 1 3	電極	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	50

4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	10
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	
5 1 0	メモリインターフェース	
5 1 1	R F C P U	
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	20
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	
5 2 0	変調回路	
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	30
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	
5 3 0	電源管理回路	
5 5 1	マザーガラス	
5 5 2	単結晶半導体層	
5 8 1	形成領域	
5 8 2	走査線駆動回路形成領域	40
5 8 3	信号線駆動回路形成領域	
5 8 4	画素形成領域	
6 0 1	c - S i 基板	
6 0 2 a	酸化窒化シリコン層	
6 0 2 b	窒化酸化シリコン層	
6 0 3	損傷領域	
6 0 4	酸化シリコン膜	
6 0 6	レーザビーム	
6 0 7	ガラス基板	
6 0 8	シリコン層	50

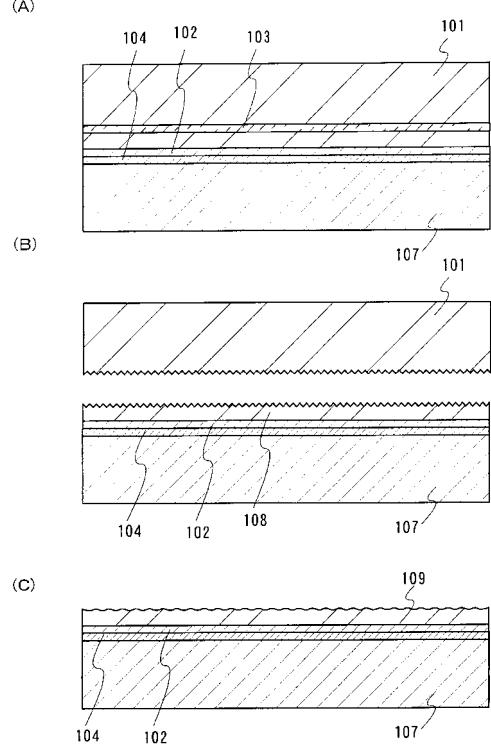
6 0 9	シリコン層	
6 1 0	シリコン層	
6 1 1	シリコン層	
6 5 1	単結晶半導体層	
6 5 2	単結晶半導体層	
6 5 3	ゲート絶縁層	
6 5 4	導電層	
6 5 5	導電層	
6 5 6	レジストマスク	10
6 5 7	レジストマスク	
6 5 8	導電層	
6 5 9	導電層	
6 6 0	導電層	
6 6 1	導電層	
6 6 2	導電層	
6 6 3	導電層	
6 6 5	ゲート電極	
6 6 6	ゲート電極	
6 6 8	不純物元素	
6 6 9	不純物領域	20
6 7 0	不純物領域	
6 7 1	レジストマスク	
6 7 2	レジストマスク	
6 7 3	不純物元素	
6 7 5	不純物領域	
6 7 6	不純物領域	
6 7 7	チャネル形成領域	
6 7 9	レジストマスク	
6 8 0	不純物元素	
6 8 1	不純物領域	30
6 8 2	不純物領域	
6 8 3	チャネル形成領域	
6 8 4	絶縁層	
6 8 5	絶縁層	
6 8 6	導電層	
7 0 5	シリコン層	
7 0 6	シリコン層	
7 0 7	ゲート絶縁膜	
7 0 8	ゲート電極	
7 0 9	ゲート電極	40
7 1 0	不純物元素	
7 1 1	マスク	
7 1 2 a	不純物領域	
7 1 3	不純物元素	
7 1 4	マスク	
7 1 5 a	不純物領域	
7 1 6	層間絶縁膜	
7 1 7	層間絶縁膜	
7 1 9 a	電極	
7 2 0	チャネル形成領域	50

7 2 1	チャネル形成領域	
9 0 1	携帯電話機	
9 0 2	表示部	
9 0 3	操作スイッチ	
9 1 1	デジタルプレーヤー	
9 1 2	表示部	
9 1 3	操作部	
9 1 4	イヤホン	
9 2 1	電子ブック	
9 2 2	表示部	10
9 2 3	操作スイッチ	
1 0 0 0	携帯電話	
1 0 0 1	筐体	
1 0 0 2	筐体	
1 0 0 8	イヤホン端子	
1 1 0 1	表示部	
1 1 0 2	スピーカー	
1 1 0 3	マイクロフォン	
1 1 0 4	操作キー	
1 1 0 5	ポインティングデバイス	20
1 1 0 6	カメラ用レンズ	
1 1 0 7	外部接続端子	
1 2 0 1	キーボード	
1 2 0 2	外部メモリスロット	
1 2 0 3	カメラ用レンズ	
1 2 0 4	ライト	
1 9 0 4	チューナ	
1 9 0 5	映像信号增幅回路	
1 9 0 6	映像信号処理回路	
1 9 0 7	コントロール回路	30
1 9 0 8	信号分割回路	
1 9 0 9	音声信号增幅回路	
1 9 1 0	音声信号処理回路	
1 9 1 1	制御回路	
1 9 1 2	入力部	
1 9 1 3	スピーカー	
2 0 0 1	筐体	
2 0 0 2	表示用パネル	
2 0 0 3	主画面	
2 0 0 4	モデム	40
2 0 0 5	受信機	
2 0 0 6	リモコン操作機	
2 0 0 7	表示部	
2 0 0 8	サブ画面	
2 0 0 9	スピーカー部	
2 0 1 0	筐体	
2 0 1 1	表示部	
2 0 1 2	キーボード部	
2 0 1 3	スピーカー部	

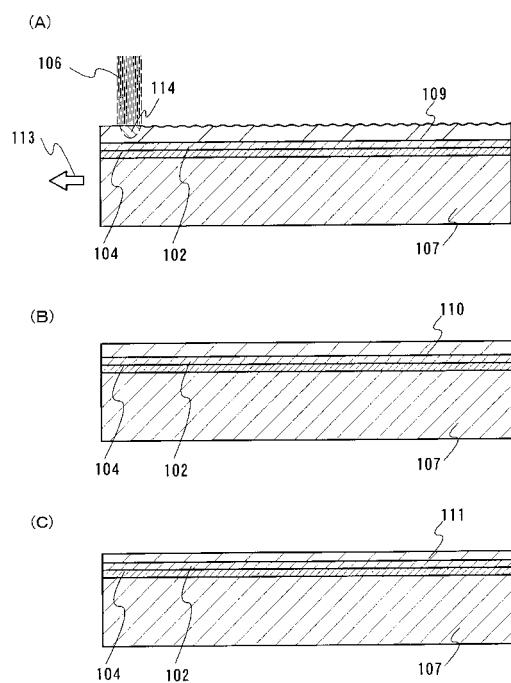
【図1】



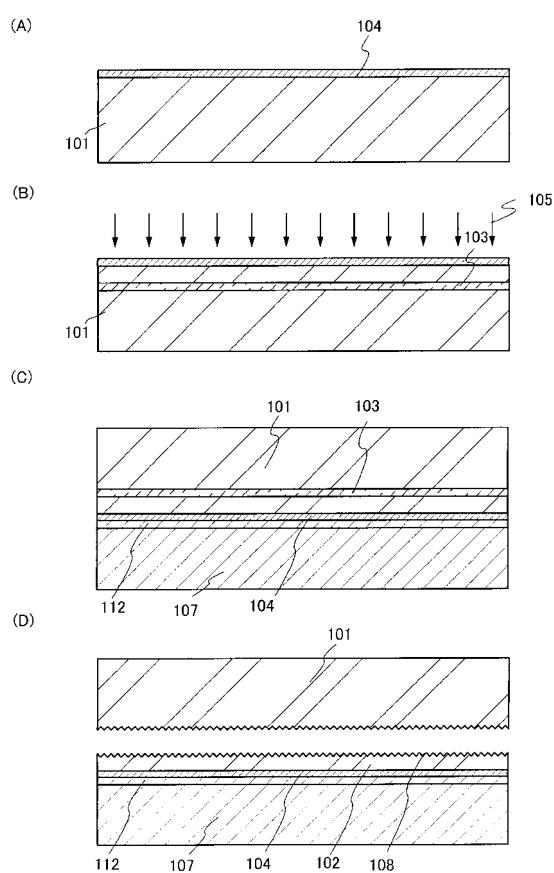
【図2】



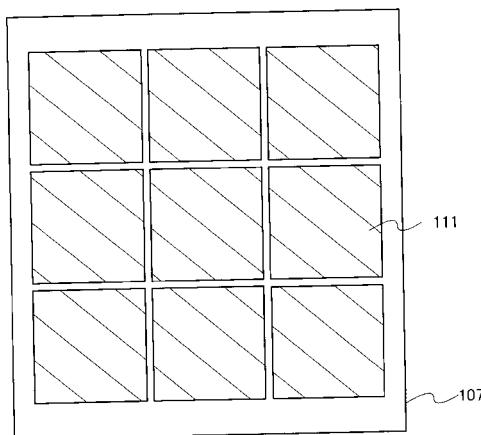
【図3】



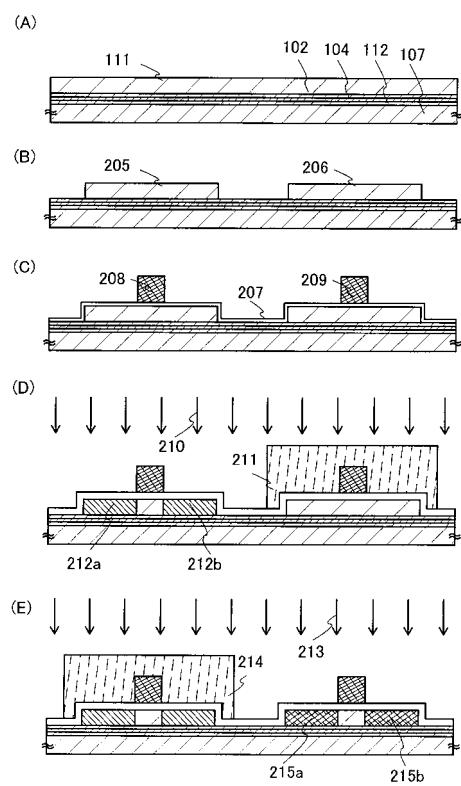
【図4】



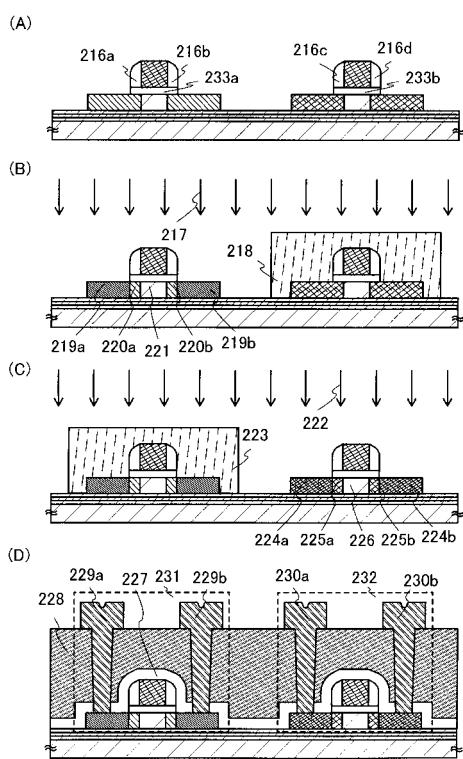
【図5】



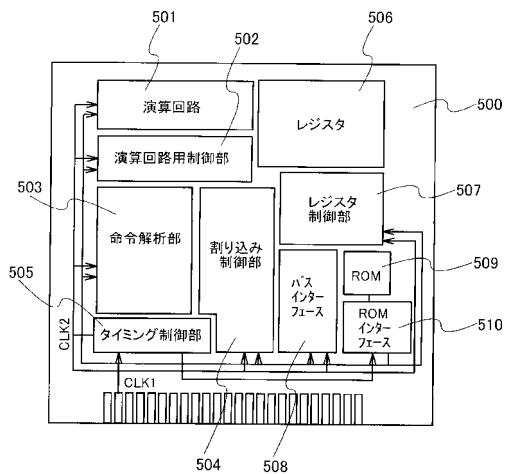
【図6】



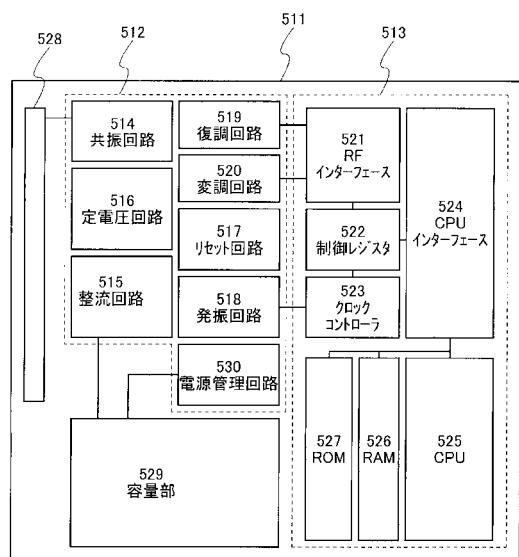
【図7】



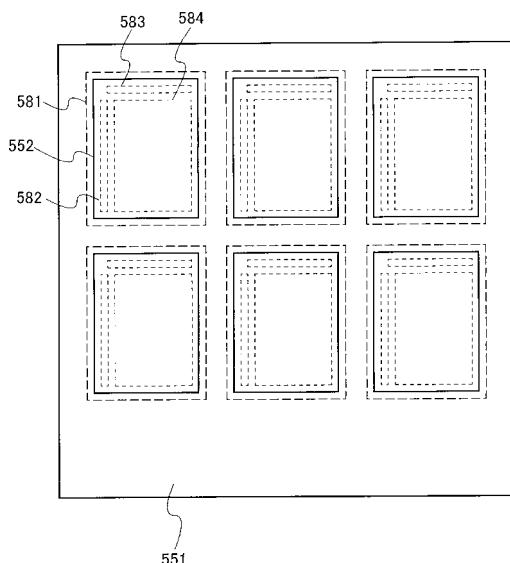
【図8】



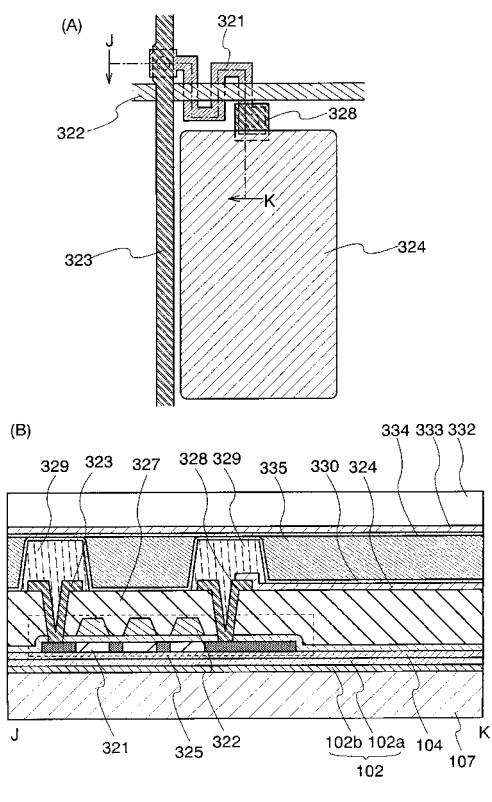
【図9】



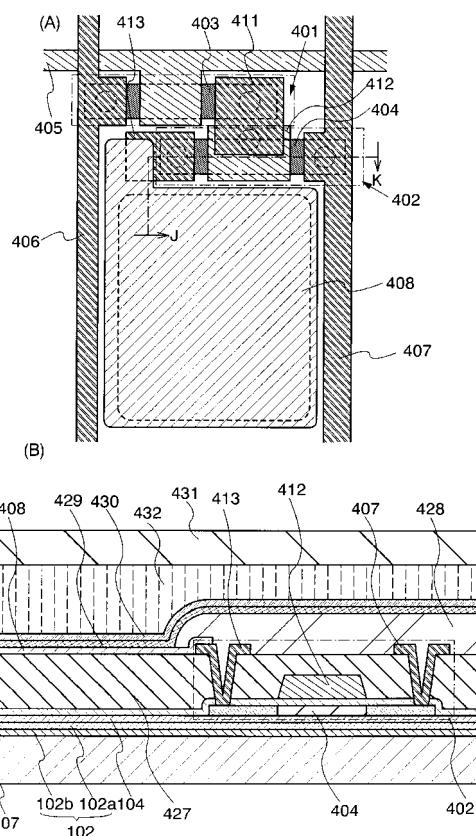
【図10】



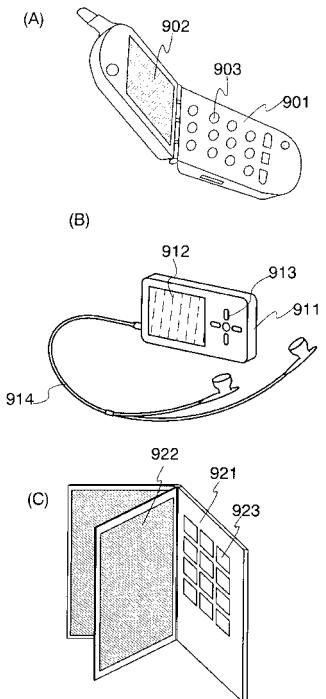
【図11】



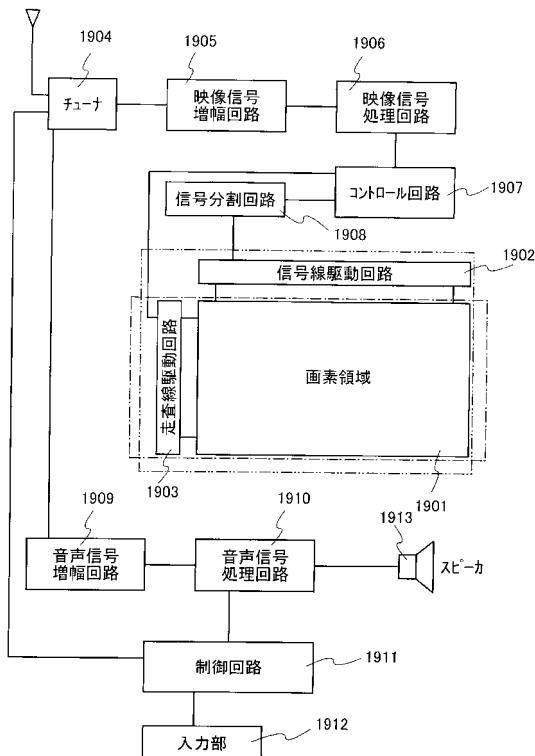
【図12】



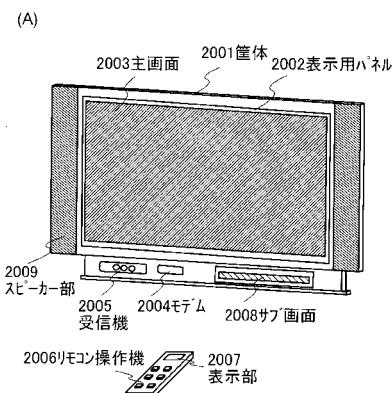
【図13】



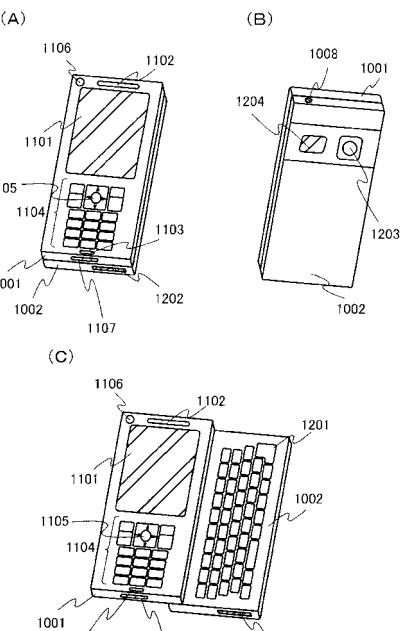
【図14】



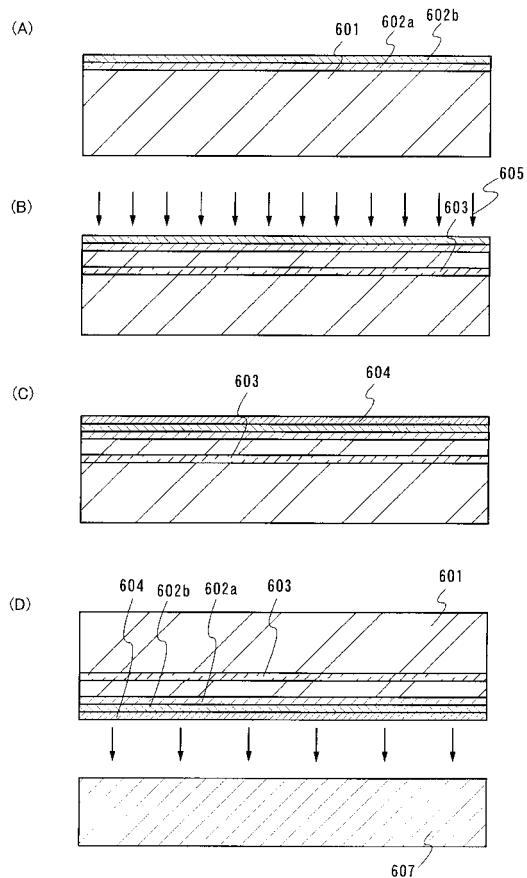
【図15】



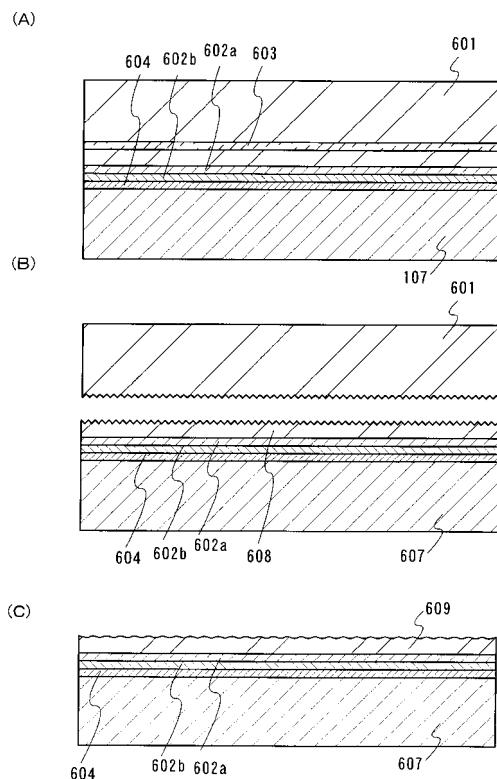
【図16】



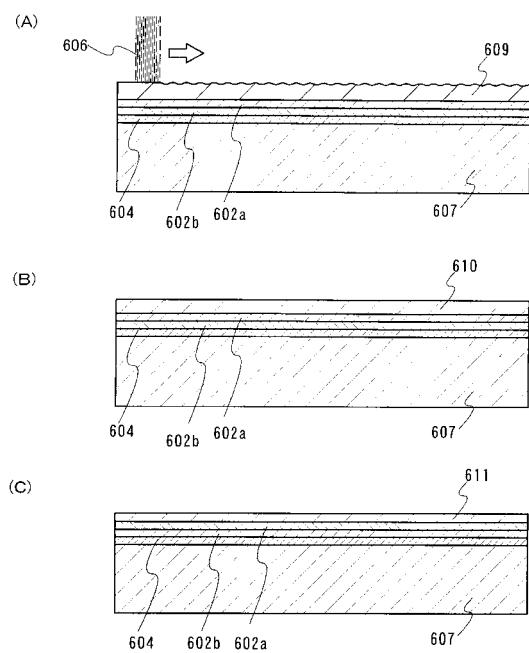
【図17】



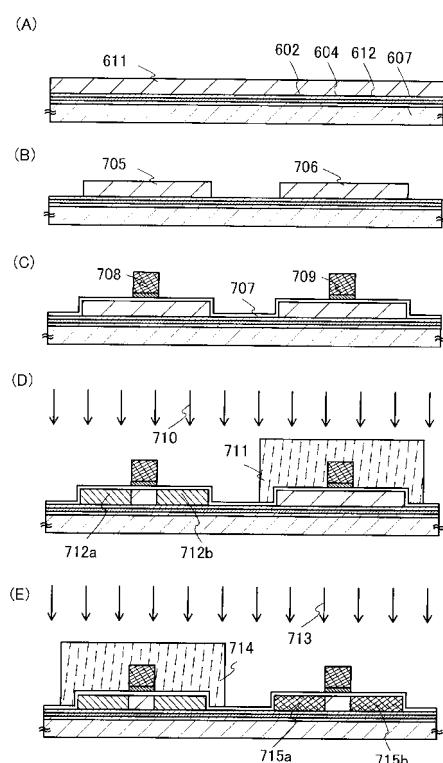
【図18】



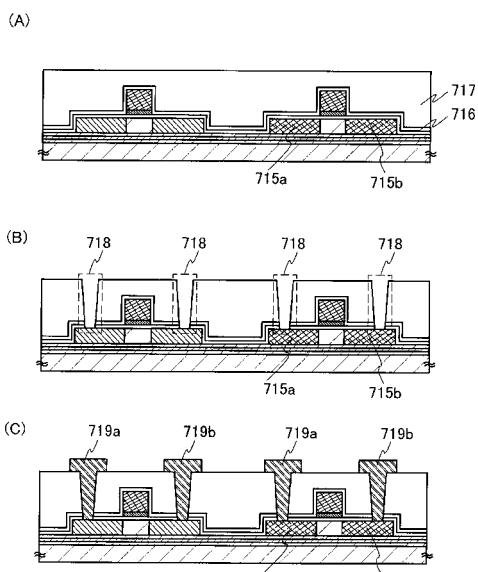
【図19】



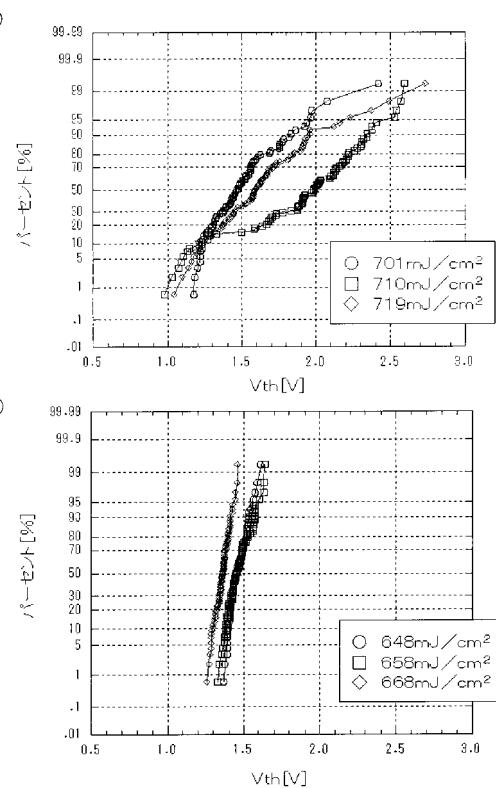
【図22】



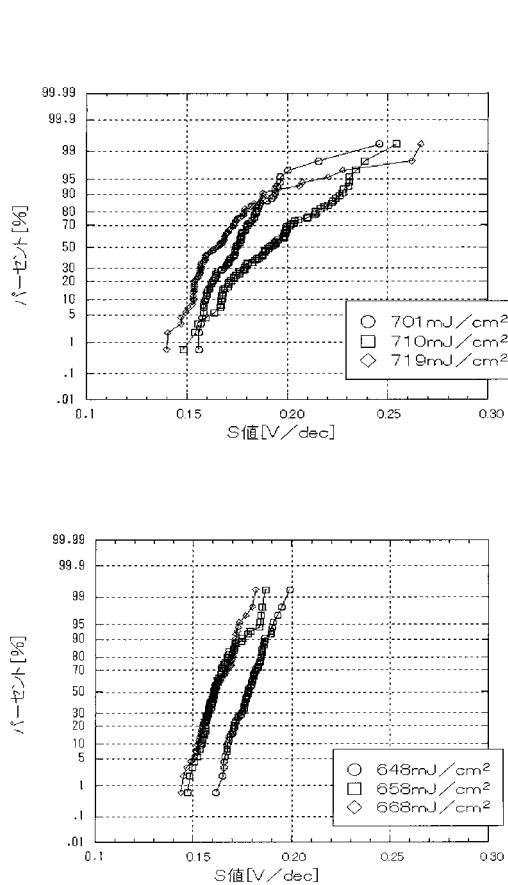
【図23】



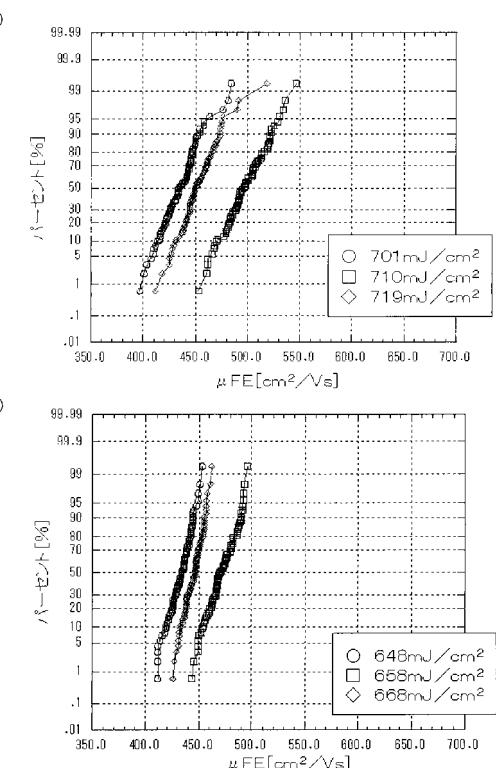
【図24】



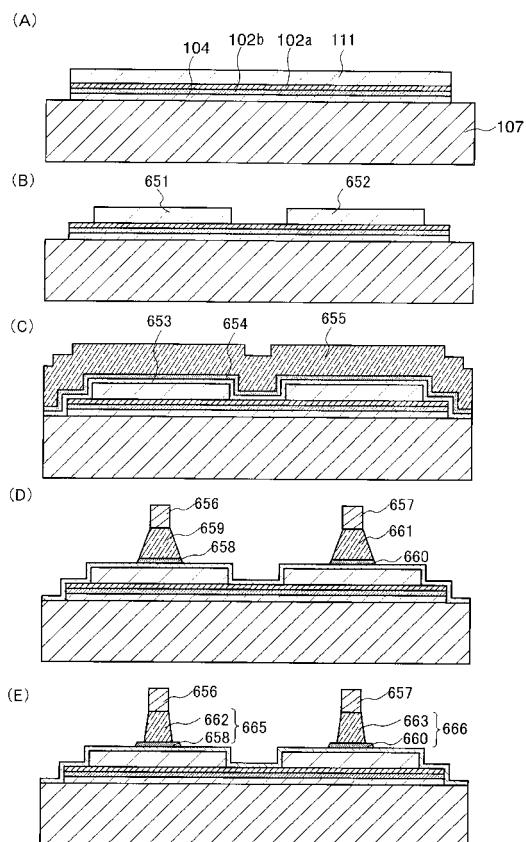
【図25】



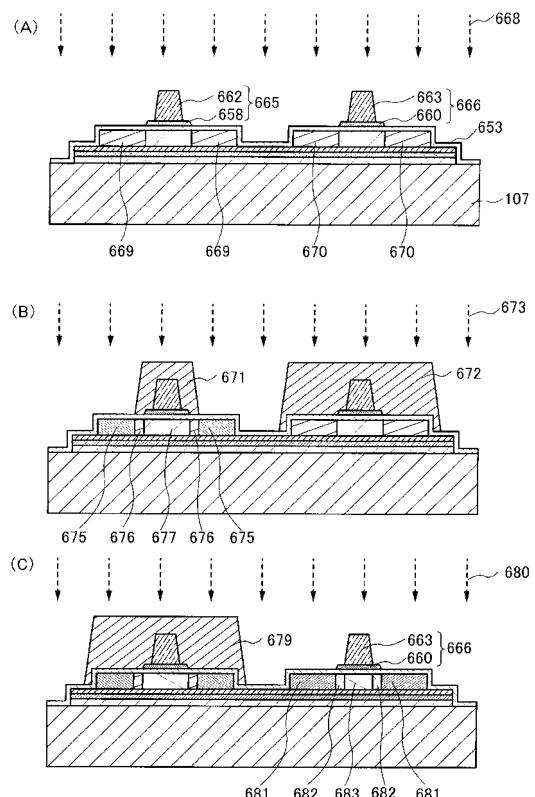
【図26】



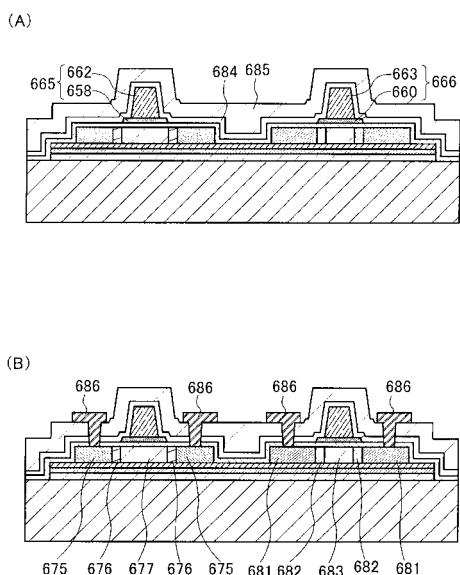
【図27】



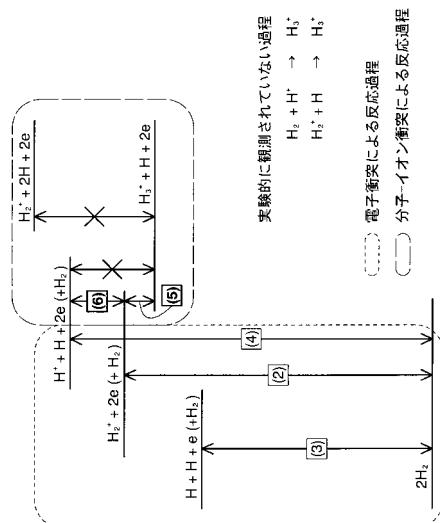
【図28】



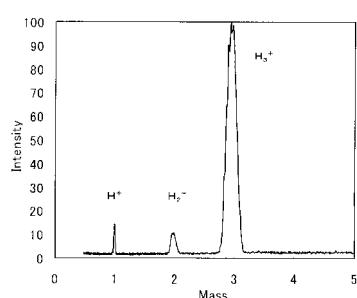
【図29】



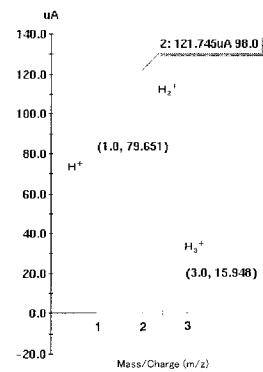
【図30】



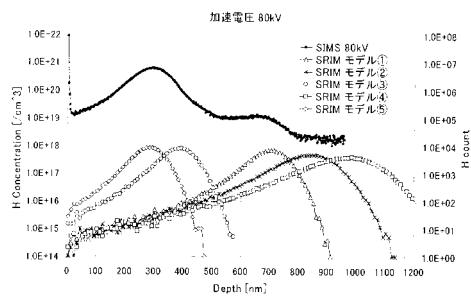
【図31】



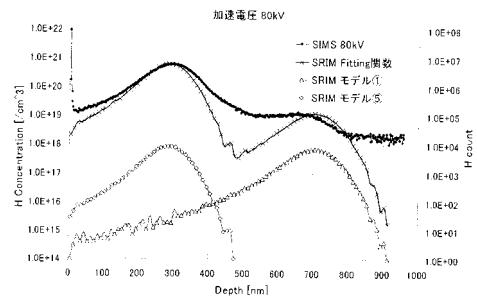
【図32】



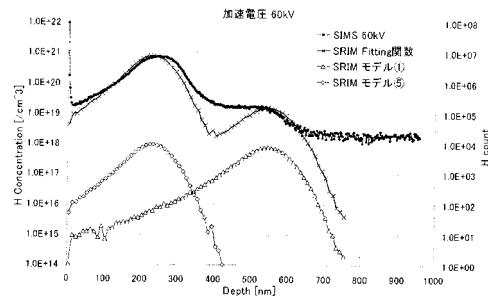
【図33】



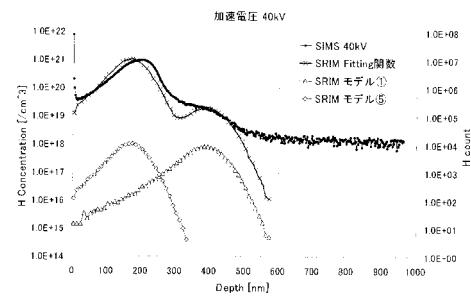
【図34】



【図35】



【図36】

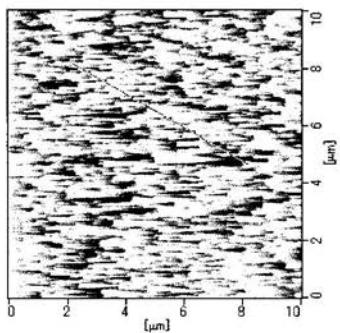


【図37】

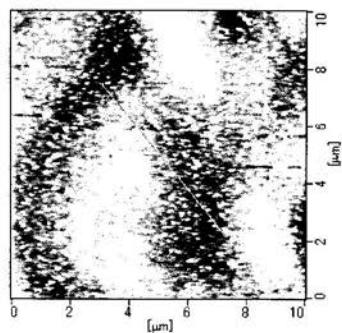
加速電圧	水素元素(X)比 (X : Y)	水素イオン種比 (X : Y / 3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

【図20】

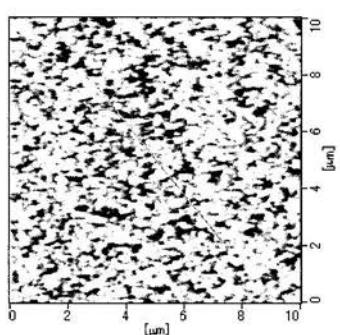
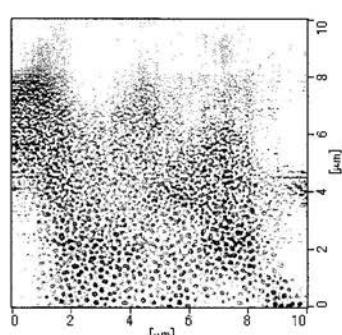
(A) 未処理



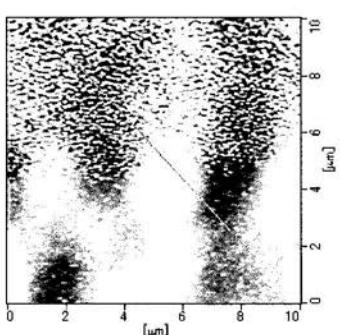
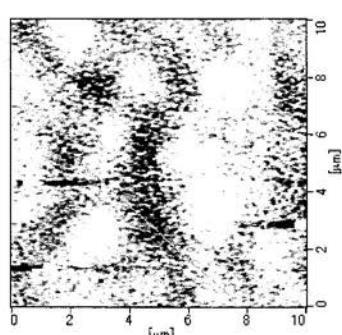
(D)ドライエッチング+レーザビーム照射



(B)ドライエッチング

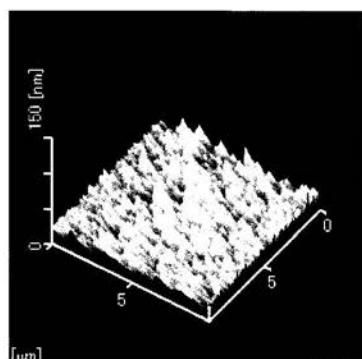
(E)ドライエッチング+レーザビーム照射
+ドライエッチング

(C)レーザビーム照射

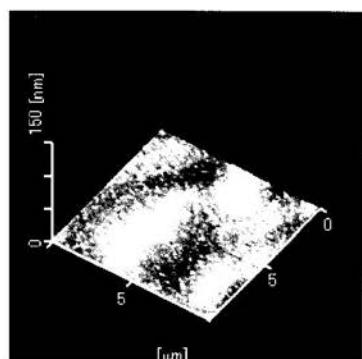
(F)ドライエッチング+レーザビーム照射
+ウェットエッチング

【図 21】

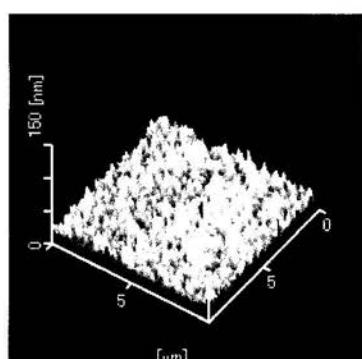
(A) 未処理



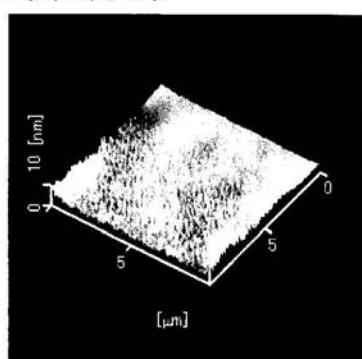
(D)ドライエッチング+レーザビーム照射



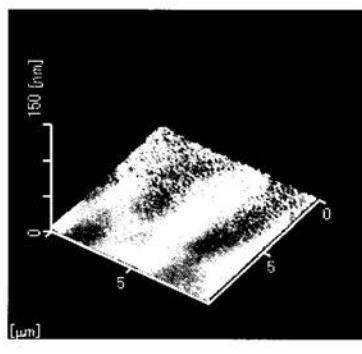
(B)ドライエッチング



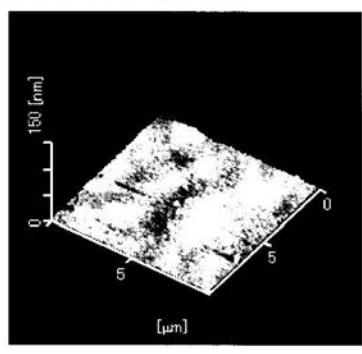
(E)ドライエッチング+レーザビーム照射+ドライエッチング



(C)レーザビーム照射



(F)ドライエッチング+レーザビーム照射+ウェットエッチング



フロントページの続き

(51)Int.Cl. F I
H 01 L 29/786 (2006.01)

(72)発明者 倉田 求
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 特開2005-203596 (JP, A)
特開2004-031715 (JP, A)
特開平08-255762 (JP, A)
特開2000-294754 (JP, A)
特開2004-310056 (JP, A)
特開2004-311526 (JP, A)
特開2000-077287 (JP, A)
特開2005-252244 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/02
H 01 L 21/20
H 01 L 21/265
H 01 L 21/336
H 01 L 21/76
H 01 L 27/12
H 01 L 29/786