

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02006/001505

発行日 平成20年4月17日(2008.4.17)

(43) 国際公開日 平成18年1月5日(2006.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	Q 5E346
H01L 23/12 (2006.01)	H05K 3/46	N
	H05K 3/46	L
	H05K 3/46	T
	H01L 23/12	B
審査請求 未請求 予備審査請求 未請求 (全 24 頁)		

出願番号 特願2006-528834 (P2006-528834)	(71) 出願人 000000158 イビデン株式会社 岐阜県大垣市神田町2丁目1番地
(21) 国際出願番号 PCT/JP2005/012146	
(22) 国際出願日 平成17年6月24日(2005.6.24)	
(31) 優先権主張番号 特願2004-188855 (P2004-188855)	(74) 代理人 110000017 特許業務法人アイテック国際特許事務所
(32) 優先日 平成16年6月25日(2004.6.25)	
(33) 優先権主張国 日本国(JP)	(72) 発明者 苅谷 隆 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北事業場内
	(72) 発明者 持田 晶良 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北事業場内
	Fターム(参考) 5E346 AA06 AA12 AA13 AA23 AA26 AA32 AA43 BB02 BB03 BB04 CC08 CC21 CC32 DD02 EE43 FF45 HH33
	最終頁に続く

(54) 【発明の名称】 プリント配線板及びその製造方法

(57) 【要約】

プリント配線板10では、上部電極接続部52は、上部電極接続部第1部52aがコンデンサ部40と接触することなくコンデンサ部40を上下方向に貫通し、コンデンサ部40の上方に設けられた上部電極接続部第3部52cを経て上部電極接続部第2部52bから上部電極42に繋がっている。また、下部電極接続部51は、コンデンサ部40の上部電極42とは接触しないが下部電極41とは接触するようにコンデンサ部40を上下方向に貫通している。このため、ビルドアップしていく流れの中で、2枚の金属箔で高誘電体層を挟んだ構造を有し後にコンデンサ部40となる高誘電体キャパシタシートでもって全面を覆ったあとでも、上部電極接続部52や下部電極接続部51を形成することができる。

【特許請求の範囲】

【請求項 1】

セラミックス製の高誘電体層を上部電極及び下部電極で挟んだ構造のコンデンサ部を内蔵し半導体素子を実装するプリント配線板であって、

前記コンデンサ部の上部電極にも下部電極にも接触することなく該コンデンサ部を上下方向に貫通し該コンデンサ部よりも上方に設けられた導体層を経て前記コンデンサ部の上部電極と電氣的に接続された上部電極接続部と、

前記コンデンサ部の上部電極と接触せず下部電極と接触するように該コンデンサ部を上下方向に貫通する下部電極接続部と、

を備えたプリント配線板。

10

【請求項 2】

前記コンデンサ部は、前記高誘電体層を前記上部電極及び前記下部電極で挟んだ構造に別途作製され板面全体を覆う大きさの高誘電体キャパシタシートを利用して形成されている、請求項 1 に記載のプリント配線板。

【請求項 3】

前記上部電極接続部は、前記半導体素子の電源用端子又はグランド用端子と接続され、前記下部電極接続部は、前記半導体素子のグランド用端子又は電源用端子と接続される、請求項 1 に記載のプリント配線板。

【請求項 4】

前記上部電極接続部は、前記コンデンサ部を上下方向に貫通する部分の下端が電源用導体又はグランド用導体に接続され、前記下部電極接続部は、前記半導体素子のグランド用端子又は電源用端子と接続されると共に前記コンデンサ部を上下方向に貫通する部分の下端がグランド用導体又は電源用端子に接続される、請求項 3 に記載のプリント配線板。

20

【請求項 5】

前記高誘電体層は、チタン酸バリウム ($BaTiO_3$)、チタン酸ストロンチウム ($SrTiO_3$)、酸化タンタル (TaO_3 、 Ta_2O_5)、チタン酸ジルコン酸鉛 (PZT)、チタン酸ジルコン酸ランタン鉛 ($PLZT$)、チタン酸ジルコン酸ニオブ鉛 ($PNZT$)、チタン酸ジルコン酸カルシウム鉛 ($PCZT$) 及びチタン酸ジルコン酸ストロンチウム鉛 ($PSZT$) からなる群より選ばれた 1 種又は 2 種以上の金属酸化物を含んでなる原料を焼成して作製したものである、請求項 1 ~ 4 のいずれかに記載のプリント配線板。

30

【請求項 6】

前記上部電極及び前記下部電極は、ベタパターンとして形成されている、請求項 1 ~ 5 のいずれかに記載のプリント配線板。

【請求項 7】

前記コンデンサ部は、前記上部電極及び前記下部電極の間の距離が $10 \mu m$ 以下であって実質的に短絡しない距離に設定されている、請求項 1 ~ 6 のいずれかに記載のプリント配線板。

【請求項 8】

プリント配線板の製造方法であって、

(a) セラミックス製の高誘電体層を 2 枚の金属箔で挟んだ構造に別途作製された高誘電体キャパシタシートを第 1 電気絶縁層上に貼り付ける工程と、

40

(b) 前記高誘電体キャパシタシートを上下方向に貫通する上部電極用シート貫通穴及び下部電極用シート貫通穴を形成する工程と、

(c) 前記両シート貫通穴を充填し且つ前記高誘電体キャパシタシートの上面を覆う第 2 電気絶縁層を形成する工程と、

(d) 前記第 2 電気絶縁層から前記上部電極まで開けられた上部電極接続用第 1 穴、前記第 2 電気絶縁層のうち前記上部電極用シート貫通穴の直上から前記第 1 電気絶縁層まで開けられ前記上部電極、前記高誘電体層及び前記下部電極のいずれもが内壁に露出していない上部電極接続用第 2 穴、及び、前記第 2 電気絶縁層のうち前記下部電極用シート貫通穴の直上から前記第 1 電気絶縁層まで開けられ前記上部電極が内壁に露出せず前記下部電極

50

が内壁に露出する下部電極接続用穴を形成する工程と、
 (e) 導体材料で前記上部電極接続用第1穴及び前記上部電極接続用第2穴を充填したうえで両者を前記第2絶縁層の上方で接続して上部電極接続部とすると共に導体材料で前記下部電極接続用穴を充填して下部電極接続部とする工程と、
 を含むプリント配線板の製造方法。

【請求項9】

前記(b)の工程では、前記下部電極用シート貫通穴を形成する際、前記上部電極を通過する部分の穴径が前記下部電極を通過する部分の穴径より大きくなるように形成する、
 請求項8に記載のプリント配線板の製造方法。

【請求項10】

前記(d)の工程では、前記上部電極接続用第2穴を、前記第2電気絶縁層のうち前記上部電極用シート貫通穴の直上から前記第1電気絶縁層内の電源用導体又はグランド用導体まで開け、前記下部電極接続用穴を、前記第2電気絶縁層のうち前記下部電極用シート貫通穴の直上から前記第1電気絶縁層内のグランド用端子又は電源用導体まで開ける、
 請求項8又は9に記載のプリント配線板の製造方法。

【請求項11】

前記(e)の工程のあと、前記上部電極接続部を前記プリント配線板に実装される半導体素子の電源用端子又はグランド用端子に接続し、前記下部電極接続部を前記半導体素子のグランド用端子又は電源用端子に接続する、請求項10に記載のプリント配線板の製造方法。

【請求項12】

前記高誘電体層は、チタン酸バリウム($BaTiO_3$)、チタン酸ストロンチウム($SrTiO_3$)、酸化 tantalum (TaO_3 、 Ta_2O_5)、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸ランタン鉛(PLZT)、チタン酸ジルコン酸ニオブ鉛(PNZT)、チタン酸ジルコン酸カルシウム鉛(PCZT)及びチタン酸ジルコン酸ストロンチウム鉛(PSZT)からなる群より選ばれた1種又は2種以上の金属酸化物を含んでなる原料を焼成して作製したものである、請求項8～11のいずれかに記載のプリント配線板の製造方法。

【請求項13】

前記コンデンサ部は、前記上部電極及び前記下部電極の間の距離が $10\mu m$ 以下であって実質的に短絡しない距離に設定されている、請求項8～12のいずれかに記載のプリント配線板の製造方法。

【発明の詳細な説明】

【技術分野】

本発明は、プリント配線板及びその製造方法に関し、詳しくは、セラミック製の高誘電体層を上部電極及び下部電極で挟んだ構造のコンデンサ部を内蔵し半導体素子を実装するプリント配線板及びその製法に関する。

【背景技術】

従来より、絶縁層を介して複数積層された配線パターン同士を絶縁層内のビアホールによって電氣的に接続することにより構成されるビルドアップ部を備えたプリント配線板の構造が、種々提案されている。例えば、この種のプリント配線板では、実装される半導体素子が高速にオンオフするとスイッチングノイズが発生して電源ラインの電位が瞬時に低下することがあるが、このような電位の瞬時低下を抑えるために電源ラインとグランドラインとの間にコンデンサ部を接続してデカップリングすることが提案されている。

例えば、特開2004-87971号公報には、プリント配線板に薄膜のコンデンサ部を内蔵させることが提案されている(図21参照)。この公報では、シリコンウエハ100上に剥離層101、電極層102、誘電体層103、電極層104、絶縁層105をこの順に積層した積層体106を用意し(図21(a)参照)、絶縁層105に2つのフィルドビア107、108を形成し、続いてグランド電極111と電源電極112を有する基板110を別途用意し先ほどのフィルドビア107、108がこの基板110の各電極

10

20

30

40

50

111, 112と対面するように積層体106をひっくり返して接着する(図21(b)参照)。その後、コンデンサ部113(電極層102、誘電体層103、電極層104の3層からなる部分)を所定形状にパターニングし(図21(c)参照)、そのコンデンサ部113を被覆するポリイミド層114を形成し、そのポリイミド層114の上面から電極層102まで穴を開けたあとその穴を導電性ペーストで充填してフィルドビア115とする一方、同じくポリイミド層114の上面からフィルドビア108まで穴を開けたあとその穴を導電性ペーストで充填してフィルドビア116とする(図21(d)参照)。そして、フィルドビア115, 116は外層パターン117によって接続される。これにより、コンデンサ部113の電極層102には電源電極112から電荷が供給されるようになる。

10

【発明の開示】

しかしながら、上述した公報では、コンデンサ部113の電極層104は真下に延びるフィルドビア107を介してグランド電極111に接続されるため、ビルドアップの流れの中でコンデンサ部113を形成することはできず、図21(a)から図21(b)のように、ビルドアップの流れとは別に積層体106を作製した後これをひっくり返して基板110の電極111, 112とフィルドビア107, 108とを対面させる必要があり、製造工程が複雑化するという問題があった。

本発明は、このような課題に鑑みなされたものであり、ビルドアップの流れの中でコンデンサ部を形成することができるプリント配線板を提供することを目的の一つとする。また、このようなプリント配線板を製造するのに適した方法を提供することを目的の一つとする。

20

本発明は、上述の目的の少なくとも一部を達成するために以下の手段を採った。

本発明のプリント配線板は、

セラミック製の高誘電体層を上部電極及び下部電極で挟んだ構造のコンデンサ部を内蔵し半導体素子を実装するプリント配線板において、

前記コンデンサ部の上部電極にも下部電極にも接触することなく該コンデンサ部を上下方向に貫通し該コンデンサ部よりも上方に設けられた導体層を経て前記コンデンサ部の上部電極と電気的に接続された上部電極接続部と、

前記コンデンサ部の上部電極と接触せず下部電極と接触するように該コンデンサ部を上下方向に貫通する下部電極接続部と、

30

を備えたものである。

このプリント配線板では、コンデンサ部の上部電極に接続される上部電極接続部は、コンデンサ部と接触することなくコンデンサ部を上下方向に貫通しコンデンサ部よりも上方に設けられた導体層を経て上部電極に繋がっている。また、コンデンサ部の下部電極に接続される下部電極接続部は、コンデンサ部の上部電極とは接触しないが下部電極とは接触している。このため、ビルドアップしていく流れの中で、2枚の金属箔で高誘電体層を挟んだ構造を有し後にコンデンサ部となる高誘電体キャパシタシートでもって全面を覆ったあとでも、上部電極接続部や下部電極接続部を形成することができる。あるいは、ビルドアップの流れの中で、金属箔とセラミック製の高誘電体層と金属箔とをこの順に全面を覆うように積層したあと、上部電極接続部や下部電極接続部を形成することもできる。このように、本発明のプリント配線板によれば、ビルドアップの流れの中でコンデンサ部を形成することができる。

40

なお、本明細書において「上」や「下」と表現することがあるが、これは相対的な位置関係を便宜的に表現したものに過ぎないので、例えば上と下を入れ替えたり上下を左右に置き換えたりしてもよい。

本発明のプリント配線板において、前記コンデンサ部は、前記高誘電体層を前記上部電極及び前記下部電極で挟んだ構造に別途作製され板面全体を覆う大きさの高誘電体キャパシタシートを利用して形成されていることが好ましい。一般的にプリント配線板は200

以下の温度条件でビルドアップされることが多いため、ビルドアップしていく流れの中で高誘電体材料を高温(例えば600~950)で焼成してセラミックにすることは

50

困難なことから、別途、高誘電体材料を高温で焼成してセラミックス製の高誘電体層とすることが好ましいのである。

本発明のプリント配線板において、前記上部電極接続部は、前記半導体素子の電源用端子又はグランド用端子と電氣的に接続され、前記下部電極接続部は、前記半導体素子のグランド用端子又は電源用端子と電氣的に接続されることが好ましい。こうすれば、半導体素子のオンオフの周波数が数GHz～数十GHz（例えば3GHz～20GHz）と高く電位の瞬時低下が起きやすい状況下であっても十分なデカップリング効果を奏する。この態様において、前記上部電極接続部は、前記コンデンサ部を上下方向に貫通する部分の下端が電源用導体又はグランド用導体に電氣的に接続され、前記下部電極接続部は、前記半導体素子のグランド用端子又は電源用端子と電氣的に接続されると共に前記コンデンサ部を上下方向に貫通する部分の下端がグランド用導体又は電源用端子に電氣的に接続されることが好ましい。

10

本発明のプリント配線板において、前記高誘電体層は、チタン酸バリウム（BaTiO₃）、チタン酸ストロンチウム（SrTiO₃）、酸化タantal（TaO₃、Ta₂O₅）、チタン酸ジルコン酸鉛（PZT）、チタン酸ジルコン酸ランタン鉛（PLZT）、チタン酸ジルコン酸ニオブ鉛（PNZT）、チタン酸ジルコン酸カルシウム鉛（PCZT）及びチタン酸ジルコン酸ストロンチウム鉛（PSZT）からなる群より選ばれた1種又は2種以上の金属酸化物を含んでなる原料を焼成して作製したものであることが好ましい。これらは誘電率が高いため、コンデンサ部の電気容量が大きくなり、十分なデカップリング効果を得やすくなる。

20

本発明のプリント配線板において、前記上部電極及び前記下部電極は、ベタパターンとして形成されていることが好ましい。こうすれば、コンデンサ部の上部電極及び下部電極の面積を大きくすることができるため、このコンデンサ部の電気容量が大きくなる。なお、各ベタパターンは配線板の板面の略全面に設けられていることが好ましいが、略全面ではなく部分的に設けられていてもよい。

本発明のプリント配線板において、前記コンデンサ部は、前記上部電極及び前記下部電極の間の距離が10μm以下であって実質的に短絡しない距離に設定されていることが好ましい。こうすれば、コンデンサ部の電極間距離が十分小さいため、このコンデンサ部の電気容量を大きくすることができる。

30

本発明のプリント配線板の製造方法は、

(a) セラミックス製の高誘電体層を2枚の金属箔で挟んだ構造に別途作製された高誘電体キャパシタシートを第1電気絶縁層上に貼り付ける工程と、

(b) 前記高誘電体キャパシタシートを上下方向に貫通する上部電極用シート貫通穴及び下部電極用シート貫通穴を形成する工程と、

(c) 前記両シート貫通穴を充填し且つ前記高誘電体キャパシタシートの上面を覆う第2電気絶縁層を形成する工程と、

(d) 前記第2電気絶縁層から前記上部電極まで開けられた上部電極接続用第1穴、前記第2電気絶縁層のうち前記上部電極用シート貫通穴の直上から前記第1電気絶縁層まで開けられ前記上部電極、前記高誘電体層及び前記下部電極のいずれもが内壁に露出していない上部電極接続用第2穴、及び、前記第2電気絶縁層のうち前記下部電極用シート貫通穴の直上から前記第1電気絶縁層まで開けられ前記上部電極が内壁に露出せず前記下部電極が内壁に露出する下部電極接続用穴を形成する工程と、

40

(e) 導体材料で前記上部電極接続用第1穴及び前記上部電極接続用第2穴を充填したうえで両者を前記第2絶縁層の上方で接続して上部電極接続部とすると共に導体材料で前記下部電極接続用穴を充填して下部電極接続部とする工程と、

を含むものである。

このプリント配線板の製造方法では、高誘電体キャパシタシートを第1電気絶縁層上に貼り付けたあと、この高誘電体キャパシタシートの上から上部電極用シート貫通穴及び下部電極用シート貫通穴を形成し、各シート貫通穴を充填し且つ高誘電体キャパシタシートの上面を覆う第2電気絶縁層を形成し、この第2電気絶縁層から上部電極接続用第1及び

50

第2穴、下部電極接続用穴を形成し、導体材料で上部電極接続用第1及び第2穴を充填し両者を接続して上部電極接続部とすると共に導体材料で下部電極接続用穴を充填して下部電極接続部とする。そして、最終的に、高誘電体層を上部電極及び下部電極で挟んだ構造のコンデンサ部を内蔵したプリント配線板が得られる。このように、ビルドアップしていく流れの中で、高誘電体キャパシタシートでもって全面を覆ったあとでも、上部電極接続部や下部電極接続部を形成することができる。

本発明のプリント配線板の製造方法において、前記(b)の工程では、前記下部電極用シート貫通穴を形成する際、前記上部電極を通過する部分の穴径が前記下部電極を通過する部分の穴径より大きくなるように形成することが好ましい。こうすれば、前記(c)の工程を経て前記(d)の工程で下部電極接続用穴を形成するとき、この下部電極接続用穴の内壁に上部電極が露出せず下部電極が露出するのを容易に具現化できる。なお、このような下部電極用シート貫通穴は、例えば、上部電極をエッチング等により所定面積分だけ除去したあと、この所定面積部分に存在する高誘電体層と下部電極をエッチング等により所定面積より小さな面積分だけで除去することにより、形成することができる。

本発明のプリント配線板の製造方法において、前記(d)の工程では、前記上部電極接続用第2穴を、前記第2電気絶縁層のうち前記上部電極用シート貫通穴の直上から前記第1電気絶縁層内の電源用導体又はグランド用導体まで開け、前記下部電極接続用穴を、前記第2電気絶縁層のうち前記下部電極用シート貫通穴の直上から前記第1電気絶縁層内のグランド用端子又は電源用導体まで開けることが好ましい。また、前記(e)の工程のあと、前記上部電極接続部を前記プリント配線板に実装される半導体素子の電源用端子又はグランド用端子に電氣的に接続し、前記下部電極接続部を前記半導体素子のグランド用端子又は電源用端子に電氣的に接続することが好ましい。こうすれば、半導体素子のオンオフの周波数が数GHz～数十GHzと高く電位の瞬時低下が起きやすい状況下であっても十分なデカップリング効果を奏する。

本発明のプリント配線板の製造方法において、前記高誘電体層は、チタン酸バリウム($BaTiO_3$)、チタン酸ストロンチウム($SrTiO_3$)、酸化タンタル(TaO_3 、 Ta_2O_5)、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸ランタン鉛(PLZT)、チタン酸ジルコン酸ニオブ鉛(PNZT)、チタン酸ジルコン酸カルシウム鉛(PCZT)及びチタン酸ジルコン酸ストロンチウム鉛(PSZT)からなる群より選ばれた1種又は2種以上の金属酸化物を含んでなる原料を焼成して作製したものであることが好ましい。これらは誘電率が高いため、コンデンサ部の電気容量が大きくなり、十分なデカップリング効果を得やすくなる。

本発明のプリント配線板の製造方法において、前記コンデンサ部は、前記上部電極及び前記下部電極の間の距離が $10\mu m$ 以下であって実質的に短絡しない距離に設定されることが好ましい。こうすれば、コンデンサ部の電極間距離が十分小さいため、このコンデンサ部の電気容量を大きくすることができる。

【図面の簡単な説明】

- 図1は、プリント配線板10の概略構成を表す断面図、
- 図2は、プリント配線板10の作製手順を表す断面図(その1)、
- 図3は、プリント配線板10の作製手順を表す断面図(その2)、
- 図4は、プリント配線板10の作製手順を表す断面図(その3)、
- 図5は、プリント配線板10の作製手順を表す断面図(その4)、
- 図6は、プリント配線板10の作製手順を表す断面図(その5)、
- 図7は、プリント配線板10の作製手順を表す断面図(その6)、
- 図8は、プリント配線板10の作製手順を表す断面図(その7)、
- 図9は、プリント配線板10の作製手順を表す断面図(その8)、
- 図10は、プリント配線板10の作製手順を表す断面図(その9)、
- 図11は、プリント配線板10の作製手順を表す断面図(その10)、
- 図12は、プリント配線板10の作製手順を表す断面図(その11)、
- 図13は、プリント配線板10の作製手順を表す断面図(その12)、

10

20

30

40

50

図 1 4 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 3)、
 図 1 5 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 4)、
 図 1 6 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 5)、
 図 1 7 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 6)、
 図 1 8 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 7)、
 図 1 9 は、プリント配線板 1 0 の作製手順を表す断面図 (その 1 8)、
 図 2 0 は、ICチップの駆動周波数ごとにコンデンサ部の容量とICチップの電圧降下との関係をシミュレーションした結果を表すグラフ、
 図 2 1 は、従来例の説明図である。

【発明を実施するための最良の形態】

次に、本発明の実施の形態を図面に基づいて説明する。図 1 は本発明の一実施形態であるプリント配線板 1 0 の概略構成を表す断面図である。

本実施形態のプリント配線板 1 0 は、いわゆるビルドアップ多層プリント配線板であり、セラミックス製の高誘電体層 4 3 を下部電極 4 1 及び上部電極 4 2 で挟んだ構造のコンデンサ部 4 0 を内蔵するものであり、実装面 6 0 に形成されたグランド用パッド 6 2 及び電源用パッド 6 4 に、数 GHz ~ 数十 GHz の周波数で動作する半導体素子 (ICチップ) 7 0 のグランド用端子 7 2 及び電源用端子 7 4 がはんだバンプ 7 6, 7 8 を介して電氣的に接続されるものである。

コンデンサ部 4 0 は、ビルドアップ部 2 0 の上部に形成された第 1 電気絶縁層 3 1 上に形成され、このコンデンサ部 4 0 の上部には第 2 電気絶縁層 3 2 が形成されている。ここで、ビルドアップ部 2 0 は、コア基板上に絶縁層を形成したあと層間接続しつつ導体層 (例えば厚みが 1 0 μm を超え 2 0 μm 未満) を積み上げることにより多層化した部分であるが、既に当業界において周知であるため、ここではその説明を省略する。但し、本実施形態では、ビルドアップ部 2 0 は、絶縁層 2 3 内で上下方向に延び上面にグランド用ランド 2 1 a を持つグランド用導体 2 1 と、絶縁層 2 3 内で上下方向に延び上面に電源用ランド 2 2 a を持つ電源用導体 2 2 とを備えているものとする。

コンデンサ部 4 0 のうち下部電極 4 1 は、銅箔製 (例えば厚みが 2 0 ~ 5 0 μm) のベタパターンであり、部分的にエッチング等で除去されているものの、第 1 電気絶縁層 3 1 の上面の略全面を覆っている。この下部電極 4 1 は、下部電極接続部 5 1 と電氣的に接続されている。下部電極接続部 5 1 は、コンデンサ部 4 0 の上部電極 4 2 と接触せず下部電極 4 1 と接触するように、第 2 電気絶縁層 3 2 の上面からコンデンサ部 4 0 を上下方向に貫通しビルドアップ部 2 0 の上面に形成されたグランド用導体 2 1 のグランド用ランド 2 1 a に達している。この下部電極接続部 5 1 の上端側は配線パターン 5 1 a であり、この配線パターン 5 1 a は第 2 電気絶縁層 3 2 の上面に形成され、実装面 6 0 に設けられたグランド用パッド 6 2 と電氣的に接続されている。このように、下部電極 4 1 は、下部電極接続部 5 1 を介してグランド用導体 2 1 及びグランド用パッド 6 2 に接続されている。

ここで、下部電極接続部 5 1 は、必ずしもグランド用パッド 6 2 と同数形成する必要はない。というのは、グランド用パッド 6 2 同士を上部電極 4 2 より上方の導体層で互いに電氣的に接続しておけば、グランド用パッド 6 2 に接続される下部電極接続部 5 1 が少なくとも 1 つ存在するだけで、すべてのグランド用パッド 6 2 がその下部電極接続部 5 1 を介してグランド用導体 2 1 に電氣的に接続されることになるからである。こうすることにより、上部電極 4 2 における孔 (下部電極接続部 5 1 が上部電極 4 2 に接触することなく上部電極 4 2 を貫通するための孔) の数が減るため、上部電極 4 2 の面積を大きくすることができる。

コンデンサ部 4 0 のうち上部電極 4 2 は、銅箔製のベタパターンであり、部分的にエッチング等で除去されているものの、下部電極 4 1 と略同等の面積となるように形成されている。この上部電極 4 2 は、上部電極接続部 5 2 と電氣的に接続されている。この上部電極接続部 5 2 は上部電極接続部第 1 ~ 第 3 部 5 2 a ~ 5 2 c により構成されている。そして、上部電極接続部第 1 部 5 2 a は、コンデンサ部 4 0 の下部電極 4 1 にも上部電極 4 2 にも接触しないように第 2 電気絶縁層 3 2 の上面からコンデンサ部 4 0 を上下方向に貫通

10

20

30

40

50

してビルドアップ部 20 の上面に形成された電源用導体 22 の電源用ランド 22 a に達するように形成されている。また、上部電極接続部第 2 部 5 2 b は、第 2 電気絶縁層 3 2 の上面からコンデンサ部 40 の上部電極 4 2 に達するように形成されている。更に、上部電極接続部第 3 部 5 2 c は、第 2 電気絶縁層 3 2 の上面にて上部電極接続部第 1 部 5 2 a と上部電極接続部第 2 部 5 2 b とを電氣的に接続するように形成されている。ここでは、上部電極接続部第 3 部 5 2 c は、配線パターンとして形成されている。また、上部電極接続部 5 2 は、上部電極接続部第 3 部 5 2 c が実装面 60 に設けられた電源用パッド 6 4 と電氣的に接続され、上部電極接続部第 1 部 5 2 a の下端がビルドアップ部 20 に形成された電源用導体 22 と電氣的に接続されている。このように、上部電極 4 2 は上部電極接続部 5 2 を介して電源用導体 22 と電源用パッド 6 4 に接続されている。

10

ここで、上部電極接続部第 1 部 5 2 a は、必ずしも電源用パッド 6 4 と同数形成する必要はない。というのは、電源用パッド 6 4 同士を上部電極 4 2 より上方の導体層で互いに電氣的に接続しておけば、電源用パッド 6 4 に接続される上部電極接続部第 1 部 5 2 a が少なくとも 1 つ存在するだけで、すべての電源用パッド 6 4 がその上部電極接続部第 1 部 5 2 a を介して電源用導体 22 に電氣的に接続されることになるからである。こうすることにより、下部電極 4 1 及び上部電極 4 2 における孔（上部電極接続部第 1 部 5 2 a が両電極 4 1, 4 2 に接触することなく両電極 4 1, 4 2 を貫通するための孔）の数が減るため、両電極 4 1, 4 2 の面積を大きくすることができる。

コンデンサ部 40 のうち高誘電体層 4 3 は、高誘電体材料を高温（例えば 600 ~ 950）で焼成したセラミックス製であり、具体的には BaTiO₃、SrTiO₃、TaO₃、Ta₂O₅、PZT、PLZT、PNZT、PCZT、PSZT からなる群より選ばれた 1 種又は 2 種以上の金属酸化物を含んでなる高誘電体材料を 0.1 ~ 10 μm の薄膜状にしたあと焼成してセラミックスにしたものである。この高誘電体層 4 3 は、下部電極接続部 5 1 とは接触しているが、上部電極接続部 5 2 とは接触していない。

20

グランド用パッド 6 2 は、実装面 60 に露出するように形成され、第 2 電気絶縁層 3 2 の上面に形成された絶縁層 3 3 内で上下方向に延びるバイアホール 6 1 と電氣的に接続されている。このグランド用パッド 6 2 は、半導体素子 70 の裏面に形成されたグランド用端子 7 2 とはんだパンプ 7 6 を介して電氣的に接続される。また、バイアホール 6 1 は、下部電極接続部 5 1 とグランド用パッド 6 2 とを層間接続するように形成されている。

電源用パッド 6 4 は、実装面 60 に露出するように形成され、第 2 電気絶縁層 3 2 の上面に形成された絶縁層 3 3 内で上下方向に延びるバイアホール 6 3 と電氣的に接続されている。この電源用パッド 6 4 は、半導体素子 70 の裏面に形成された電源用端子 7 4 とはんだパンプ 7 8 を介して電氣的に接続される。また、バイアホール 6 3 は、上部電極接続部 5 2 と電源用パッド 6 4 とを層間接続するように形成されている。

30

なお、実装面 60 にソルダーレジスト層を形成し、グランド用パッド 6 2 や電源用パッド 6 4 はこのソルダーレジスト層から外部に露出するように構成してもよい。

次に、このように構成されたプリント配線板 10 の使用例について説明する。まず、裏面に多数のはんだパンプ 7 6, 7 8 が配列された半導体素子 70 をプリント配線板 10 の実装面 60 に載置する。このとき、半導体素子 70 のグランド用端子 7 2、電源用端子 7 4、シグナル用端子（図示せず）がそれぞれ実装面 60 のグランド用パッド 6 2、電源用パッド 6 4、シグナル用パッド（図示せず）と対応するように載置する。続いて、リフローにより各端子をはんだパンプを介して各パッドに接合する。その後、プリント配線板 10 をマザーボード等の他のプリント配線板に接合する。このとき、予めプリント配線板 10 の裏面に形成されたパッドにはんだパンプを形成しておき、他のプリント配線板上の対応するパッドと接触させた状態でリフローにより接合する。

40

ここで、半導体素子 70 の電源用端子 7 4 には、ビルドアップ部 20 の電源用導体 22 から上部電極接続部 5 2、バイアホール 6 3、電源用パッド 6 4 及びはんだパンプ 7 8 を介して電源が供給される。また、コンデンサ部 40 の上部電極 4 2 には、上部電極接続部 5 2 から電荷が供給される。一方、半導体素子 70 のグランド用端子 7 2 は、はんだパンプ 7 6、グランド用パッド 6 2、バイアホール 6 1、下部電極接続部 5 1 及びビルドアップ

50

部 20 のグランド用導体 21 を介して接地される。また、コンデンサ部 40 の下部電極 41 も、下部電極接続部 51 を介して接地される。したがって、コンデンサ部 40 の上部電極 42 には正の電荷が蓄えられ、下部電極 41 に負の電荷が蓄えられる。そして、コンデンサ部 40 の電気容量 C は、 $C = S / d$ (S : 高誘電体層 43 の誘電率、 S : 電極面積、 d : 電極間距離) で表されるが、本実施形態では高誘電体層 43 の誘電率がチタン酸バリウム等のセラミックスであるため大きく、電極面積 S は両電極 41, 42 がベタパターンであり配線板の板面の略全面を占めるほど大きく、電極間距離 d が $1 \mu\text{m}$ と小さいことから、電気容量 C は十分大きな値となる。更に、コンデンサ部 40 は半導体素子 70 のほぼ直下に内蔵されているため、コンデンサ部 40 と半導体素子 70 との配線の引き直し距離はチップコンデンサ (通常、実装面 670 のうち半導体素子 70 の近くに配置される) と半導体素子 70 との配線の引き直し距離に比べて短くなる。

次に、本実施形態のプリント配線板 10 の製造例について、図 2 ~ 図 19 に基づいて説明する。図 2 ~ 図 19 はコンデンサ部の作製手順を表す説明図である。ここでは、図 4 に示すように片面にビルドアップ部 20 が形成されたコア基板を用いるが、ビルドアップ部 20 の作製手順は周知であるため (例えば 2000 年 6 月 20 日日刊工業新聞社発行の「ビルドアップ多層プリント配線板技術」(高木清著) 参照)、ここではその作製手順の説明を省略し、コンデンサ部の作製手順を中心に説明する。

まず、図 2 に示すように、高誘電体層 430 が 2 枚の銅箔 410, 420 で挟まれた高誘電体キャパシタシート 400 を用意した。この高誘電体キャパシタシート 400 は次のようにして作製した。即ち、厚さ $30 \sim 100 \mu\text{m}$ の銅箔 410 に、 BaTiO_3 、 SrTiO_3 、 TaO_3 、 Ta_2O_5 、 PZT 、 PLZT 、 PNZT 、 PCZT 、 PSZT からなる群より選ばれた 1 種又は 2 種以上の金属酸化物を含んでなる高誘電体材料をロールコーター、ドクターブレード等の印刷機を用いて、厚さ $0.1 \sim 10 \mu\text{m}$ (ここでは $1 \mu\text{m}$) の薄膜状に印刷し未焼成層とした。印刷後、この未焼成層を真空中または N_2 ガス等の非酸化雰囲気中で $600 \sim 950$ の温度範囲で焼成し、高誘電体層 430 とした。その後、スパッタ等の真空蒸着装置を用いて高誘電体層 430 の上に銅層を形成し、更にこの銅層上に電解めっき等で銅を $10 \mu\text{m}$ 程度足すことにより、銅箔 420 を形成した。

次に、高誘電体キャパシタシート 400 の作製手順の別の例について以下に説明する。
(1) 乾燥室素中において、濃度 1.0 モル / リットルとなるように秤量したジエトキシバリウムとピテトライソプロポキシドチタンを、脱水したメタノールと 2 - メトキシエタノールとの混合溶媒 (体積比 $3 : 2$) に溶解し、室温の窒素雰囲気下で 3 日間攪拌してバリウムとチタンのアルコキシド前駆体組成物溶液を調製した。次いで、この前駆体組成物溶液を 0 に保ちながら攪拌し、あらかじめ脱炭酸した水を 0.5 マイクロリットル / 分の速度で窒素気流中で噴霧して加水分解した。

(2) このようにして作製されたゾルーゲル溶液を、 0.2 ミクロンのフィルターを通し、析出物等をろ過した。

(3) 上記 (2) で作製したろ過液を厚さ $30 \sim 100 \mu\text{m}$ の銅箔 410 (後に下部電極 41 となる) 上に 1500rpm で 1 分間スピンコートした。溶液をスピンコートした基板を 150 に保持されたホットプレート上に 3 分間置き乾燥した。その後基板を 850 に保持された電気炉中に挿入し、15 分間焼成を行った。ここで、1 回のスピンコート / 乾燥 / 焼成で得られる膜厚が $0.03 \mu\text{m}$ となるようゾルーゲル液の粘度を調整した。なお、下部電極 141 としては銅の他に、ニッケル、白金、金、銀等を用いることもできる。

(4) スピンコート / 乾燥 / 焼成を 40 回繰り返し $1.2 \mu\text{m}$ の高誘電体層 430 を得た。

(5) その後、スパッタ等の真空蒸着装置を用いて高誘電体層 430 の上に銅層を形成し更にこの銅層上に電解めっき等で銅を $10 \mu\text{m}$ 程度足すことにより、銅箔 420 (後に上部電極 42 をなす) を形成した。このようにして、高誘電体キャパシタシート 400 を得た。誘電特性は、 $\text{INPEDANCE} / \text{GAIN} \text{ PHASE ANALYZER}$ (ヒューレットパッカード社製、品名 : 4194A) を用い、周波数 1kHz 、温度 25 、 0

10

20

30

40

50

SCレベル1Vという条件で測定したところ、その比誘電率は、1,850であった。なお、真空蒸着は銅以外に白金、金等の金属層を形成してもよいし、電解めっきも銅以外にニッケル、スズ等の金属層を形成してもよい。また、高誘電体層をチタン酸バリウムとしたが、他のゾルゲル溶液を用いることで、高誘電体層をチタン酸ストロンチウム(SrTiO_3)、酸化 tantalum (TaO_3 、 Ta_2O_5)、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸ランタン鉛(PLZT)、チタン酸ジルコン酸ニオブ鉛(PNZT)、チタン酸ジルコン酸カルシウム鉛(PCZT)及びチタン酸ジルコン酸ストロンチウム鉛(PSZT)のいずれかにすることも可能である。

なお、高誘電体キャパシタシート400のその他の作製方法として、以下の方法もある。即ち、チタン酸バリウム粉末(富士チタン工業株式会社製、HPBTシリーズ)を、チタン酸バリウム粉末の全重量に対して、ポリビニルアルコール5重量部、純水50重量部および溶剤系可塑剤としてフタル酸ジオクチルまたはフタル酸ジブチル1重量部の割合で混合されたバインダ溶液に分散させ、これをロールコート、ドクターブレード、コート等の印刷機を用いて、厚さ30~100 μm の銅箔410(後に下部電極41となる)に、厚さ5~7 μm 程度の薄膜状に印刷し、60で1時間、80で3時間、100で1時間、120で1時間、150で3時間乾燥し未焼成層とする。 BaTiO_3 以外に SrTiO_3 、 TaO_3 、 Ta_2O_5 、PZT、PLZT、PNZT、PCZT、PSZTからなる群より選ばれた1種又は2種以上の金属酸化物を含んでなるペーストをロールコート、ドクターブレード等の印刷機を用いて、厚さ0.1~10 μm の薄膜状に印刷、乾燥し未焼成層としてもよい。印刷後、この未焼成層を600~950の温度範囲で焼成し、高誘電体層430とする。その後、スパッタ等の真空蒸着装置を用いて高誘電体層430の上に銅層を形成し更にこの銅層上に電解めっき等で銅を10 μm 程度足すことにより、銅箔420(後に上部電極42をなす)を形成する。なお、真空蒸着は銅以外に白金、金等の金属層を形成してもよいし、電解めっきも銅以外にニッケル、スズ等の金属層を形成してもよい。その他、チタン酸バリウムをターゲットにしたスパッタ法でも可能である。

このようにして得られた高誘電体キャパシタシート400の片側の銅箔410をエッチングにより薄膜化して厚さ20~50 μm とし、エッチング後の銅箔410の表面(下面)を粗化した(図3参照)。

続いて、ビルドアップ部20が形成されたコア基板(図示略)を用意し、ビルドアップ部20の上面全体を覆うようにBステージ(未硬化)の熱硬化性樹脂シート310を積層したあと、先ほどの高誘電体キャパシタシート400(51mm \times 51mm)のうち表面粗化を施した銅箔410を熱硬化性樹脂シート310上に貼り付け、その後熱硬化性樹脂シート310を完全に熱硬化させた(図4参照)。なお、ビルドアップ部20は、絶縁層23内にて上下方向に延設されたグラウンド用導体21及び電源用導体22と、ビルドアップ部20の上面に形成されグラウンド用導体21に電気的に接続されたグラウンド用ランド21aと、ビルドアップ部20の上面に形成され電源用導体22に電気的に接続された電源用ランド22aとを備えたものとした。

続いて、銅箔420をエッチングにより薄膜化して厚さ20~30 μm とし(図5参照)、この銅箔420上に感光レジストであるドライフィルムをラミネートしたあとパターンマスクを通して露光、現像することによりパターン化したレジスト312を形成した(図6参照)。このパターン化は、ビルドアップ部20のグラウンド用導体21の直上に当たる部分と電源用導体22の直上に当たる部分が除去されるように行い、その結果、グラウンド用ランド21aの直上にレジスト開口部312-1が形成され、電源用ランド22aの直上にレジスト開口部312-2が形成された。その後、レジスト開口部312-1、312-2内の銅箔420をエッチングにより除去した(図7参照)。このエッチングは、外部に露出している銅箔420のみが除去され直下の高誘電体層430は除去されないように、エッチャントとして硫酸と過酸化水素の混合液を使用した。なお、ここでも、感光レジストとしてドライフィルムを用いたが、液状レジストを用いてもよい。

続いて、レジスト312を除去し(図8参照)、再び感光レジストであるドライフィルム

10

20

30

40

50

ムをラミネートしたあとパターンマスクを通して露光、現像することによりパターン化したレジスト314を形成した(図9参照)。このパターン化は、外部に露出していた高誘電体層430のうち、内周領域A_{in}をドライフィルムで覆わないようにし外周領域A_exをドライフィルムで覆うように行い、その結果、グランド用ランド21aの直上にレジスト開口部314-1を形成され、電源用ランド22aの直上にレジスト開口部314-2が形成された。その後、レジスト開口部314-1, 314-2内の高誘電体層430をエッチングにより除去した(図10参照)。このエッチングは、高誘電体層430のみが除去され直下の銅箔410は除去されないように、エッチャントとして塩酸を使用した。続いて、レジスト開口部314-1, 314-2内の銅箔410をエッチングにより除去した(図11参照)。このエッチングは、エッチャントとして塩化銅エッチャントを使用した。なお、ここでも、感光レジストとしてドライフィルムを用いたが、液状レジストを用いてもよい。また、図9におけるレジスト開口部314-1, 314-2内の高誘電体層430と銅箔410とを同時にエッチングしてもよい。

その後、レジスト314を除去した(図12参照)。これにより、高誘電体キャパシタシート400には、グランド用導体21及び電源用導体22の直上にそれぞれシート貫通穴401, 402が形成されたことになる。このうち、グランド用導体21の直上のシート貫通穴401は、銅箔410と高誘電体層430を貫通する部分は径が小さく銅箔420を貫通する部分は径が大きく形成され、電源用導体22の直上のシート貫通穴402は、銅箔410と高誘電体層430を貫通する部分は径が大きく銅箔420を貫通する部分は径が一段と大きく形成されている(下部電極接続部51の径<上部電極接続部第1部52aの径)。

続いて、作製途中の基板の上面全体を覆うようにBステージ(未硬化)の熱硬化性樹脂シート320(例えば味の素社製のABF-45SH)を積層したあと完全に熱硬化させた(図13参照)。そして、この熱硬化性樹脂シート320の表面の所定位置に炭酸ガスレーザやUVレーザ、YAGレーザ、エキシマレーザなどにより穴開けを行った(図14参照)。ここでは、下部電極接続用穴501、上部電極接続用第1穴502及び上部電極接続用第2穴503の穴開けを行った。具体的には、グランド用導体21の直上に下部電極接続用穴501を、銅箔420がこの穴501の内壁に露出せず銅箔410がこの穴501の内壁に露出するように、グランド用ランド21aに達するまで穿設した。このとき、予めシート貫通穴401につき銅箔420を通過する部分の穴径を、銅箔410を通過する部分の穴径よりも大きく形成しておいたため、下部電極接続用穴501の内壁に銅箔420を露出させずに銅箔410を露出させることを容易になし得た。また、電源用導体22の直上に上部電極接続用第1穴502を、銅箔410, 420のいずれもこの穴502の内壁に露出しないように、電源用ランド22aまで穿設した。このとき、予めシート貫通穴402の穴径を大きく形成しておいたため、上部電極接続用第1穴502の内壁に銅箔410, 420のいずれも露出させないことを容易になし得た。更に、銅箔420の直上に上部電極接続用第2穴503を銅箔420に達するまで穿設した。このようにして穴開けを行ったあと、各穴501~503内のスミア等を除去するためにデスミア処理を施した。なお、デスミア処理により熱硬化性樹脂シート320の表面が粗化された。

なお、下部電極接続部51, 上部電極接続部第1部52aの数は、図6におけるレジスト開口部312-1, 312-2の数により調整することができる。例えば、レジスト開口部312-1, 312-2の数をICチップ70の端子総数より少なくすれば、下部電極41や上部電極42に開ける孔が少なくなるため、その分各電極の面積が大きくなり、コンデンサ部40の容量が大きくなる。また、下部電極41の面積や上部電極42の面積、下部電極接続部51と銅箔420とのスペース、上部電極接続部第1部52aと銅箔410, 420とのスペースは、レジスト開口部312-1, 312-2, 314-1, 314-2の大きさにより調整することができる。このレジスト開口部312-1, 312-2, 314-1, 314-2の大きさは、下部電極41や上部電極42に開ける孔のサイズと同視できるため、各電極の大きさひいてはコンデンサ部40の容量を調整する因子とみることができる。

10

20

30

40

50

続いて、熱硬化性樹脂シート320のうち外部に露出している部分（各穴501～503の内壁を含む）に無電解めっき触媒を付与した後、無電解銅めっき水溶液中に浸漬することにより、厚さ0.6～3.0 μm の無電解銅めっき膜505を形成した（図15参照）。次に、この無電解銅めっき膜505の全面に感光レジストであるドライフィルムをラミネートしたあとパターンマスクを通して露光、現像することによりパターン化したレジスト506を形成した（図16参照）。そして、無電解銅めっき膜505のうち外部に露出している部分（各穴501～503の内壁を含む）に電解銅めっき膜507を形成し（図17参照）、その後パターン化されたレジスト506を除去し（図18参照）、無電解銅めっき膜505のうち表面に露出している部分をエッチングにより除去した（図19参照）。これにより、各穴501～503が銅により充填されると共に熱硬化性樹脂シート320のうち露出していた部分に銅配線パターンが形成された。

10

なお、図19において、熱硬化性樹脂シート310, 320（例えば味の素社製のABF-45SH）がそれぞれ第1電気絶縁層31及び第2電気絶縁層32に相当し、高誘電体キャパシタシート400の銅箔410、銅箔420及び高誘電体層430がそれぞれコンデンサ部40の下部電極41、上部電極42及び高誘電体層43に相当し、下部電極接続用穴501内に充填された銅及びそれに接続された第2電気絶縁層32上の銅配線パターンがそれぞれ下部電極接続部51及び配線パターン51aに相当し、上部電極接続用第1穴502内に充填された銅、上部電極接続用第2穴503内に充填された銅及びこれらを接続する第2電気絶縁層32上の銅配線パターンがそれぞれ上部電極接続部第1部52a～52cに相当する。

20

以上詳述したプリント配線板10によれば、ビルドアップしていく流れの中で、2枚の銅箔410, 420で高誘電体層430を挟んだ構造を有し後にコンデンサ部40となる高誘電体キャパシタシート400でもって配線板の板面の略全面を覆ったあとでも、下部電極接続部51や上部電極接続部52を形成することができる。

また、一般的にプリント配線板は200以下の温度条件でビルドアップされることが多いため、ビルドアップしていく流れの中で高誘電体材料を高温（例えば600～950）で焼成してセラミックスにすることは困難なことから、上述した実施形態のように、別途、予め焼成済みの高誘電体層430を2枚の銅箔410, 420で挟んだ構造の高誘電体キャパシタシート400を利用してコンデンサ部40を形成することが好ましい。

更に、上部電極接続部52は、半導体素子70の電源用端子74と電氣的に接続され、下部電極接続部51は、半導体素子70のグランド用端子72と電氣的に接続されるため、半導体素子70のオンオフの周波数が数GHz～数十GHzと高く電位の瞬時低下が起きやすい状況下であっても十分なデカップリング効果を奏する。

30

更にまた、コンデンサ部40の高誘電体層43が誘電率の大きなチタン酸バリウム等を焼成して作製したものであること、コンデンサ部40の上部電極42や下部電極41はベタパターンとして板面の略全面を覆うほど面積が大きいこと、両電極41, 42の間隔が0.1～10 μm と小さいことから、コンデンサ部40の電気容量が大きくなり、十分なデカップリング効果を得やすくなる。

そしてまた、半導体素子70の周囲にチップコンデンサを配設する場合に比べて、コンデンサ部40は半導体素子70のほぼ直下に配設されているため、配線の引き回し距離を短くすることができ、ノイズの発生を抑制することができる。

40

なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施し得ることはいうまでもない。

例えば、上述した実施形態では、高誘電体キャパシタシート400を利用してコンデンサ部40を形成することとしたが、高誘電体キャパシタシート400を利用する代わりに、ビルドアップ部20の上面に形成した第1電気絶縁層31上に、金属箔とセラミックス製の高誘電体層と金属箔とをこの順でいずれも全面を覆うように積層したあと、上述した実施形態と同様にして上部電極接続部52や下部電極接続部51を形成してもよい。この場合も、ビルドアップの流れの中でコンデンサ部40を形成することができる。

また、上述した実施形態では、コンデンサ部40の下部電極41を半導体素子70のグ

50

ランド用端子 7 2 やビルドアップ部 2 0 のグラウンド用導体 2 1 に接続し、上部電極 4 2 を電源用端子 7 4 や電源用導体 2 2 に接続したが、逆に、下部電極 4 1 を電源用端子 7 4 や電源用導体 2 2 と接続し、上部電極 4 2 をグラウンド用端子 7 2 やグラウンド用導体 2 1 と接続してもよい。

更に、上述した実施形態では、コンデンサ部 4 0 を内蔵するプリント配線板 1 0 について説明したが、内蔵されたコンデンサ部 4 0 のほかに、実装面 6 0 にチップコンデンサを実装するようにしてもよい。こうすれば、コンデンサ部 4 0 だけでは電気容量が不十分な場合等に実装面 6 0 に実装したチップコンデンサにより補うことができる。このとき、チップコンデンサのプラス端子をコンデンサ部 4 0 の電源用電極へ、チップコンデンサのマイナス端子をコンデンサ部のグラウンド用電極へ接続すると、チップコンデンサから IC チップに至る経路のインピーダンスが小さくなるため、電力ロスが少なくなるので好ましい。

【実施例】

(実施例 1 ~ 9)

上述した実施形態に準じて、表 1 に示す実施例を作製した。具体的には、図 6 に示した工程において、グラウンド用パッド 6 2 の数とレジスト開口部 3 1 2 - 1 (下部電極接続部 5 1) の数との比が 1 : 0 . 1、電源用パッド 6 4 の数とレジスト開口部 3 1 2 - 2 (上部電極接続部第 1 部 5 2 a) の数との比も 1 : 0 . 1 となるように形成した。さらに、図 6、図 9 に示した開口部 3 1 2 - 1, 3 1 2 - 2, 3 1 4 - 1, 3 1 4 - 2 の大きさを調整して、下部電極 4 1 と上部電極 4 2 とが対向する面積を $3.22 \times 10^{-5} \text{ m}^2 \sim 1.83 \times 10^{-3} \text{ m}^2$ に調整した。その結果、コンデンサ部の容量は、 $0.44 \times 10^{-6} \text{ F} \sim 25 \times 10^{-6} \text{ F}$ となった。この場合、1 つの下部電極接続部 5 1 には、IC チップ 7 0 の複数のグラウンド用端子 7 2 が電氣的に接続し、1 つの上部電極接続部第 1 部 5 2 a には、IC チップ 7 0 の複数の電源用端子 7 4 が電氣的に接続することになる。

(実施例 1 0)

上述した実施形態において、高誘電体キャパシタシート 4 0 0 のサイズを $49.5 \text{ mm} \times 43 \text{ mm}$ とし、グラウンド用パッド 6 2 の数と下部電極接続部 5 1 の数との比が 1 : 1、電源用パッド 6 4 の数と上部電極接続部第 1 部 5 2 a の数との比も 1 : 1 となるように形成した。なお、グラウンド用パッド 6 2 の数及び電源用パッド 6 4 の数はそれぞれ 1 1 0 0 0 個とした。また、各開口部 3 1 2 - 1, 3 1 2 - 2 の大きさを $300 \sim 400 \mu\text{m}$ の範囲となるようにした。この結果、コンデンサ部の容量は、 $0.18 \times 10^{-6} \text{ F}$ となった。

(実施例 1 1)

実施例 1 0 において、グラウンド用パッド 6 2 の数と下部電極接続部 5 1 の数との比が 1 : 0 . 7、電源用パッド 6 4 の数と上部電極接続部第 1 部 5 2 a の数との比も 1 : 0 . 7 となるように形成した。この結果、コンデンサ部の容量は、 $8.8 \times 10^{-6} \text{ F}$ となった。

(実施例 1 2)

実施例 1 0 において、グラウンド用パッド 6 2 の数と下部電極接続部 5 1 の数との比が 1 : 0 . 5、電源用パッド 6 4 の数と上部電極接続部第 1 部 5 2 a の数との比も 1 : 0 . 5 となるように形成した。この結果、コンデンサ部の容量は、 $15 \times 10^{-6} \text{ F}$ となった。

(実施例 1 3)

実施例 1 0 において、グラウンド用パッド 6 2 の数と下部電極接続部 5 1 の数との比が 1 : 0 . 1、電源用パッド 6 4 の数と上部電極接続部第 1 部 5 2 a の数との比も 1 : 0 . 1 となるように形成した。この結果、コンデンサ部の容量は、 $26 \times 10^{-6} \text{ F}$ となった。

(実施例 1 4)

実施例 1 0 において、グラウンド用パッド 6 2 の数と下部電極接続部 5 1 の数との比が 1 : 0 . 05、電源用パッド 6 4 の数と上部電極接続部第 1 部 5 2 a の数との比も 1 : 0 . 05 となるように形成した。この結果、コンデンサ部の容量は、 $27.5 \times 10^{-6} \text{ F}$ となった。

10

20

30

40

50

(実施例 15)

実施例 10 において、グランド用パッド 62 の数と下部電極接続部 51 の数との比が 1 : 0.03、電源用パッド 64 の数と上部電極接続部第 1 部 52a の数との比も 1 : 0.03 となるように形成した。この結果、コンデンサ部の容量は、 28×10^{-6} F となった。

(実施例 16)

実施例 10 において、グランド用パッド 62 の数と下部電極接続部 51 の数との比が 1 : 0.01、電源用パッド 64 の数と上部電極接続部第 1 部 52a の数との比も 1 : 0.01 となるように形成した。この結果、コンデンサ部の容量は、 29×10^{-6} F となった。

10

(実施例 17)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 1 回とした。その結果、高誘電体層 430 の厚みは、 $0.03 \mu\text{m}$ となった。

(実施例 18)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 4 回とした。その結果、高誘電体層 430 の厚みは、 $0.12 \mu\text{m}$ となった。

(実施例 19)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 15 回とした。その結果、高誘電体層 430 の厚みは、 $0.45 \mu\text{m}$ となった。

20

(実施例 20)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 200 回とした。その結果、高誘電体層 430 の厚みは、 $6 \mu\text{m}$ となった。

(実施例 21)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 330 回とした。その結果、高誘電体層 430 の厚みは、 $9.9 \mu\text{m}$ となった。

30

(実施例 22)

実施例 6 に準じて作製した。具体的には、高誘電体キャパシタシート 400 の作製において、スピンコート / 乾燥 / 焼成の繰り返し回数を 500 回とした。その結果、高誘電体層 430 の厚みは、 $15 \mu\text{m}$ となった。

(実施例 23)

実施例 1 のプリント配線板の表面にチップコンデンサを実施し、チップコンデンサと IC チップのグランド用端子、電源用端子間の接続は、プリント配線板に内蔵したコンデンサ部 40 を介して行った。

(比較例)

比較例の高誘電体キャパシタシートは、実施形態中に記載した高誘電体キャパシタシートの別形態作製手順に基づいて作製した。但し、焼成することなく乾燥後の未焼成層上に電極を形成した。その結果、ダイ直下の静電容量は、 $0.001 \mu\text{F}$ 未満となった。

40

(評価試験 1)

実施例 1 ~ 16、23 と比較例のプリント配線板に以下の IC チップを実装し、同時スイッチングを 100 回繰り返して、パルス・パターン・ジェネレーター / エラー・ディテクタ (アドバンテスト社製、商品名: D3186 / 3286) を用いて誤動作の有無を確認した。誤動作がなかった場合を良品「○」、誤動作があった場合を不良「×」とした。

- 1 クロック周波数: 1.3 GHz 、FSB: 400 MHz
- 2 クロック周波数: 2.4 GHz 、FSB: 533 MHz
- 3 クロック周波数: 3.0 GHz 、FSB: 800 MHz

50

4 クロック周波数：3.73GHz、FSB：1066MHz

上記 1 の IC チップを実装した各実施例及び比較例の評価結果の比較から、セラミック製の誘電体層からなるコンデンサ部を内蔵することで、誤動作が発生し難くなること分かる。また、上記 2 ~ 4 の IC チップを実装した評価結果から、コンデンサ容量が大きいほど誤動作が生じがたく、0.8μF以上あれば、3.0GHz以上の高周波の IC チップを搭載しても誤動作が発生しないことが分かった。

また、各実施例のプリント配線板には、ICチップの電圧を測定できる回路をプリント配線板に設け、同時スイッチング時の IC チップの電圧降下を測定した。そして、ICチップの駆動周波数ごとにコンデンサ部の容量と IC チップの電圧降下との関係をシミュレーションした。この結果を図 20 に示す。横軸はコンデンサ部のコンデンサ容量、縦軸は各駆動電圧における電圧降下量(%)である。このシミュレーション結果から、電圧降下量が10%を超えると誤動作が発生する可能性があることが示唆された。

(評価試験 2)

実施例 4、17~22のプリント配線板を、-55℃×5分、125℃×5分を1サイクルとして、1000サイクル繰り返した。ICチップ実装面とは反対側の端子から、ICを介し、再度ICチップ実装面とは反対側の端子(先ほどの反対側の端子とは別の端子)と繋がっている特定回路の接続抵抗をヒートサイクル試験前、500サイクル目、1000サイクル目で測定し、下記式の抵抗変化率を求めた。そして、抵抗変化率が±10%以内なら合格「○」、±10%を超えると不良「×」とし、表1にその結果をまとめた。

$$\text{抵抗変化率} = \frac{\text{ヒートサイクル後の接続抵抗} - \text{ヒートサイクル前の接続抵抗}}{\text{ヒートサイクル前の接続抵抗}} \times 100 (\%)$$

この試験結果から、コンデンサ部の高誘電体層の厚みが薄すぎても厚すぎても接続信頼性が低下しやすいことが分かる。その理由は定かではないが、高誘電体層が薄すぎると(すなわち0.03μm以下になると)、プリント配線板の熱収縮によりセラミック製の高誘電体層にクラックが入り、プリント配線板の配線が断線したのではないかと推察している。一方、コンデンサ部の高誘電体層が厚すぎると(すなわち9.9μmを超えると)、セラミック製の高誘電体層と上部電極・下部電極とは熱膨張係数が異なることから、プリント配線板の水平方向で高誘電体層と上部電極・下部電極との収縮・膨張量の違いが大きくなり、コンデンサ部とプリント配線板との間で剥離が発生してプリント配線板の配線が断線したのではないかと推察している。

(評価試験 3)

実施例 10~16のプリント配線板に評価試験2と同様のヒートサイクル試験を500サイクル、1000サイクル行った。ヒートサイクル後、ICチップ(クロック周波数：3.73GHz、FSB：1066MHz)を実装し、評価試験1と同様に誤動作の有無を確認した。その結果を表1に示す。

この試験結果から、パッド数に対する電極接続部数の比つまり電極接続部数/パッド数が小さすぎても大きすぎても誤動作が発生しやすいことが分かる。その理由は定かではないが、この比が小さすぎると(すなわち0.03未満になると)、電極接続部(下部電極接続部51や上部電極接続部第1部52a)の数が少なすぎることからそれらの電氣的な接続状態が劣化した場合にその影響を他の電極接続部でカバーしきれず誤動作が発生しやすくなったのではないかと推察している。一方、この比が大きすぎると(すなわち0.7を超えると)、下部電極41や上部電極42には各電極接続部が非接触状態で通過する箇所が増加しその箇所に充填された樹脂と高誘電体層43との熱膨張差によってセラミック製の脆い高誘電体層43の収縮・膨張が起きやすくなり、その結果高誘電体層43にクラックが入ったのではないかと推察している。

【表 1】

表 1

実施例	高誘電体層の厚み (μm)	下部電極接続部51の数/パッド数	上部電極接続部第1部52aの数/パッド数	コンデンサ面積 (m ²)	コンデンサ容量 (F)	CC実装	評価試験1				評価試験2		評価試験3	
							実装したIC				サイクル数		サイクル数	
							①	②	③	④	500	1000	500	1000
1	1.2	0.1	0.1	3.22 × 10 ⁻⁵	0.44 × 10 ⁻⁶	無	○	×	×	×	—	—	—	—
2	1.2	0.1	0.1	3.67 × 10 ⁻⁵	0.5 × 10 ⁻⁶	無	○	○	×	×	—	—	—	—
3	1.2	0.1	0.1	5.86 × 10 ⁻⁵	0.8 × 10 ⁻⁶	無	○	○	○	×	—	—	—	—
4	1.2	0.1	0.1	7.33 × 10 ⁻⁵	1 × 10 ⁻⁶	無	○	○	○	○	○	—	—	—
5	1.2	0.1	0.1	1.47 × 10 ⁻⁴	2 × 10 ⁻⁶	無	○	○	○	○	—	—	—	—
6	1.2	0.1	0.1	3.67 × 10 ⁻⁴	5 × 10 ⁻⁶	無	○	○	○	○	—	—	—	—
7	1.2	0.1	0.1	7.33 × 10 ⁻⁴	10 × 10 ⁻⁶	無	○	○	○	○	—	—	—	—
8	1.2	0.1	0.1	1.47 × 10 ⁻³	20 × 10 ⁻⁶	無	○	○	○	○	—	—	—	—
9	1.2	0.1	0.1	1.83 × 10 ⁻³	25 × 10 ⁻⁶	無	○	○	○	○	—	—	—	—
10	1.2	1	1	—	0.18 × 10 ⁻⁶	無	○	×	×	×	—	—	×	×
11	1.2	0.7	0.7	—	8.8 × 10 ⁻⁶	無	○	○	○	○	—	—	○	○
12	1.2	0.5	0.5	—	15 × 10 ⁻⁶	無	○	○	○	○	—	—	○	○
13	1.2	0.1	0.1	—	26 × 10 ⁻⁶	無	○	○	○	○	—	—	○	○
14	1.2	0.05	0.05	—	27.5 × 10 ⁻⁶	無	○	○	○	○	—	—	○	○
15	1.2	0.03	0.03	—	28 × 10 ⁻⁶	無	○	○	○	○	—	—	○	×
16	1.2	0.01	0.01	—	29 × 10 ⁻⁶	無	○	○	○	○	—	—	×	×
17	0.03	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	×	×	—	—
18	0.12	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	○	×	—	—
19	0.45	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	○	○	—	—
20	6	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	○	○	—	—
21	9.9	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	○	×	—	—
22	15	0.1	0.1	3.67 × 10 ⁻⁴	—	無	—	—	—	—	×	×	—	—
23	1.2	0.1	0.1	3.22 × 10 ⁻⁵	0.44 × 10 ⁻⁶	有	○	○	○	○	—	—	—	—
比較例					<0.01 × 10 ⁻⁶	無	×	×	×	×	—	—	—	—

10

20

30

40

本発明は、2004年6月25日に出願された日本国特許出願2004-188855号を優先権主張の基礎としており、その内容のすべてが編入される。

【産業上の利用可能性】

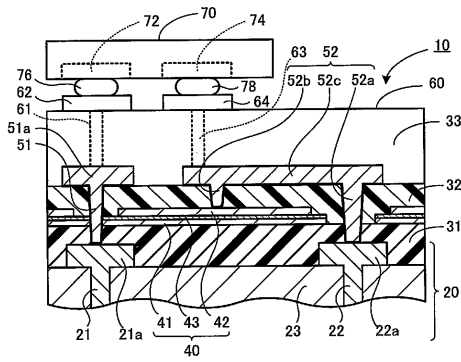
本発明のプリント配線板は、ICチップなどの半導体素子を搭載するために用いられる

50

ものであり、例えば電気関連産業や通信関連産業などに利用される。

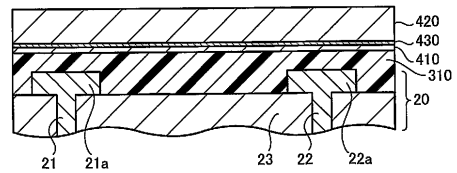
【 図 1 】

図1



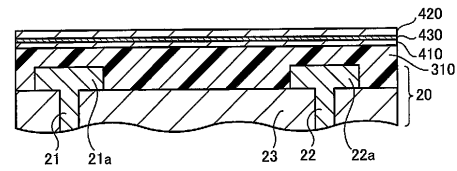
【 図 4 】

図4



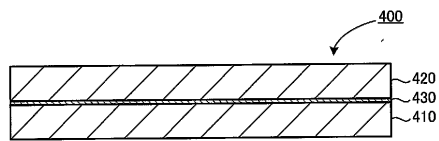
【 図 5 】

図5



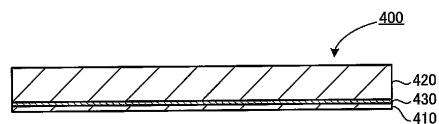
【 図 2 】

図2



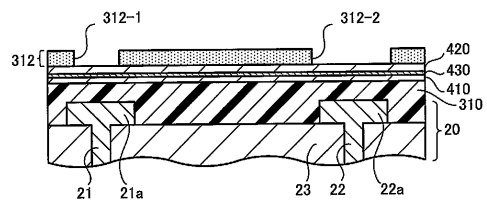
【 図 3 】

図3

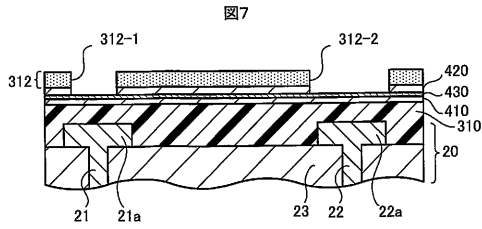


【 図 6 】

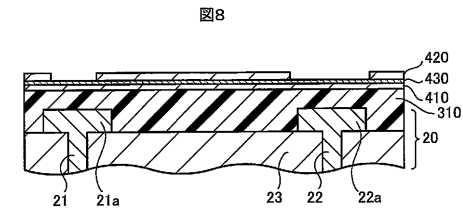
図6



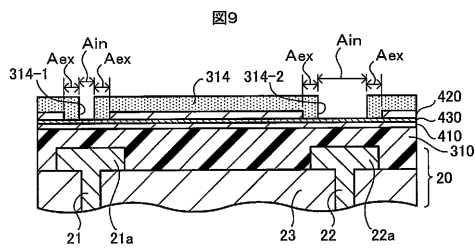
【 図 7 】



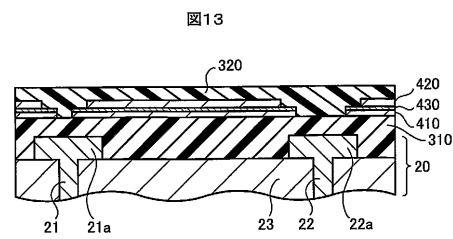
【 図 8 】



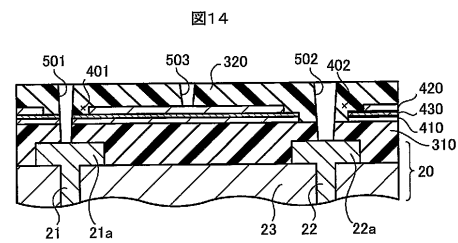
【 図 9 】



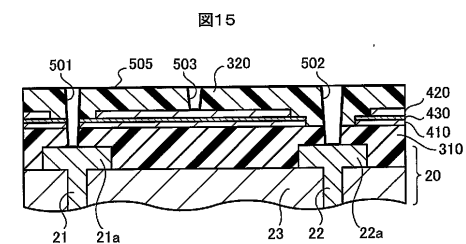
【 図 1 3 】



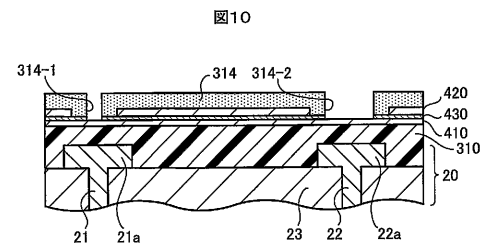
【 図 1 4 】



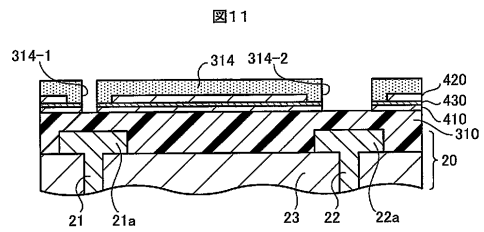
【 図 1 5 】



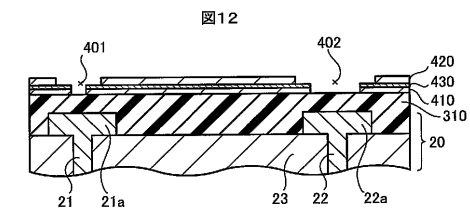
【 図 1 0 】



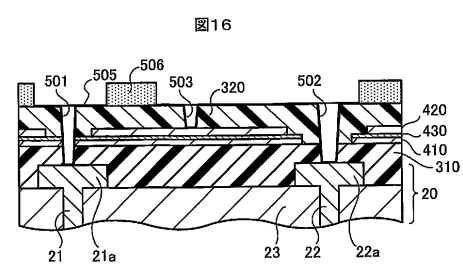
【 図 1 1 】



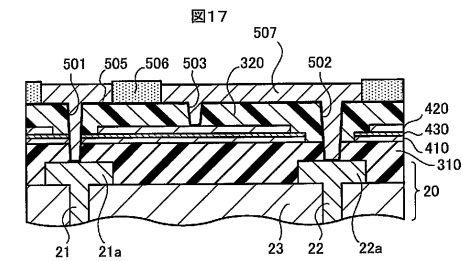
【 図 1 2 】



【 図 1 6 】



【 図 1 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2005/012146
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H05K3/46, H01L23/12 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H05K3/46, H01L23/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/0215619 A1 (SHINKO ELECTRIC INDUSTRIES CO., LTD.), 20 November, 2003 (20.11.03), & JP 2003-332752 A & CN 1458815 A	1-13
Y	EP 0563873 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 06 October, 1993 (06.10.93), & JP 6-291520 A & US 5387888 A1 & DE 69318879 C	1-13
Y	JP 2-177350 A (NEC Corp.), 10 July, 1990 (10.07.90), (Family: none)	4-7, 10-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 06 September, 2005 (06.09.05)		Date of mailing of the international search report 27 September, 2005 (27.09.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012146

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 00/45624 A1 (3M INNOVATIVE PROPERTIES CO.), 03 August, 2000 (03.08.00), & JP 2002-536825 A & US 6274224 B1 & EP 1153531 A & DE 69920280 D & AU 4418499 A & HK 1043016 A	8-13

国際調査報告		国際出願番号 PCT/JP2005/012146	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H05K3/46, H01L23/12			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H05K3/46, H01L23/12			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	US 2003/0215619 A1 (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 2003.11.20 & JP 2003-332752 A & CN 1458815 A	1-13	
Y	EP 0563873 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD) 1993.10.06 & JP 6-291520 A & US 5387888 A1 & DE 69318879 C	1-13	
Y	JP 2-177350 A (日本電気株式会社) 1990.07.10 (ファミリーなし)	4-7, 10-13	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に緊義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 06.09.2005		国際調査報告の発送日 27.9.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 豊島 ひろみ	3S 9426
		電話番号 03-9581-1101 内線 3391	

国際調査報告

国際出願番号 PCT/JP2005/012146

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 00/45624 A1 (3M INNOVATIVE PROPERTIES COMPANY) 2000.08.03 & JP 2002-536825 A & US 6274224 B1 & EP 1153531 A & DE 69920280 D & AU 4418499 A & HK 1043016 A	8-13

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。