(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年12 月24 日 (24.12.2003)

PCT

(10) 国際公開番号
WO 03/107661 A1

(51) 国際特許分類[7]: H04N 5/335, H01L 27/148

(21) 国際出願番号: PCT/JP03/07496

(22) 国際出願日: 2003 年6 月12 日 (12.06.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-170986 2002 年6 月12 日 (12.06.2002) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川６丁目７番３５号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 遠山 隆之 (TOYAMA,Takayuki) [JP/JP]; 〒141-0001 東京都 品川区 北品川６丁目７番３５号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 角田 芳末, 外(TSUNODA,Yoshisue et al.); 〒160-0023 東京都 新宿区 西新宿１丁目８番１号 新宿ビル Tokyo (JP).

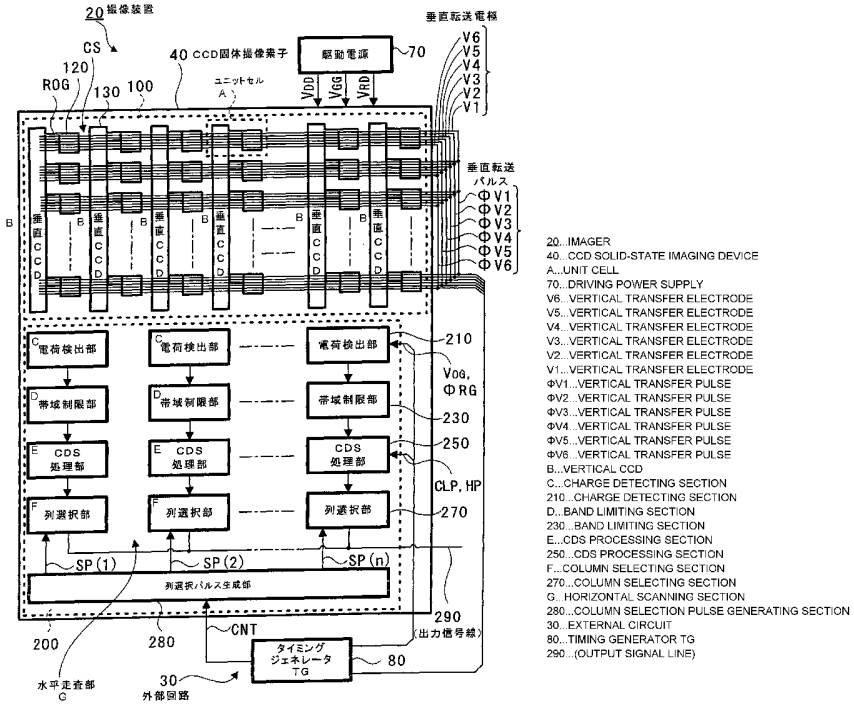
(81) 指定国 (国内): CN, JP, KR, US.

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR DRIVING SOLID-STATE IMAGING DEVICE, IMAGING METHOD, AND IMAGER

(54) 発明の名称: 固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置



(57) Abstract: A CCD solid-state imaging device of a scanning reading type, its driving method, an imaging method, and an imager. Vertical CCD columns can be allocated to one charge detecting section with a particularly small number of wires. Adjoining vertical CCD columns are allocated to one charge detecting section. The number of stages of voltage transfer between a vertical

[続葉有]

WO 03/107661 A1

CCD column and a voltage detecting section is varied, the arrangement of electrodes is contrived, or the driving timing is adjusted. The phases of charge transfer in adjoining vertical CCD columns of when the horizontal charge in the same position in the horizontal row direction produced in a photosensitive section is made to reach the charge detecting section are different from one another.

(57) 要約: 本発明はスキャニング読出方式のCCD固体撮像素子と駆動方法、並びに撮像方法及び撮像装置に関し、特に少ない配線数で、複数の垂直CCD列を1つの電荷検出部に割り当てることができるようにする。本発明は、1つの電荷検出部に対して、隣接した複数列分の垂直CCDを割り当てる。さらに、垂直CCD列と電圧検出部との間の電圧転送の段階を違える、電極配置を工夫する、あるいは駆動タイミングを調整する。そして、隣接する複数の垂直CCD列について、感光部で得た水平列の方向における同一位置の水平電荷を電荷検出部に到達させるときの電荷転送の位相を異なるようにする。

明　細　書

固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置

技術分野

本発明は、固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置に関する。

背景技術

従来から、ＣＣＤ（charge couple device）は、撮像装置の電荷転送部として広く用いられてきた。ＣＣＤを撮像装置に用いるときには、水平画素数と略同数の垂直ＣＣＤと１個の水平ＣＣＤを配置して、電荷は各画素に配置された光電変換部から垂直ＣＣＤ、水平ＣＣＤ、そして出力部に転送される。

ところで、近年、ビデオカメラなどの小型化、高解像度化の要求が強く、撮像装置の画像分解能を向上させるため、同一光学サイズにおいて画素数を増大させる傾向がある。しかし、画素数を増大させると、当然ながら読み出し時間が増大する。逆に同一時間に全画素分を読み出す場合、同一時間に読み出さなければならない信号数が増大するので、必然的に読出しのためのクロック周波数が高くなる。

図１７は、従来型のＣＣＤ固体撮像素子を表したものである。図１７に示したＣＣＤ固体撮像素子１は、インターライン方式のものであり、撮像領域２には画素３に対応するフォトダイオード（感光部）４が多数、垂直（行）方向および水平方向（列）方向において２次元マトリクス状に配列されている。また撮像領域２には、フォトダイオード４の垂直列ごとに設けられ、各フォトダイオード４から読出ゲート８を介して読み出された信号電荷ｅを

垂直転送する複数本の垂直ＣＣＤ５が設けられている。

さらに、複数本の垂直ＣＣＤ５の各転送先側端部すなわち最後の行に隣接して、図の左右方向に延在する水平ＣＣＤ６が１ライン分設けられている。水平ＣＣＤ６の転送先側端部（図の左側）には、たとえばフローティングデフュージョンアンプＦＤＡ構成の電荷検出部７が設けられている。この電荷検出部７は、水平ＣＣＤ６から順に注入される信号電荷を画素信号電圧に変換して出力する。画素信号電圧を時系列に出力することで撮像信号Ｓが得られる。

図１８は、従来型のＣＣＤ固体撮像素子１を駆動する転送パルスのタイミングチャートの模式図である。撮像領域２の画素３に対応するフォトダイオード４で光電変換された信号電荷ｅは、読出ゲート８を介して垂直ＣＣＤ５に読み出される。垂直ＣＣＤ５は、たとえば４相駆動用の垂直転送パルスφＶ１～φＶ４により駆動されることで、垂直ＣＣＤ５に読み出された信号電荷ｅを、複数列を並列的に水平ＣＣＤ６に転送する。水平ＣＣＤ６は、たとえば２相駆動用の水平転送パルスφＨ１，φＨ２により駆動されることで、垂直ＣＣＤ５から転送された信号電荷ｅをさらに電荷検出部７まで転送する。これにより、信号電荷ｅが時系列の撮像信号Ｓに変換されて電荷検出部７から出力される。

このとき、図１８に示すように、フォトダイオード４で得た信号電荷ｅが垂直ＣＣＤ５を介して水平ＣＣＤ６まで転送される時間と、水平ＣＣＤ６に転送された信号電荷ｅが水平ＣＣＤ６を介して電荷検出部７に転送される時間とを比べると、後者の方が圧倒的に長い。すなわち、全部の画素３の信号電荷ｅを読み出すために必要な時間は、水平ＣＣＤ６の転送速度で制限される。つまり、ＣＣＤ固体撮像素子においては、水平ＣＣＤ６のクロック周波数が最も高く、如何にこれを抑えるかが、多画素化のキーポイ

ントの１つとなる。

また、同一光学サイズにおける画素数の増大は、１画素あたりのセンサ部の面積低下を招き、ひいては感度の低下という問題を生じさせる。

現在の固体撮像素子の主流であるＣＣＤ固体撮像素子では、このクロック周波数の限界および１画素当たりの感度低下が、画素数増大に対するの制限要因となっている。以下、この点について具体的に説明する。

水平ＣＣＤのクロック周波数を低減する読出方式としては、大きく分けて２つの案が考案されている。第１の方法は、たとえば特許第２７８５７８２号や特開平２００１－１１９０１０号に示されている方法であり、固体撮像素子のセンサ部を複数ブロックに分割し、各々のブロックの水平ＣＣＤで電荷を転送するというものである。以下、第１の方法を、「複数水平ＣＣＤ読出方式」という。

また第２の方法は、たとえば特開平６－９７４１４号や特許第３０５７８９８号に示されている方法であり、各垂直ＣＣＤごとにフローティングデフュージョンアンプＦＤＡなどの電荷検出部を設け、この電荷検出部で信号電荷を電圧信号に変換し、各垂直ＣＣＤの電圧信号をスイッチ切替えにより順次出力部に出力するというものである。以下、第２の方法を、「スキャニング読出方式」という。

ここで、上記２つの読出方式についてもう少し深く考えてみる。先ず「複数水平ＣＣＤ読出方式」を考えてみると、水平ＣＣＤを複数ブロックに分割し複数の出力をパラレルに出力することで、見かけのデータレートは向上する。これにより、水平ＣＣＤのクロック周波数を下げることができる。

しかし、信号電荷を画素信号に変換する電荷検出部が複数に分

かれており、この電荷検出部における変換ゲインの違いにより、各ブロックから出力された信号レベルに濃度むらを生じ、ブロックの継ぎ目部分が不連続となる。画像全体に対して数ブロックに分割しており、この濃度むらが画像上に太い縞模様として現れ、比較的低い周波数であるので、縞模様（濃度むら）が視認されてしまう。

また、従来のＣＣＤ型撮像素子と基本的に読出方式は変わらず、１ブロックに関してはシリアル出力である。今後は、多画素化に伴う感度低下を補うために、同一行（水平列）の同一色の信号を混ぜ合わせるといった加算方式の信号補正などが重要となってくると考えられるが、この「複数水平ＣＣＤ読出方式」は、基本的にはシリアル出力であるために、画素信号の選択性が非常に小さい。すなわち、多画素化による感度低下を信号補正で補うことは困難であると考えられる。

次に、「スキャニング読出方式」を考えてみると、特開平６－９７４１４号に示されているように、垂直ＣＣＤ列ごと、もしくは、複数垂直ＣＣＤ列ごとにフローティングデフュージョンアンプＦＤＡなどの電荷検出部が対応付けられる。この場合、電荷検出部における変換ゲインの違いによる濃度むらは、比較的高い周波数となるので、画像上における濃度むらは視認されず、殆ど問題とならない一方で、電荷検出部間のリセットバラツキが問題になってくる。リセットバラツキを除去するためには、電荷検出部以降にたとえばＣＤＳ（Correlated Double Sampling：相関２重サンプリング）回路を設けるのが望ましく。ＣＤＳ回路の規模（ＣＤＳ回路面積の大部分は数ｐＦの容量である）を考えると、ＣＤＳ回路の数を少なくできる方式が望ましい。

この場合、垂直ＣＣＤ列ごとに設けた電荷検出部からの出力信号をスイッチで切り替えて１つのＣＤＳ回路に入力する第１の方

式と、複数垂直ＣＣＤ列ごとに１つの電荷検出部を設け、この電荷検出部ごとに１つのＣＤＳ回路を設ける第２の方式とが考えられる。

しかしながら、第１の方式では、ＣＤＳ回路の数が減るものの、ＣＤＳ回路部分での処理周波数が水平ＣＣＤのクロック周波数と等しく、多画素化の上で問題となる。つまり、クロック周波数が高いという問題が、水平ＣＣＤからＣＤＳ回路に移ったに過ぎない。この点に鑑みれば、複数垂直ＣＣＤ列ごとに１つの電荷検出部を設ける第２の方式の方が望ましい。

しかし、第２の方式では、複数垂直ＣＣＤ列を切り替えて信号電荷を読み出すための選択ゲートＶＯＧ（読出ゲート）を垂直ＣＣＤと電荷検出部の間に設けなければならない。垂直ＣＣＤと電荷検出部との間に選択ゲートを設けることは、図１９（Ａ）に示すように、「スキャニング読出方式」を等価回路から考えると可能であるが、実際のパターンを考えると、読出ゲートへの選択線の配線が問題となってくる。

すなわち、図１９（Ｂ）に示すように、たとえば４つの垂直ＣＣＤ列１１を１つの電荷検出部１２に割り当てると、外側のカラムＡ，Ｄは、選択ゲート１３Ａ、１３Ｄへの選択線をパターニングできるが、内側の中央に存在するカラムＢ，Ｃは、スペースがなく、斜線で示す選択ゲート１３Ｂ、１３Ｃへの選択線を実パターンとして形成することは難しい。フローティングデフュージョンＦＤ上にパターニングすることも考えられるが、ノイズが発生するという新たな問題を招く。

以上述べたように、従来のＣＣＤ固体撮像素子は、多画素化に伴う、感度低下および水平ＣＣＤのクロック周波数の低減問題が依然として解決できていない。

発明の開示

本発明は、クロック周波数と感度の両面を改善することのできるＣＣＤ固体撮像素子、およびこのＣＣＤ固体撮像素子を駆動する方法、並びにＣＣＤ固体撮像素子を用いた撮像方法および撮像装置を提供することを目的とする。

本発明に係る第１の固体撮像素子は、水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部と、垂直列電荷転送部と電荷検出部との間に配された、複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部とを備えた。

この第１の固体撮像素子において、隣接する複数の垂直列電荷転送部は、垂直転送駆動用の電極が共通に使用されたものとするのが望ましい。

また、隣接する２列の垂直列ごとに電荷検出部を設けてもよい。この場合、ダミー電荷転送部は、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相を、１８０度反転させる分だけ、電荷転送の段数が異なるものとする。

本発明に係る第２の固体撮像素子は、水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。また、隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させ

るときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極を形成した。

本発明に係る第１あるいは第２の固体撮像素子において、電荷検出部は、フローティングデフュージョン（浮遊拡散層）を信号電荷の入力側に備えたものであるとよい。そしてこの場合、信号電荷の入力側に、隣接する複数の垂直列について共用される、信号電荷を読み出すための読出ゲートを有するものとするのが望ましい。また、読出ゲートへの配線は、隣接する他の電荷検出部についての読出ゲートへの配線と共用されていてもよい。

このように、上記第１および第２の固体撮像素子は、要するに、複数の感光部と、この感光部により得た信号電荷を垂直列方向に転送する垂直列電荷転送部と、各垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備え、その隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成されているものであればよい。

そして、これを実現する具体的手段として、電荷転送の段数が異なるようにしたダミー電荷転送部を利用したものが第１の固体撮像素子であり、垂直転送制御信号（転送パルス）が印加される垂直転送電極の形成態様にて対応をとったものが第２の固体撮像素子である。

本発明に係る第３の固体撮像素子は、前記第１および第２の固体撮像素子とは異なる観点からのものであり、水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する２つの垂直列ごとに

設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。そして、電荷検出部の信号電荷の入力側に、２つの垂直列についてそれぞれ独立に設けられた、信号電荷を読み出すための選択ゲートを設けた。

本発明に係る第１、第２、あるいは第３の固体撮像素子において、電荷検出部は、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを電荷検出部ごとに有するものであるとよい。

あるいは、電荷検出部の後段に、画素信号における信号電荷のないときの出力と信号電荷のあるときの信号レベルの差を検知する差動検知部を備えたものとすることが望ましい。

また、隣接する複数の垂直列についての電荷検出部が、さらに複数の垂直列を組として垂直列の方向に複数個設けられており、この複数個の電荷検出部の後段に、複数個の電荷検出部のそれぞれから出力された画素信号を水平列の方向に順次時系列に選択して出力する水平走査部を備えたものとすることが望ましい。

本発明に係る固体撮像素子の駆動方法は、本発明に係る第１、第２、あるいは第３の固体撮像素子を駆動する方法であって、隣接する複数の垂直列についての画素信号が、垂直列の方向への信号電荷の転送における異なる位相で出力されるよう駆動することとした。

そしてたとえば、電荷検出部が、信号電荷の入力側に、信号電荷を読み出すための選択ゲートと、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを有している場合、選択ゲートがオフのときにリセットゲートをオンさせることで、隣接する複数の垂直列について順に読み出す。

本発明に係る撮像方法は、本発明に係る第１、第２、あるいは第３の固体撮像素子を用いて撮像信号を得る撮像方法であって、

最初に、隣接する複数の垂直列についての画素信号を、垂直列の方向への信号電荷の転送における異なる位相で取得する。次に、この取得した画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る。最後に、複数の垂直列の並び順に応じて撮像信号の画素信号を水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る。

本発明に係る撮像装置は、本発明に係る第１、第２、あるいは第３の固体撮像素子を用いて撮像信号を得る装置であって、固体撮像素子から、垂直列の方向への信号電荷の転送における異なる位相で出力された画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る水平走査部と、複数の垂直列の並び順に応じて　水平走査部から出力された撮像信号の画素信号を水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る水平列整合部とを備えた。

第１の固体撮像素子は、複数の垂直列に対して１つの電荷検出部を割り当てるとともに、垂直列電荷転送部と電荷検出部との間にダミー電荷転送部を設けた。これにより、複数の垂直列に対して、垂直転送電極や選択ゲート用の電極などの種々の電極やゲートを共用できるようにした。

第２の固体撮像素子は、複数の垂直列に対して１つの電荷検出部を割り当てるとともに、隣接する複数の垂直列電荷転送部に対して、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相が異なるように垂直転送駆動用の電極を形成した。そしてこれにより、複数の垂直列に対して、垂直転送電極や選択ゲート用の電極などの種々の電極やゲートを共用できるようにした。

第３の固体撮像素子は、２本の垂直列に対して１つの電荷検出部を割り当てるとともに、電荷検出部の信号電荷の入力側に、信号電荷を読み出すための選択ゲートを２つの垂直列について独立に設けた。これにより、選択ゲートへの選択線の配線の問題を解消する。

本発明に係る駆動方法においては、隣接する複数の垂直列についての画素信号が、垂直転送における異なる位相で出力されるよう駆動することとした。そして、本発明に係る撮像方法および装置においては、この垂直転送における異なる位相で取得された画素信号を水平列方向に順次時系列に選択することで、各位相についての撮像信号を得る。そして、垂直列の並び順に応じて画素信号を水平列方向に並び替えることで、撮像エリア上の撮像画像情報と撮像信号とが同一の配列となるようにした。

以上のように、本発明の第１の形態による固体撮像素子（たとえば第１，第２の固体撮像素子）は、隣接する複数の垂直列を纏めて１つの電荷検出部に割り当て、さらに、電荷検出部との間の垂直転送の段数を違える、電極配置を工夫する、あるいは駆動パルスタイミングを調整するなどして、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成した。これにより、複数垂直列に対して選択ゲートＶＯＧを独立に設ける必要がなくなり、配線上の制約が非常に少なくなり、後段のＣＤＳ回路などのスペースを確保することができる。

また、本発明の第２の形態による固体撮像素子（たとえば第３の固体撮像素子）、即ち２列分を１つの電荷検出部に割り当て、垂直列からの電荷転送を制御する切替機構（選択ゲート）を独立に設けた構成では、第１の形態よりも選択ゲートへの配線数は増えるが、中央部の選択ゲートへの配線スペースは問題とならない。

このように、本発明の固体撮像素子は、各列に共通の垂直転送電極を使用することや、その複数列に共通の選択ゲートを使用して配線上の制約を減らしつつ、電荷検出部にて変換された各垂直列の画素信号を水平方向に順次切り替えることで水平方向の信号取り出しを実現するので、水平方向用の電荷転送部（水平ＣＣＤなど）を用いずに、信号電荷に対応した撮像信号を得ることができる。

水平方向用の電荷転送部を用いないので、固体撮像素子の画素数を多くした際に問題になる水平クロック周波数が限界になる問題を解消できる。

垂直列ごとに信号を読み出すことができるので、多画素化のために生じる一画素当たりの感度低下を、隣接画素（もしくは２画素離れた所にある同色画素）の信号を利用して、補完することができる。

図面の簡単な説明

図１は本発明に係るＣＣＤ固体撮像素子を用いた撮像装置の第１実施形態を示す概略構成図である。

図２は第１実施形態のＣＣＤ固体撮像素子における、垂直ＣＣＤと読出処理部との境界部分近傍を示した模式的平面図である。

図３は第１実施形態のＣＣＤ固体撮像素子における、垂直ＣＣＤと読出処理部との境界部分近傍を示した模式的断面図である。

図４は第１実施形態のＣＣＤ固体撮像素子における、垂直ＣＣＤおよびダミー垂直ＣＣＤを駆動する垂直転送パルスφＶ１～φＶ６のタイミングチャートの模式図である。

図５は第１実施形態のＣＣＤ固体撮像素子における、垂直ＣＣＤおよびダミー垂直ＣＣＤを構成する垂直転送電極と印加される垂直転送パルスφＶ１～φＶ６の関係を説明する図である。

図６は第１実施形態のＣＣＤ固体撮像素子における、垂直ＣＣＤおよびダミー垂直ＣＣＤを駆動する垂直転送パルスφＶ１～φＶ６と、電荷転送との関係を説明する図である。

図７は垂直転送電極の配置を変えることで、電荷転送を逆相にする一例を説明する垂直転送パルスφＶ１～φＶ６のタイミングチャートの模式図である。

図８Ａは垂直転送電極の配置を変えることで、電荷転送を逆相にする１例を説明する垂直転送電極と印加される垂直転送パルスφＶ１～φＶ６の関係を説明する図であり、図８Ｂは垂直転送電極のパターニングの模式図である。

図９は第１実施形態のＣＣＤ固体撮像素子における、垂直転送パルスと電荷転送との関係を説明する図である。

図１０Ａは読出処理部における、１ユニット分の第２の構成例を示す回路図であり、図１０Ｂは各信号波形図である。

図１１は読出処理部における、１ユニット分の第２の構成例を示す回路図である。

図１２Ａは読出処理部の後段に繋がる信号処理回路を含めた撮像装置の全体構成の一例を示したブロック図であり、図１２Ｂはその要部のブロック図である。

図１３は第１実施形態のＣＣＤ固体撮像素子の第１変形例を説明する図である。

図１４は第１実施形態のＣＣＤ固体撮像素子の第２変形例を説明する図である。

図１５は第１実施形態のＣＣＤ固体撮像素子を４相駆動する場合の変形例を説明する図である。

図１６Ａは第３実施形態のＣＣＤ固体撮像素子を説明する要部の回路図であり、図１６Ｂはその模式的平面図である。

図１７は従来型のＣＣＤ固体撮像素子を示す構成図である。

図１８は従来型ＣＣＤ固体撮像素子を駆動する転送パルスのタイミングチャートの模式図である。

図１９Ａは従来型の「スキャニング読出方式」の問題を説明する要部の回路図であり、図１９Ｂはその模式的平面図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態について詳細に説明する。

図１は、本発明に係るＣＣＤ固体撮像素子を用いた撮像装置の第１実施形態を示す概略構成図であり、インターライン転送方式のＣＣＤエリアセンサに適用した場合を示す。

図１に示す撮像装置２０は、撮像エリア１００および撮像エリア１００に対して図面上の下側に配された読出処理部２００を有するＣＣＤ固体撮像素子１０と、ＣＣＤ固体撮像素子１０を駆動する外部回路３０と備えている。

外部回路３０は、ＣＣＤ固体撮像素子４０に対して、ドレイン電圧V_{DD}、ゲート電圧V_{GG}、あるいはリセットドレイン電圧V_{RD}などの所望の駆動電圧を供給する駆動電源７０と、垂直転送パルスφＶ１～φＶ６、読出パルスX_{SG}、選択ゲート電圧（固定電圧）V_{OG}、リセットゲートパルスφＲＧ、クランプパルスＣＬＰ、ホールドパルスＨＰなどのＣＣＤ固体撮像素子４０を駆動するための種々のパルス信号、あるいは列選択パルス生成部２８０に対しての制御信号ＣＮＴなどを生成するタイミングジェネレータ（ＴＧ）８０を含む。

この撮像装置２０を構成するＣＣＤ固体撮像素子４０は、半導体基板上に、画素（ユニットセル）に対応して受光素子の一例であるＰＮ接合のフォトダイオードなどからなる感光部（センサ部；フォトセル）１２０が多数、垂直（行）方向および水平方向

（列）方向において２次元マトリクス状に配列されている。これら感光部１２０は、受光面から入射した入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する。

またＣＣＤ固体撮像素子４０は、感光部１２０の垂直列ごとにそれぞれ６相駆動に対応する複数本（本例では１ユニットセル当たり６本）の垂直転送電極Ｖ１～Ｖ６を有した垂直列電荷転送部の一例である垂直ＣＣＤ１３０が配列されている。垂直転送電極Ｖ１～Ｖ６は、隣接する垂直ＣＣＤ１３０に対して、撮像エリア１００では、同一の水平列の感光部１２０の信号電荷が同相で電荷検出部２１０側に転送されるように、図中水平列方向にほぼ真っ直ぐに延びている。

２次元マトリクス状に配列された多数の感光部１２０と、これら感光部１２０の垂直列ごとに設けられ、各感光部１２０から読出ゲート部（図示せず）を介して読み出された信号電荷を垂直転送する複数本の垂直ＣＣＤ１３０とによって撮像エリア１００が構成されている。

各垂直転送電極Ｖ１～Ｖ６は、転送方向の繰返し単位を感光部１２０の１画素（すなわちユニットセル）ごととしている。転送方向は図中縦方向であり、この方向に垂直ＣＣＤ１３０が設けられている。さらに、これら垂直ＣＣＤ１３０と各感光部１２０との間には読出ゲート部（トランスファゲート）ＲＯＧが介在している。また各ユニットセルの境界部分にはチャネルストップ（素子分離層）ＣＳが設けられている。さらに、複数本の垂直ＣＣＤ１３０の各転送先側端部すなわち、最後の行の垂直ＣＣＤ１３０に隣接して、読出処理部２００が設けられている。

感光部１２０の各々に蓄積された信号電荷は、外部回路３０を構成するタイミングジェネレータ８０から発せられた読出パルスX_{SG}が読出ゲート部ＲＯＧのゲート端子電極に印加され、そのゲ

ート端子電極下のポテンシャルが深くなることにより、当該読出ゲート部ＲＯＧを通して垂直ＣＣＤ１３０に読み出される。垂直ＣＣＤ１３０に読み出された信号電荷は、所定タイミングの垂直転送パルスφＶ１～φＶ６が垂直転送電極Ｖ１～Ｖ６に印加（６電極／６相駆動という）されることで順に垂直列に沿って読出処理部２００に転送される。

読出処理部２００は、垂直ＣＣＤ１３０から順に注入される信号電荷を受けて電圧信号に変換する電荷検出部２１０と、電荷検出部２１０により変換された電圧信号の周波数帯域を制限する帯域制限部２３０と、電荷検出部２１０で発生したリセット雑音を抑圧するＣＤＳ処理部２５０と、ＣＤＳ処理部２５０から出力された電圧信号の垂直列を選択して出力する列選択部２７０とを備える。また読出処理部２００は、水平方向の走査を規定する列選択パルス（水平走査パルス）ＳＰ（ｎ）を発生し、列選択部２７０に供給する列選択パルス生成部２８０を有する。

ここで、この第１実施形態では、隣接した２本の垂直列ごとに電荷検出部２１０、帯域制限部２３０、ＣＤＳ処理部２５０、および列選択部２７０を設けていることに特徴がある。すなわち、この第１実施形態は、複数のフォトダイオードでなる感光部１２０列および各感光部１２０とそれぞれ読出ゲート部ＲＯＧを介して結合された垂直ＣＣＤ１３０からなる画素列が複数並列配置された撮像エリア１００を水平方向に垂直列の隣接する２本を１組として対応させて、それぞれ電荷検出部２１０などを設けたものである。ここでは、２本を１組とした例を示しているが、後述する他の実施形態のように、特にこの値に制限されるものではない。

読出処理部２００において、電荷検出部２１０は、撮像エリア１００の垂直ＣＣＤ１３０から順に注入される信号電荷を図示しないフローティングデフュージョンに蓄積し、たとえば図示しな

いソースフォロア構成の出力回路を介して、タイミングジェネレータ８０から発せられた選択ゲート電圧VOGやリセットゲートパルスφＲＧの制御の元に、信号電荷を電圧信号に変換して画素信号（ＣＣＤ出力信号）として出力する。

電荷検出部２１０により電圧信号に変換された画素信号は、その後、帯域制限部２３０により信号の周波数帯域が制限され、次にＣＤＳ処理部２５０により電荷検出部２１０で発生したリセット雑音が抑圧される。列選択部２７０は、列選択パルス生成部２８０から供給された列選択パルスＳＰ（ｎ）がアクティブなときＣＤＳ処理部２５０からの電圧信号を出力信号線２９０に出力する。

すなわち、垂直方向の奇数列と偶数列についての電圧信号を、奇数列と偶数列の別に（時分割で）、列選択部２７０により水平方向に順に切り替えて読み出すことで、異なる位相で出力される奇数列と偶数列のそれぞれについての撮像信号を得る。つまり、画像再生手段２７０および列選択パルス生成部２８０により、本発明に係る水平走査部が構成される。

図２及び図３は、第１実施形態のＣＣＤ固体撮像素子４０における、垂直ＣＣＤ１３０と読出処理部２００との境界部分近傍を表した図である。図２は平面模式図、図３は、垂直列方向の断面模式図である。

図示するように、電荷検出部２１０の前段である垂直ＣＣＤ１３０側には、フローティングデフュージョン構成のアンプＦＤＡを設ける。すなわち、アンプＦＤＡは、選択ゲートＶＯＧ、Ｎ＋領域であるフローティングデフュージョン（浮遊拡散層）ＦＤ、リセットゲート線ＲＧ、Ｎ＋領域であるリセットドレインＲＤなどからなる。垂直ＣＣＤ１３０の奇数列であるカラムＡ，Ｃ，Ｅ，...と偶数列であるカラムＢ，Ｄ，Ｆ，...の、それぞれ隣接した２

本の垂直列に対するように、１つの電荷検出部２１０が設けられている。

垂直ＣＣＤ１３０の上部には、複数の垂直転送電極（ここでは、１画素当たり６つの垂直転送電極Ｖ１～Ｖ６）が形成されており、各カラム間にはチャネルストップＣＳが形成され、チャネルストップＣＳには図示しない感光部１２０および読出ゲート部ＲＯＧが設けられている。

電荷検出部２１０の選択ゲートＶＯＧ側と撮像エリア１００の垂直ＣＣＤ１３０との間には、ダミー電荷転送部の一例であるダミー垂直ＣＣＤ１３２が設けられている。ダミー垂直ＣＣＤ１３２は、遮光膜で覆われている。ダミー垂直ＣＣＤ１３２の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列については転送電極Ｖ１～Ｖ３に相当する３段、偶数列についてはＶ１～Ｖ６の６段が設けられている。つまり垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２の全体からなる垂直ＣＣＤの長さ（電極に対応するレジスタの段数）を、３つのレジスタ分だけ違えてある。

垂直ＣＣＤ１３０の転送電極Ｖ１～Ｖ６およびダミー垂直ＣＣＤ１３２の転送電極Ｖ１～Ｖ６には、共通に、順に後述するタイミングの垂直転送パルスφＶ１～φＶ６が印加される。

ダミー垂直ＣＣＤ１３２の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列についてはＶ１～Ｖ３の３段、偶数列についてはＶ１～Ｖ６の６段が設けられている。これにより、奇数列，偶数列の両者について同じ垂直転送パルスφＶ１～φＶ６を使用しても、垂直ＣＣＤ１３０から電荷検出部２１０への信号電荷の転送位相（読出フェーズ）が１８０度ずれ、それぞれ異なるタイミングで電荷検出部２１０（本例ではフローティングデフュージョンＦＤ）に到達するようにしている。

つまり、フローティングデフュージョンＦＤに繋がるダミー垂

直ＣＣＤ１３２の長さ（電荷井戸の段数）を変え、フローティングデフュージョンＦＤへの到達時における２列の垂直ＣＣＤ１３０の電荷転送用位相を１８０度ずらしてやることによって、垂直ＣＣＤ１３０を選択するための選択ゲートＶＯＧを垂直ＣＣＤ１３０ごとに２つ用いることなく、単一のフローティングデフュージョンＦＤへの選択ゲートＶＯＧのみで２列の垂直ＣＣＤ１３０の信号電荷を１つのフローティングデフュージョンＦＤに移すことができるようにしている。この結果、従来型の「スキャニング読出方式」と比較して、ゲートに繋がる配線の数を減らすことができ、素子面積を有効に活用できるようになる。

なお、ダミー垂直ＣＣＤ１３２の段数は、図示した例に限らず、垂直転送の位相数、転送電極数、１つの電荷検出部２１０に対する垂直列数などに応じて、それぞれのカラムの信号電荷が電荷検出部２１０（本例ではフローティングデフュージョンＦＤ）に、転送の１周期においてそれぞれ異なる位相（タイミング）で到達するように、適宜変更すればよい。また、図示した例においても、たとえば奇数列および偶数列に共通のＶ１～Ｖ３の部分を取り除いて、奇数列については０段、偶数列については３段とするなど、奇数列の段数Ｄａと偶数列の段数Ｄｂとの間に、“Ｄｂ＝Ｄａ＋３”なる関係があればよい。また、“Ｄａ＝Ｄｂ＋３”というように、奇数列と偶数列との関係を逆にしてもよい。

図４～図６は、第１実施形態のＣＣＤ固体撮像素子４０における、垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２を駆動する垂直転送パルスφＶ１～φＶ６と、電荷転送との関係を説明する図である。ここで、図４は、６相駆動の垂直転送パルスφＶ１～φＶ６の基本形のタイミングチャートである。図５は垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２における奇数列と偶数列の転送電極Ｖ１～Ｖ６とこれに印加される６層の転送パルスφＶ１

～φＶ６の関係を示す模式図である。また図６は、図５に示す垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２における電圧ポテンシャルと電荷転送の関係を示す模式図である。

前述のように、垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２の各転送電極Ｖ１～Ｖ６に対応するレジスタ（電荷井戸；チャージパケット）は、図４に示す垂直転送パルスφＶ１～φＶ６で共通に駆動される。

図５に示すように、４つの転送電極Ｖ１，Ｖ２，Ｖ３，Ｖ４，Ｖ５，Ｖ６を、図の左側から順に繰り返して配列した電極構造において、転送電極Ｖ１に１相目の垂直転送パルスφＶ１を、転送電極Ｖ２に２相目の垂直転送パルスφＶ２を、転送電極Ｖ３に３相目の垂直転送パルスφＶ３を、転送電極Ｖ４に４相目の垂直転送パルスφＶ４を、転送電極Ｖ５に５相目の垂直転送パルスφＶ５を、転送電極Ｖ６に６相目の垂直転送パルスφＶ６を、それぞれ印加するものとする。そして、図６に示すように、垂直転送パルスφＶ１～φＶ６をオンさせ転送電極Ｖ１～Ｖ６に高電圧を印加すると、対応する転送電極下のポテンシャルが深くなり電荷井戸（レジスタ）が形成される。また、垂転送パルスφＶ１～φＶ６をオフさせて転送電極Ｖ１～Ｖ６に低電圧を印加すると、対応する転送電極下のポテンシャルが浅くなり、電位障壁が形成される。

時刻Ｔ０では、転送電極Ｖ１に高電圧、転送電極Ｖ２，Ｖ３，Ｖ４，Ｖ５，Ｖ６に低電圧が加えられることで、転送電極Ｖ１の下のポテンシャルが深く、転送電極Ｖ２～Ｖ６の下のポテンシャルが浅くなり、転送電極Ｖ１の下に電荷井戸が形成され信号電荷が蓄積され、転送電極Ｖ２～Ｖ６の下は障壁となり信号の混入を防止している。電荷蓄積のパケットサイズは２電極分としている。

次に時刻Ｔ１では、転送電極Ｖ１は高電圧に保って電極下に電

荷井戸を形成し且つ転送電極Ｖ３～Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ２を高電位に遷移する。これにより、電極Ｖ２の下のポテンシャルが深くなることで、２つの電極Ｖ１，Ｖ２による電荷井戸が形成され、それ以前（時刻Ｔ０とする）に転送電極Ｖ１の下に蓄積されていた信号電荷が転送電極Ｖ２側にも移動する。

時刻Ｔ２では、転送電極Ｖ２は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ３～Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ１を低電位に遷移する。これにより、転送電極Ｖ１の下のポテンシャルが浅くなることで、転送電極Ｖ１の下の信号電荷が全て転送電極Ｖ２の下に移され、ここに信号電荷が蓄積される。

時刻Ｔ３では、転送電極Ｖ２は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１，Ｖ４～Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ３を高電位に遷移する。これにより、転送電極Ｖ３の下のポテンシャルが深くなることで、２つの電極Ｖ２，Ｖ３による電荷井戸が形成され、転送電極Ｖ２の下の信号電荷が転送電極Ｖ３側にも移動する。

時刻Ｔ４では、転送電極Ｖ３は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１，Ｖ４～Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ２を低電位に遷移する。これにより、転送電極Ｖ２の下のポテンシャルが浅くなることで、転送電極Ｖ２の下の信号電荷が全て転送電極Ｖ３の下に移され、ここに信号電荷が蓄積される。

時刻Ｔ５では、転送電極Ｖ３は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１，Ｖ２，Ｖ５，Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ４を高電位に遷移する。これにより、電極Ｖ４の下のポテンシャルが深くなることで、２つ

の電極Ｖ３，Ｖ４による電荷井戸が形成され、転送電極Ｖ３の下に蓄積されていた信号電荷が転送電極Ｖ４側にも移動する。

時刻Ｔ６では、転送電極Ｖ４は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１，Ｖ２，Ｖ５，Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ３を低電位に遷移する。これにより、転送電極Ｖ３の下のポテンシャルが浅くなることで、転送電極Ｖ３の下の信号電荷が全て転送電極Ｖ４の下に移され、ここに信号電荷が蓄積される。

この時刻Ｔ１から時刻Ｔ６までの一連の駆動により、転送電極Ｖ１の下の信号電極が、転送電極Ｖ４の下まで転送される。この時刻Ｔ１～Ｔ６は垂直転送パルスφＶ１～φＶ４の１周期のほぼ半分である。

続いて、時刻Ｔ７では、転送電極Ｖ４は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１，Ｖ２，Ｖ３，Ｖ６は低電位に保って障壁を形成したままで、転送電極Ｖ５を高電位に遷移する。これにより、転送電極Ｖ５の下のポテンシャルが深くなることで、２つの電極Ｖ４，Ｖ５による電荷井戸が形成され、転送電極Ｖ４の下の信号電荷が転送電極Ｖ２側にも移動する。

時刻Ｔ８では、転送電極Ｖ５は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１～Ｖ３，Ｖ６低電位に保って障壁を形成したままで、転送電極Ｖ４を低電位に遷移する。これにより、転送電極Ｖ４の下のポテンシャルが浅くなることで、転送電極Ｖ４の下の信号電荷が全て転送電極Ｖ５の下に移され、ここに信号電荷が蓄積される。

時刻Ｔ９では、転送電極Ｖ５は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ１～Ｖ４は低電位に保って障壁を形成したままで、転送電極Ｖ６を低電位に遷移する。これにより、転送電極Ｖ６の下のポテンシャルが深くなることで、２つの電極

Ｖ５，Ｖ６による電荷井戸が形成され、転送電極Ｖ５の下の信号電荷が転送電極Ｖ６側にも移動する。

時刻Ｔ１０では、転送電極Ｖ６は高電圧を保って電極下に電荷井戸を形成し且つ転送電極Ｖ１～Ｖ４は低電位に保って障壁を形成したままで、転送電極Ｖ５を低電位に遷移する。こにより、転送電極Ｖ５の下のポテンシャルが浅くなることで、転送電極Ｖ５の下の信号電荷が全て転送電極Ｖ６の下に移され、ここに信号電荷が蓄積される。

時刻１１では、転送電極Ｖ６は高電圧に保って電極下に電荷井戸を形成し且つ転送電極Ｖ２～Ｖ５は低電位に保って障壁を形成したままで、転送電極Ｖ１を低電位に遷移する。これにより、転送電極Ｖ１の下のポテンシャルが深くなることで、２つの電極Ｖ６，Ｖ１による電荷井戸が形成され、転送電極Ｖ６の下の信号電荷が転送電極Ｖ１側にも移動する。

そして、時刻Ｔ１２では、転送電極Ｖ１は高電圧を保って電極下に電荷井戸を形成し且つ転送電極Ｖ２～Ｖ５は低電位に保って障壁を形成したままで、転送電極Ｖ６を低電位に遷移する。こにより、転送電極Ｖ６の下のポテンシャルが浅くなることで、転送電極Ｖ６の下の信号電荷が全て転送電極Ｖ１の下に移され、ここに信号電荷が蓄積される。

この時刻Ｔ７から時刻Ｔ１２までの一連の駆動により、転送電極Ｖ４の下の信号電荷が、転送電極Ｖ１の下まで転送される。この時刻Ｔ７～Ｔ１２は、垂直転送パルスφＶ１～φＶ６の１周期のほぼ半分である。

そして、以上のことから分かるように、時刻Ｔ０から時刻Ｔ１２までの一連の駆動で、時刻Ｔ０にて転送電極Ｖ１の下に蓄積されていた信号電荷が、１画素分だけ離れた転送電極Ｖ１の下まで転送される。そして、時刻Ｔ６と時刻Ｔ１２（Ｔ０と等価）とで

は、電荷転送が１８０度ずれた状態（逆相）となっている。なお、時刻Ｔ２と時刻Ｔ６とでも、時刻Ｔ４とＴ８とでも電荷転送が１８０度ずれた状態となっている。

このように、上記によれば、６相駆動の１／６周期（６０度位相ずれ）で１電極分、１／３周期（１２０度位相ずれ）で２電極分、１／２周期（１８０度位相ずれ）で３電極分を電荷転送でき、１周期で６電極分の電荷転送ができる。つまり、の駆動方式では、奇数列と偶数列の各ダミー垂直ＣＣＤ１３２について、垂直転送電極３つ分（３レジスタ分）を違えることで、奇数列と偶数列とに垂直転送電極Ｖ１～Ｖ６を共通に使用しても、電荷検出部２１０に信号電荷が到達する位相が１８０度ずれた状態を形成できる。

そして、垂直転送パルスφＶ１からφＶ６の１周期（図６に示したＴ１～Ｔ１２）により、奇数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、奇数列の信号電荷はまだ到達しない。

したがって、選択ゲート電圧 V_{OG} を固定電圧とした状態で、時刻Ｔ１～Ｔ６で信号電荷を垂直転送し、水平走査することで奇数列の読出しを完結させる。次いで、リセットゲートパルスφＲＧをオンさせてフローティングデフュージョンＦＤをクリアした後、残りの時刻Ｔ７～Ｔ１２にて信号電荷を垂直転送し、水平走査することで偶数列を完結させる。このような処理を繰り返すことで、１画面分（撮像エリア１００の全体分）の信号電荷に応じた時系列の画素信号を出力信号線２９０から出力することができる。

なお、上記説明から推測されるように、電荷転送が１８０度ずれた状態（逆相）を形成するには、垂直転送電極Ｖ１～Ｖ６を共用するのではなく、奇数列と偶数列とについて、それぞれ独立に

駆動可能な垂直転送電極Ｖ１～Ｖ６を使用してもよい。この場合、ダミー垂直ＣＣＤ１３２は不要となり、垂直ＣＣＤは同じ長さであってもかまわない。ただし、奇数列と偶数列とについて、独立に垂直転送電極Ｖ１～Ｖ６をレイアウト(形成)する必要がある。したがって、垂直転送電極側でのパターニングが難しくなる。

図７及び図８は、垂直転送電極Ｖ１～Ｖ６の配置を変えることで、この問題を解消しつつ、電荷転送を逆相にする一例を説明する図である。本例では、垂直転送電極Ｖ１～Ｖ４を共用し、且つダミー垂直ＣＣＤ１３２を設けることなく、同一の水平列の感光部１２０の信号電荷が電荷検出部２１０に到達するときの電荷転送の位相が逆相となるようにしている。図８（Ａ）に示すように、奇数列と偶数列とは、同一水平列における垂直転送電極Ｖ１～Ｖ６の配列が逆相となるようにしている。このようにパターニングするには、たとえば図８（Ｂ）に模式的にジグザグ状にパターニングすればよい。

このように構成することで、垂直転送電極Ｖ１～Ｖ６、選択ゲートＶＯＧ用の電極など種々の電極を共用し、偶数列と奇数列とで共通の垂直転送パルスφＶ１～φＶ６を用い、さらにダミー垂直ＣＣＤ１３２を設けなくても、フローティングデフュージョンＦＤ側に逆相で信号電荷を転送することができる。つまり、奇数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、奇数列の信号電荷はまだ到達しない。

図９は、第１実施形態のＣＣＤ固体撮像素子を使用する場合における、垂直転送と水平方向の読出しを説明するタイミングチャートであり、１水平走査期間における、垂直方向へ電荷転送と出力信号線２９０から時系列の画素信号を得るまでの全体像を示し

ている。

前述のように、垂直ＣＣＤ１３０およびダミー垂直ＣＣＤ１３２の各転送電極Ｖ１～Ｖ６に対応するレジスタ（電荷井戸）は、全て同一の垂直転送パルスφＶ１～φＶ６で駆動される。また、リセットゲートパルスφＲＧは、対応する電極が共通に形成されているので、当然に、奇数列と偶数列とで共通に使用される。

図９に示す１つの水平期間における奇数列あるいは偶数列の各読出期間の期間に、垂直転送パルスφＶ１～φＶ６を図示したタイミングで駆動することで、垂直転送パルスφＶ１～φＶ６下部のレジスタに蓄積されていた奇数列および偶数列の各信号電荷は順次、並列的（同時）にダミー垂直ＣＣＤ１３２側に転送される。垂直ＣＣＤ１３０の最終段の画素に対応するレジスタまで転送された各列の信号電荷は、ダミー垂直ＣＣＤ１３２を介して電荷検出部２１０のフローティングデフュージョンＦＤに移される。

これにより、フローティングデフュージョンＦＤの電位が変化し、その電位が図示しないソースフォロワ型の増幅器を介して検出される。信号電荷が検出された後、リセットゲートパルスφＲＧによりリセットゲート線（電極）ＲＧをオンすることで、フローティングデフュージョンＦＤの電位はＮ＋領域であるリセットドレインの電圧V_{RD}にリセットされる。

ここで、ダミー垂直ＣＣＤ１３２において、奇数列と偶数列とのレジスタ（電荷井戸）は３段分ずれており、垂直転送パルスφＶ１～φＶ６の１周期（図示したＴ１～Ｔ１２）において、信号電荷が１８０度ずれて（逆位相で）フローティングデフュージョンＦＤに到達するようにされている。このため、奇数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンＦＤに到達したときには、奇数列の

信号電荷はまだ到達しない。

したがって、Ｔ１からＴ１２の各タイミングで垂直転送パルスφＶ１～φＶ６を図示したタイミングで駆動すると、前半の奇数列読出期間（Ｔ１～Ｔ７）の時刻Ｔ６においてカラムＡ，Ｃ，Ｅ，...の奇数列の信号電荷は、フローティングデフュージョンＦＤに転送され、電荷検出部２１０にて電圧信号に変換され（信号電荷が読み出され）、さらに帯域制限部２３０およびＣＤＳ処理部２５０を経由して列選択部２７０に入力される。時刻Ｔ６と時刻Ｔ７の間で、列選択部２７０に対する列選択パルスＳＰ（ｎ）の制御、すなわち列選択パルス生成部２８０による水平走査によって、１ライン分のうちのカラムＡ，Ｃ，Ｅ，...といった奇数列の信号電荷に対応した時系列の撮像信号が出力信号線２９０に出力される。

ここで、カラムＡ，Ｃ，Ｅ，...の奇数列とカラムＢ，Ｄ，Ｆ，...の偶数列のダミー垂直ＣＣＤ１３２の長さは、ちょうど電荷転送の位相が１８０度回転するように異なっているために、奇数列読出期間のＴ１～Ｔ７においてカラムＡ，Ｃ，Ｅ，...の奇数列の信号電荷がフローティングデフュージョンＦＤに到達した時点Ｔ６では、カラムＢ，Ｄ，Ｆ，...の偶数列の信号電荷は、フローティングデフュージョンＦＤに到達していない。

列選択パルス生成部２８０により水平走査をした後の時刻Ｔ７までの間においてリセットゲートパルスφＲＧによりリセットゲートＲＧのスイッチをオンにしてフローティングデフュージョンＦＤの電位をリセットレベルに戻してフローティングデフュージョンＦＤをクリアした後、リセットゲートのスイッチをオフにする。

そして、後半の偶数列読出期間のＴ７～Ｔ１の各タイミングで垂直転送パルスφＶ１～φＶ６を図示したタイミングで駆動すると、先ほどのカラムＡ，Ｃ，Ｅ，...の動作と同様に、カラムＢ，

Ｄ，Ｆ，...の偶数列の信号電荷がフローティングデフュージョンＦＤに転送され始め、時刻Ｔ１２でフローディングデフュージョンＦＤに到達する。このとき、奇数列の信号電荷は、電荷転送の位相が１８０度ずれているので、まだフローティングデフュージョンＦＤには到達していない。

偶数列の信号電荷は、フローティングデフュージョンＦＤに転送後、電荷検出部２１０にて電圧信号に変換され（信号電荷が読み出され)、さらに帯域制限部２３０およびＣＤＳ処理部２５０を経由して列選択部２７０に入力される。時刻Ｔ１２と次の水平走査期間の時刻Ｔ１までの間で、列選択部２７０に対する列選択パルスＳＰ）ｎ）の制御、すなわち列選択パルス生成部２８０による水平走査によって、１ライン分のうちのカラムＢ，Ｄ，Ｆ・・・といった偶数列の信号電荷に対応した時系列の撮像信号が出力信号線２９０に出力される。

したがって図示するように、奇数列撮像信号の出力信号線２９０への出力を完結させ、偶数列撮像信号の出力信号線２９０への出力を完結させる、という処理を繰り返すことで、１水平走査期間分の信号電荷に応じた時系列の画素信号を出力信号線２９０から出力することができる。そして、この１水平走査期間分の処理を順に繰り返すことで、１画面分の信号電荷に応じた撮像信号を出力信号線２９０から出力することができる。

このように、隣接する垂直ＣＣＤの複数列（前例では奇数列および偶数列）の段数を違えて１組に纏めて１つの電荷検出部に割り当てることで、奇数列および偶数列の各信号電荷を時分割で順次電荷検出部側に読み出すことができる。そして、たとえばフローティングデフュージョンＦＤを使用した電荷検出部２１０とする場合、その複数列（前例では奇数列および偶数列）に共通の選択ゲートＶＯＧを設けることにより、選択ゲートＶＯＧに繋がる

配線の数を減らすことができ、たとえばＣＤＳ処理部２５０を内蔵するなどといった点で、面積を有効的に活用できるようになる。また、電荷検出部２１０以降の回路も電荷検出部２１０の数と同じだけあればよく、複数列（前例では奇数列および偶数列）を１組に纏めた分だけ削減できるので、消費電力を減らすことができる。

図１０は、読出処理部２００における、電荷検出部２１０、帯域制限部２３０、ＣＤＳ処理部２５０、および列選択部２７０についての、１ユニット分の第１の構成例を示す図であって、図１０（Ａ）は回路図、図１０（Ｂ）は動作を説明するタイミングチャートである。

この読出処理部２００において、電荷検出部２１０は、ＣＣＤ固体撮像素子１０に内蔵型の前段出力部（プリアンプ）を構成するものであり、駆動ＭＯＳトランジスタ（ＤＭ；ＤｒｉｖｅＭＯＳ）ＤＭと、負荷ＭＯＳトランジスタ（ＬＭ；ＬｏａｄＭＯＳ）ＬＭによるソースフォロア（電流増幅回路）構造を有し、またリセットゲートパルスφＲＧに基づいて制御されるリセットゲート端子を有するＭＯＳトランジスタ（ＲＧＴｒ）を備え、垂直ＣＣＤ１３０からの信号電荷を電圧信号に変換する機能を備える。なお、図では、１段構成のソースフォロアとしているが、複数段のソースフォロアとしてもよい。

駆動ＭＯＳトランジスタＤＭのゲートには、垂直ＣＣＤ１３０から選択ゲートＶＯＧを介して供給される信号電荷を蓄積するフローティングデフュージョンＦＤが接続され、また信号電荷を排出するためのリセットドレイン電源ＶＲＤの間にリセットゲートＲＧ用のＭＯＳトランジスタＲＧＴｒのソースが接続されている。フローティングデフュージョンＦＤは、選択ゲートＶＯＧを介して、奇数列（ｏｄｄ）と偶数列（ｅｖｅｎ）の２列分の垂直ＣＣ

Ｄ１３０が接続され、フローティングデフュージョンアンプＦＤＡが構成されている。リセットドレイン電源ＶＲＤは、電源ＶＤＤと共通としてもよい。

この電荷検出部２１０において、選択ゲートＶＯＧには所定の選択ゲート電圧V_{OG}が印加され、リセットゲート線ＲＧには信号電荷の検出周期でリセットゲートパルスφＲＧが印加される。そして、フローティングデフュージョンＦＤに蓄積された信号電荷は信号電圧に変換され、駆動ＭＯＳトランジスタＤＭと負荷ＭＯＳトランジスタＬＭからなるソースフォロア構成の出力回路を介して画素信号として導出される。

そして、ある時刻に初段ソースフォロアのゲート容量に蓄えられていた、直前の信号電荷がリセットゲート線ＲＧにパルスを与えるとリセットされる。このとき、端子Ａは、リセット電位になる。Ｂ点は、初段ソースフォロアの出力インピーダンスと帯域制限容量Ｃｏｕｔで決まる時定数だけ遅れて、リセット電位が確定する。Ｂ点でリセット電位が確定したとき、クランプパルスＣＬＰにパルスが入力され、そのリセット電位がクランプされる。

次に、入力パルスにより信号電荷が端子Ａに入力される。すると、端子Ａは、信号電荷の分だけ電位が下がる。そしてＢ点は、リセット時と同様に時定数だけ遅れて信号電位が確定する。このとき、ホールドパルスＨＰにパルスを与え、そのときの電位をＣ点に蓄える。Ｃ点には、信号電位とリセット電位の差の電位が蓄えられる。

その後、列選択パルス生成部２８０により列選択部２７０に列選択パルスＳＰ（ｎ）を与えることで、出力信号線２９０に撮像信号出力する。この動作において、信号電位を検出している時間とリセット電位を検出している時間を同じにしている。これは、後段のＣＤＳ処理部２５０で信号電位とリセット電位の差を取る

ときに、２つの電位が同一の帯域で制限され、同レベルの雑音成分を持つ必要があるためである。つまり、一方だけが雑音成分が低い信号であっても、差を取った信号は雑音成分が大きくなるためである。

このような構成により、初段ソースフォロアの出力インピーダンスと帯域制限容量Ｃｏｕｔで構成される低域通過フィルタで帯域を制限できるため、出力信号中に含まれる雑音成分を小さくできる。また、この読出処理部２００は、実質的に信号電荷のない期間におけるリセット電位と実質的に信号電荷のある期間の信号電位との差（出力差）を検知するＣＤＳ処理部２５０を内蔵しているため、ＣＤＳ（相関２重サンプリング）機能により、直前の電荷をリセットしたときの電位のばらつきで発生するリセット雑音や固定パターンノイズ（ＦＰＮ；Fixed Pattern Noise）も同時に抑圧することができ、Ｓ／Ｎの良好な信号を得ることができる。なお、電荷検出部２１０における変換ゲインの違いによる濃度むらは、比較的高い周波数となるので、画像上における濃度むらは視認されず、殆ど問題とならない。

また、電荷検出部２１０と同様に、垂直ＣＣＤ１３０の複数列（本例では２列）に対して、それぞれ１つの帯域制限部２３０やＣＤＳ処理部２５０を設けるだけでよく、素子面積や消費電力の削減に寄与する。また、外付けでＣＤＳ回路を構成する必要がないので、周辺回路を削減することもできる。

以上の構成は、２本の垂直ＣＣＤ１３０ごとに電荷検出部２１０などを設けたものであるが、もちろん３本以上の垂直ＣＣＤ１３０につき１つの電荷検出部２１０やＣＤＳ処理部２５０などを設け、さらなる時分割で使用してもよい。この構成では、電荷検出部２１０やＣＤＳ処理部２５０などの総数をさらに減らすことができるので、素子面積や消費電力を一層減らすことができる。

また、図２の構成において、選択ゲートＶＯＧを省略することもできる。

図１０に示した電荷検出部２１０は、フローティングデフュージョンを用いて構成した場合であるが、これに限らず、たとえばフローティングゲート（197391年 ISSCC DIGEST OF TECHNICAL PAPERS (アイ・エス・エス・シー・シー ダイジェスト オブテクニカルペーパー) pp154～155参照）を用いてもよい。フローティングゲートを用いると、直流分をカットした信号を得られるため、次段のアンプにおいて電源電圧の半分付近に動作点を持っていくことが容易にできる。そのため、電源電圧を最大限に用いたダイナミックレンジを得ることができる。

図１１は、読出処理部２００における、電荷検出部２１０、帯域制限部２３０、ＣＤＳ処理部２５０、および列選択部２７０についての、１ユニット分の第２の構成例を示す回路図である。この第２の構成例は、電荷検出部２１０以降の回路を、信号成分の検出系とリセット雑音成分の検出系といった２系統に分けて処理するようにしたものである。すなわち、帯域制限容量Ｃａを有する第１の帯域制限部２３０ａと、帯域制限容量Ｃｂを有する第２の帯域制限部２３０ｂとを用いて、信号成分とリセット雑音成分を別々に帯域制限することに特徴がある。

電荷検出部２１０と信号成分検出系の帯域制限部２３０ａとの間には、信号成分選択ＭＯＳトランジスタ２２０ａが配され、帯域制限部２３０ａは、信号成分用帯域制限容量Ｃａを有する。帯域制限部２３０ａと出力信号線２９０との間には、信号成分用列選択ＭＯＳトランジスタ２２２ａが配されている。また、電荷検出部２１０とリセット雑音成分検出系の帯域制限部２３０ｂａとの間には、リセット雑音成分選択ＭＯＳトランジスタ２２０ｂが

配され、帯域制限部２３０ｂは、リセット雑音成分用帯域制限容量を有する。帯域制限部２３０ｂと出力信号線２９０との間には、リセット雑音成分用列選択ＭＯＳトランジスタ２２２ｂが配されている。電荷検出部２１０やその周辺部は、第１の構成例と同様である。

第１の構成の動作において、端子Ａに信号成分が入力されているときには、信号成分選択ＭＯＳトランジスタ２２０ａをオンに、端子Ａにリセット雑音成分が入力されているときは、リセット雑音成分選択ＭＯＳトランジスタ２２０ｂをオンにする。すると、信号成分用帯域制限容量Ｃａに信号成分が、リセット雑音成分用帯域制限容量Ｃｂにリセット雑音成分が蓄積する。そして、列が選択されたときにリセット雑音成分用列選択ＭＯＳトランジスタ２２２ｂと信号成分用列選択ＭＯＳトランジスタ２２２ａを順にオンする。すると、出力信号線２９０には、リセット雑音成分と信号成分が順に出力され、外付けのＣＤＳ回路に入力される。

ＣＤＳ回路で発生する雑音は、図１０で示されるクランプ容量ＣＬとホールド容量Ｃｈに依存している。これらの容量をできるだけ大きくすると発生する雑音は小さくなる。この第２の構成例では、リセット雑音成分と信号成分を順に出力することにより、外付けでＣＤＳ処理を施すことができる。外付けでＣＤＳ処理を施すことにより、クランプ容量ＣＬとホールド容量Ｃｈの値を大きくすることができるため、ＣＤＳ回路で発生する雑音を小さくすることができる。

図１２は、読出処理部２００の後段に繋がる信号処理回路を含めた撮像装置２０の全体構成の一例を示したブロック図である。ここでは、第１実施形態のＣＣＤ固体撮像素子４０を使用して撮像装置２０から画像を再生するためのシステムブロック図を示す。

信号処理部３００は、出力信号線２９０と接続され、アナログ

の撮像信号をデジタルの撮像データに変換するＡ／Ｄ変換部３１０と、デジタル化された撮像データを１画面分ずつ記憶する画像記憶部（フィールドメモリ）３２０と、画像記憶部３２０のデータ書込みや読出しを制御するメモリ制御部３３０とを有する。画像記憶部３２０とメモリ制御部３３０とにより、本発明に係る水平列整合部が構成される。すなわち、読出処理部２００から出力された奇数列と偶数列のそれぞれの撮像信号の個々の画素信号を奇数列と偶数列との並びに応じて水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る水平列整合部として機能する。

また信号処理部３００は、画像記憶部３２０から読み出されたビデオデータをアナログ信号に変換するＤ／Ａ変換部３４０と、Ｄ／Ａ変換部３４０によりアナログ信号に変換されたビデオ信号に基づいて、放送フォーマットの一例であるＮＴＳＣ信号を生成するＮＴＳＣコンバータ３５０と、ＮＴＳＣコンバータ３５０から出力されたＮＴＳＣ信号に基づいて可視画像を表示するディスプレイ３６０とを有する。

この構成にいて、各感光部１２０で光電変換された信号電荷は、それぞれ対応する垂直ＣＣＤ１３０に読み出される。垂直ＣＣＤ１３０に読み出された信号電荷は、互いに隣接する複数ラインを１組としてフローティングデフュージョンＦＤを介して電荷検出部２１０に時分割で順に並列に転送される。

電荷検出部２１０に転送された各垂直列の信号電荷は、電荷検出部２１０にて電圧信号に変換され、ＣＤＳ処理部２５０によりオフセットノイズや固定パターンノイズが抑制され、列選択パルス生成部２８０による列選択部２７０に対する水平走査機能により、撮像エリア１００における個々の感光部１２０に対応する撮像信号が時系列で出力信号線２９０から出力される。

出力信号線２９０から時系列で出力された個々の感光部１２０に対応する撮像信号は、信号処理部３００に入力され、Ａ／Ｄ変換部３１０によりＡ／Ｄ変換されて画像記憶部３２０に格納される。画像記憶部３２０にはメモリ制御部３３０が接続されており、蓄積領域のアドレス設定、読み出し順序の制御などが行なわれる。

第１実施形態のＣＣＤ固体撮像素子４０の場合には、垂直ＣＣＤ１３０の奇数列と偶数列の各信号電荷が時分割で読出処理部２００に転送され電圧信号に変換された後、列選択パルス生成部２８０による列選択部２７０に対する水平走査機能により、撮像エリア１００における個々の感光部１２０に対応する撮像信号が時系列化される。したがって、水平走査期間ごとに、前半の水平走査期間には、奇数列についてのみ時系列化された撮像信号が最初に出力され、その後、後半の水平走査期間には、偶数列についてのみ時系列化された撮像信号が出力される。

この奇数列と偶数列とが時分割で出力された撮像信号がデジタル化されて画像記憶部３２０側に送られてくるが、メモリ制御部３３０により、撮像エリア１００の画素位置に対応するように書込み時の画像記憶部３２０のアドレスを設定することで、撮像エリア１００上の撮像画像情報と画像記憶部３２０の画像情報とが同一の配列となる。

このようにして、たとえば格納領域３２０－１～３２０－（２ｎ－１）には、垂直ＣＣＤ１３０における奇数列にあった信号電荷に対応する画像データを格納させ、格納領域３２０－２～３２０－（２ｎ）には、垂直ＣＣＤ１３０における偶数列にあった信号電荷に対応する画像データを格納させることができる。

画像を再生する場合には、画像記憶部３２０内の格納領域３２０－１～３２０－２ｎについて、画像データを順にシリアルデータとして読み出し、Ｄ／Ａ変換部３４０、ＮＴＳＣコンバータ３

５０を介してディスプレイ３６０に表示する。

なお、前例では、撮像エリア１００上の撮像画像情報と画像記憶部３２０の画像情報とが同一の配列となるように、メモリ制御部３３０により、画像記憶部３２０へのデータ格納時に書込み位置を制御していたが、書込み時ではなく読出時に制御してもよい。すなわち、先ず、画像記憶部３２０についての格納領域の模式図を図８（Ｂ）に示すように、画像記憶部３２０の格納領域を奇数列領域と偶数列領域とに分け、書込時にはＡ／Ｄ変換部３１０から奇数列分と偶数列分とで順に入力されるデータを、それぞれの格納領域にデータの入力順に格納する。そして読出時には、分けておいた奇数列領域と偶数列領域とから、各水平走査期間内で、Ａ，Ｂ，Ｃ，Ｄ，奇数列と偶数列のデータを交互に読み出してＤ／Ａ変換部３４０に供給する。このようにすることで、撮像エリア１００上の撮像画像情報とディスプレイ３６０上の画像とを同一の配列にすることができる。

また、図示しないが、画像記憶部３２０としてフィールドメモリを使う代わりに、奇数列および偶数列のそれぞれについて半ライン分の画素数に応じた段数のシフトレジスタ（ＦＩＦＯメモリ）およびシフトレジスタを切り替える選択回路を使用することにより、撮像エリア１００上の撮像画像情報の配列順に合った１水平ライン分の時系列の信号に変換（データを水平方向に順に並ぶように並び換える）することもできる。

以上説明したように、第１実施形態の撮像装置２０によれば、ＣＣＤ固体撮像素子の画素数を多くした際に問題になる水平ＣＣＤのクロック周波数が限界になる問題を、水平ＣＣＤを用いずに、複数の垂直ＣＣＤを１組として時分割で電荷検出部（前例ではフローティングデフュージョンを利用したアンプＦＤＡ）に転送し、この電荷検出部にて電圧信号に変換し、その後、この垂直列の電

圧信号を水平方向に順に切り替えて読み出すことで解決できる。垂直列を時分割で読み出すことによるデータ系列の並び替えは、比較的簡単な回路で実現できるので、問題ない。

加えて、時分割ではあるものの、垂直ＣＣＤごとに信号電荷を読み出すことができるので、多画素化のために生じる１画素当たりの感度低下を、隣接画素（もしくは２画素離れた所にある同色画素）の信号を利用して、補完することができる。

また、複数列の垂直ＣＣＤをまとめて電荷検出部（前例ではフローティングデフュージョンアンプＦＤＡ）に繋げるときに、列によって垂直ＣＣＤの長さ、すなわち垂直転送電極で規定されるレジスタ（パケット）の段数を変え、電荷検出部に到達するときの電荷転送の位相を反転させることによって、垂直転送電極を共用しても、垂直ＣＣＤ列選択のための選択ゲートを複数（前例では２つ）用いることなく、１つで電荷検出部に読み出すことができる。その結果、電荷検出部周辺の配線数を減らすことができ、固体撮像素子の微細化に関して、ＣＤＳ回路やその他の回路の内蔵といった点において面積を有効に活用することができる。

また、時分割ではあるものの、実質的には、各垂直ＣＣＤごとに電荷検出部が設けられることになるため、電荷検出部には１水平走査期間に数回（１つの電荷検出部が担当する垂直列と同数）分の信号しか入力されず、信号の周波数帯域は大幅に小さくなる。そこで、電荷検出部を構成するアンプの周波数帯域をローパスフィルタを用いて制限することができる。これにより、同時にトランジスタで発生する熱雑音の帯域も制限することができ、雑音成分を小さくすることができる。そして、信号帯域を下げることができるため、それだけ帯域制限部により雑音帯域も狭くすることができ、Ｓ／Ｎ比の良好な画像を得ることができる。

図１３及び図１４は、第１実施形態のＣＣＤ固体撮像素子４０

の変形例を説明する図であって、垂直ＣＣＤ１３０と読出処理部２００との境界部分近傍の平面模式図である。ここで、図１３に示す第１の変形例は、隣接する垂直列の２組をさらに１つのグループにし、２つの組のダミー垂直ＣＣＤ１３２の段数の配置形態を互い違いにすることで、隣接する選択ゲートＶＯＧ用の電極を接続して、引出線を共用するようにしたものである。

つまり、２組の中心線を境にしてこの中心線からの距離に応じてダミー垂直ＣＣＤ１３２の段数が順次に変わるようにしている。また、この図１３に示す第１の変形例では、さらに、前記２組の中心線とは異なる位置の中心線で隣接するリセットゲート線も接続して、引出線を共用可能にしている。この第１の変形例の形態によれば、隣接する他の組との間で、選択ゲートＶＯＧ用やリセットゲート線用の電極を接続したので、引出線をさらに少なくすることができる。

なお、図１３では、たとえば、カラムＡとカラムＢの隣接する垂直列の組およびカラムＣとカラムＤの隣接する垂直列の組の２組を１つのグループにし、カラムＥ，Ｆの組およびカラムＧ，Ｈの２組を１つのグループにし、カラムＢとカラムＣとの間にて選択ゲートＶＯＧ用の電極を接続する一方、カラムＤとカラムＥとの間のリセットゲート線を接続しているが、これとは異なるグルーピングにしてもよい。

たとえば、カラムＣ，Ｄの組およびカラムＥ，Ｆの２組を１つのグループにし、同じくカラムＤ，Ｅ間で選択ゲートＶＯＧ用の電極を接続してもよい。図１４に示す第２の変形例は、この形態をさらに発展させたもので、選択ゲートＶＯＧ用の電極を全て接続し、選択ゲート電極の引出線をなお一層少なくすることができるようにしている。この場合、引出線の数は基本的には１つでよいが、線抵抗の問題が生じる。したがって、実際には、線抵抗と

配線の困難性とのバランスを考慮して、選択ゲートＶＯＧ用の電極と引出線との取付位置を決定するとよい。

図１５は、第１実施形態のＣＣＤ固体撮像素子４０において、４相駆動の垂直転送パルスφＶ１～φＶ４を使用する場合におけるタイミングチャートの変形例、並びに電極と信号電荷の位置関係を説明する図である。この変形例は、垂直転送パルスφＶ１～φＶ４を９０度ずらしで駆動する点に特徴を有する。４相駆動用の垂直転送パルスφＶ１～φＶ４が印加される転送電極Ｖ１～Ｖ４以外の他の構成は図１と同様である。

この変形例では、電極と信号電荷の位置関係の図１５から分かるように、次のような利点が得られる。即ち奇数列については、パケットＶ４の信号電荷がフローティングデフュージョンＦＤに転送される際に相手方の偶数列のパケットＶ２が期間 t1の間、障壁として作用する。また、偶数列については、パケットＶ２の信号電荷がフローティングデフュージョンＦＤに転送される際に相手方の奇数列のパケットＶ４が期間 t2の間、障壁として作用する。

なお、この変形例は、蓄積パケットサイズが、小さいときには、電源電圧ＶＤＤを高くして電圧ポテンシャルの深さで稼ぐことで解消することができる。

図１６は、第３実施形態のＣＣＤ固体撮像素子４０を説明する図である。この第３実施形態は、隣接する２つの垂直ＣＣＤを１組に纏めて１つの電荷検出部に割り当てるという点で、第１実施形態のＣＣＤ固体撮像素子４０と共通するが、ダミー垂直ＣＣＤ１３２を設けておらず、その垂直ＣＣＤの段数は同じままである。つまり、２列の垂直ＣＣＤ１３０を１つのフローティングデフュージョンアンプＦＤＡ構成の電荷検出部２１０で読み出すようにしている。

図１６（Ａ）に示すように、フローティングデフュージョンを挟む各垂直ＣＣＤ１３０の反対側から選択ゲートＶＯＧの配線を繋ぐことができるので、３つ以上を纏めて１つの電荷検出部２１０に割り当てる構成では中央部の選択ゲートＶＯＧへの配線スペースが問題となるのに比べると、配線上の制約は減るので、比較的、実パターンでも問題はない。

ただし、図１６（Ｂ）に示すように、垂直ＣＣＤ１３０の選択ゲート用の配線が垂直ＣＣＤ１３０の数だけ必要であることには変わらないので、その配線が面積中に占める割合は、第１あるいは第２の実施形態の構成より、大きくなってしまう。

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組み合わせにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この構成要件が削除された構成が発明として抽出され得る。

たとえば、上記実施形態では６電極／６相駆動や４電極／４相駆動に適した一例を説明したが、垂直転送電極の数や転送パルスの位相関係は、上述したタイミングのものに限定されない。また、転送パルスとの関わりで、２列や３列に限らず、より多くの列を１つの電荷検出部に割り当てることもできる。

要するに、隣接する複数の垂直列を１つの電荷検出部に割り当てたとき、同一水平列の信号電荷が、それぞれ異なる位相で電荷検出部に到達するように、ダミー垂直転送部（実質的に垂直ＣＣＤと同じ）の段数や垂直転送電極の配置あるいは垂直転送パルスのタイミングを適宜変更すればよい。ダミー垂直転送部の段数や垂直転送電極の配置が同じであって、駆動方法のみが異なる、つまり転送パルスのタイミングのみが異なるものであってもよい。

また、上記実施形態ではインターライン転送型のＣＣＤ固体撮像素子に適用したもので説明したが、これに限らず、フレームインターライン転送型、フルフレーム転送型、フレーム転送型など、他の転送方式のＣＣＤ固体撮像素子に適用してもよい。

さらに、垂直転送部をＣＣＤの代わりにＣＳＤ（charge sweeped device）に置き換えるなど、電荷転送部の形式も、他のものを使用することができる。

請求の範囲

1．水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備えるとともに、前記隣接する複数の垂直列について、前記感光部で得た前記水平列の方向における同一位置の前記信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成されている固体撮像素子。

2．水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部と、前記垂直列電荷転送部と前記電荷検出部との間に配された、前記複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部とを備えている固体撮像素子。

3．前記隣接する複数の垂直列電荷転送部は、垂直転送駆動用の電極が共通に使用される請求の範囲第2項に記載の固体撮像素子。

4．前記電荷検出部は、隣接する2列の前記垂直列ごとに設けられている請求の範囲第2項に記載の固体撮像素子。

5．前記ダミー電荷転送部は、同一の前記水平列の前記感光部の信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が前記隣接する2列の垂直列の間で180度反転したもの

となる分だけ、前記電荷転送の段数が異なる請求の範囲第４項に記載の固体撮像素子。

６．水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備え、前記隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、前記感光部で得た前記水平列の方向における同一位置の前記信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極が形成されている固体撮像素子。

７．前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第１項に記載の固体撮像素子。

８．前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第２項に記載の固体撮像素子。

９．前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第６項に記載の固体撮像素子。

１０．前記選択ゲートへの配線は、隣接する他の前記電荷検出部についての前記選択ゲートへの配線と共用されている請求の範囲第１項に記載の固体撮像素子。

１１．前記選択ゲートへの配線は、隣接する他の前記電荷検出部についての前記選択ゲートへの配線と共用されている請求の範囲第２項に記載の固体撮像素子。

１２．前記選択ゲートへの配線は、隣接する他の前記電荷検出部についての前記選択ゲートへの配線と共用されている請求の範囲第６項に記載の固体撮像素子。

１３．水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する２つの前記垂直列ごとに設けられ、前記垂直列荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備え、前記電荷検出部は、前記信号電荷の入力側に、前記隣接する２つの垂直列についてそれぞれ独立に設けられた、前記信号電荷を読み出すための選択ゲートを有する固体撮像素子。

１４．前記電荷検出部は、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを前記電荷検出部ごとに有する請求の範囲第１項に記載の固体撮像素子。

１５．前記電荷検出部は、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを前記電荷検出部ごとに有する請求の範囲第２項に記載の固体撮像素子。

１６．前記電荷検出部は、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを前記電荷検出部ごとに有する請求の範囲第６項に記載の固体撮像素子。

１７．前記電荷検出部は、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを前記電荷検出部ごとに有する請求の範囲第１３項に記載の固体撮像素子。

１８．前記電荷検出部の後段に、前記画素信号における前記信号

電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第１項に記載の固体撮像素子。

１９．前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第２項に記載の固体撮像素子。

２０．前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第６項に記載の固体撮像素子。

２１．前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第１３項に記載の固体撮像素子。

２２．前記隣接する複数の垂直列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数個の電荷検出部の後段に、当該複数個の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第１項に記載の固体撮像素子。

２３．前記隣接する複数列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数個の電荷検出部の後段に、当該複数個の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第２項に記載の固体撮像素子。

２４．前記隣接する複数列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数個の電荷検出部の後段に、当該複数個の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第６項に記載の固体撮像素子。

２５．前記隣接する複数列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数個の電荷検出部の後段に、当該複数個の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第１３項に記載の固体撮像素子。

２６．水平列および垂直列の各方向に２次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子から画素信号を得る固体撮像素子の駆動方法であって、前記隣接する複数の前記垂直列についての前記画素信号が、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力されるよう、前記固体撮像素子を駆動する固体撮像素子の駆動方法。

２７．前記垂直列電荷転送部は、６相駆動で駆動される請求の範囲第２６項記載の駆動方法。

２８．前記電荷検出部は、前記信号電荷の入力側に、前記信号電荷を読み出すための選択ゲートと、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを有しており、前記選択ゲートがオフのときに前記リセット

ゲートをオンさせる請求の範囲第２６項記載の駆動方法。

２９．水平列および垂直列の各方向に２次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子を用いて撮像信号を得る撮像方法であって、前記隣接する複数の前記垂直列についての前記画素信号を、前記垂直列の方向への前記信号電荷の転送における異なる位相で取得し、この取得した画素信号を前記水平列の方向に順次時系列に選択することにより、前記異なる位相のそれぞれについての撮像信号を得、その後、前記複数の垂直列の並び順に応じて前記撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る撮像方法。

３０．前記垂直列電荷転送部は、６相駆動で駆動される請求の範囲第２９項記載の駆動方法。

３１．水平列および垂直列の各方向に２次元状に配列され、光を受光することで信号電荷を得る複数の感光部、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部、前記垂直列電荷転送部と前記電荷検出部との間に配された、前記複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部を備えてなる固体撮像素子と、前記固体撮像素子から、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力された画素信号を前記水平列の方向に順次時系列に選択す

ることにより、前記異なる位相のそれぞれについての撮像信号を得る水平走査部と、前記複数の垂直列の並び順に応じて前記水平走査部から出力された撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る水平列整合部とを備えた撮像装置。

FIG. 1

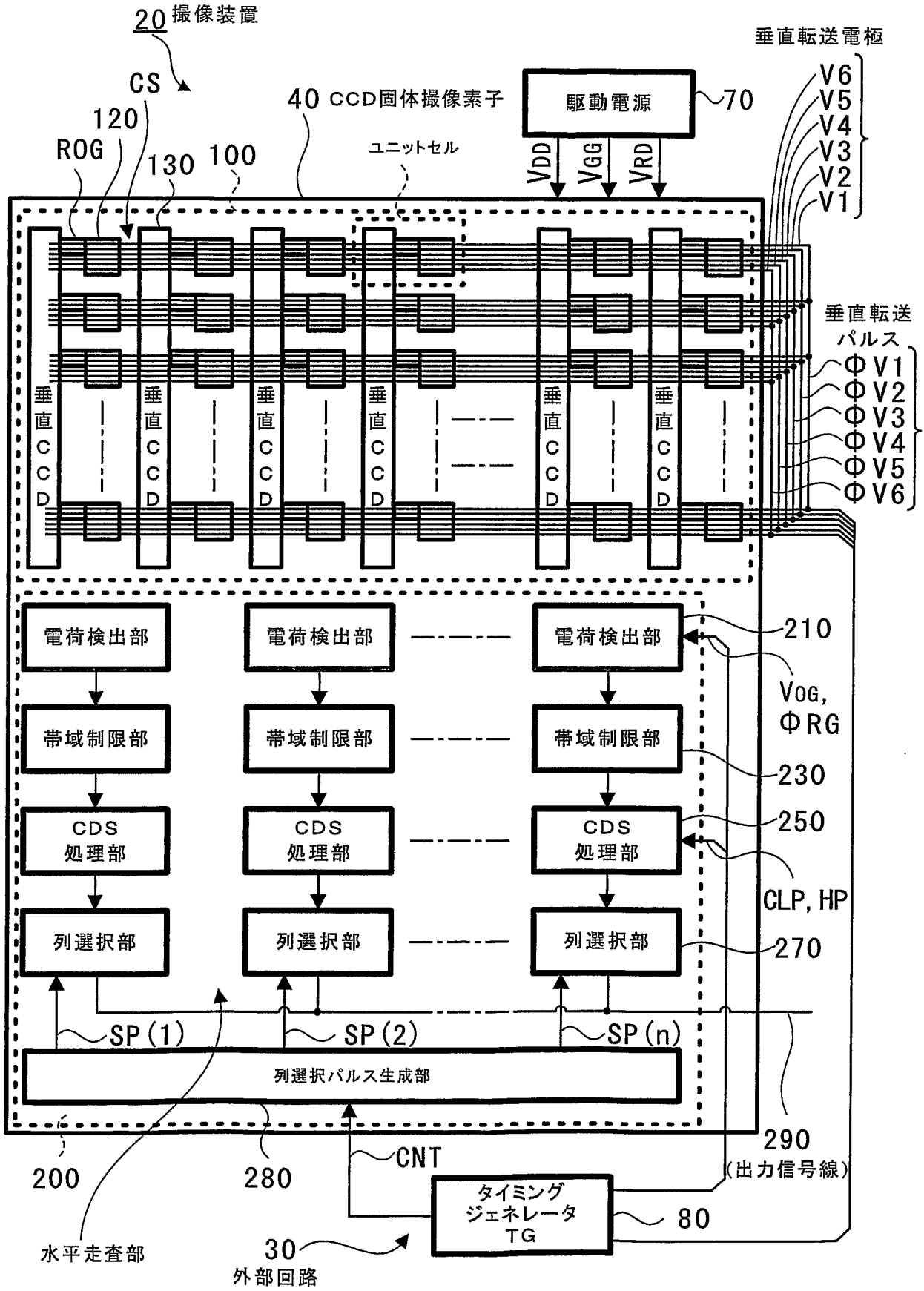

20 撮像装置
CS
120
ROG
130
100
40 CCD固体撮像素子
ユニットセル
駆動電源
70
VDD
VGG
VRD
垂直転送電極
V6
V5
V4
V3
V2
V1
垂直転送パルス
ΦV1
ΦV2
ΦV3
ΦV4
ΦV5
ΦV6
垂直CCD
電荷検出部
帯域制限部
CDS処理部
列選択部
210
VOG, ΦRG
230
250
CLP, HP
270
SP(1)
SP(2)
SP(n)
列選択パルス生成部
290
(出力信号線)
200
280
CNT
タイミングジェネレータTG
80
水平走査部
30
外部回路

FIG. 2

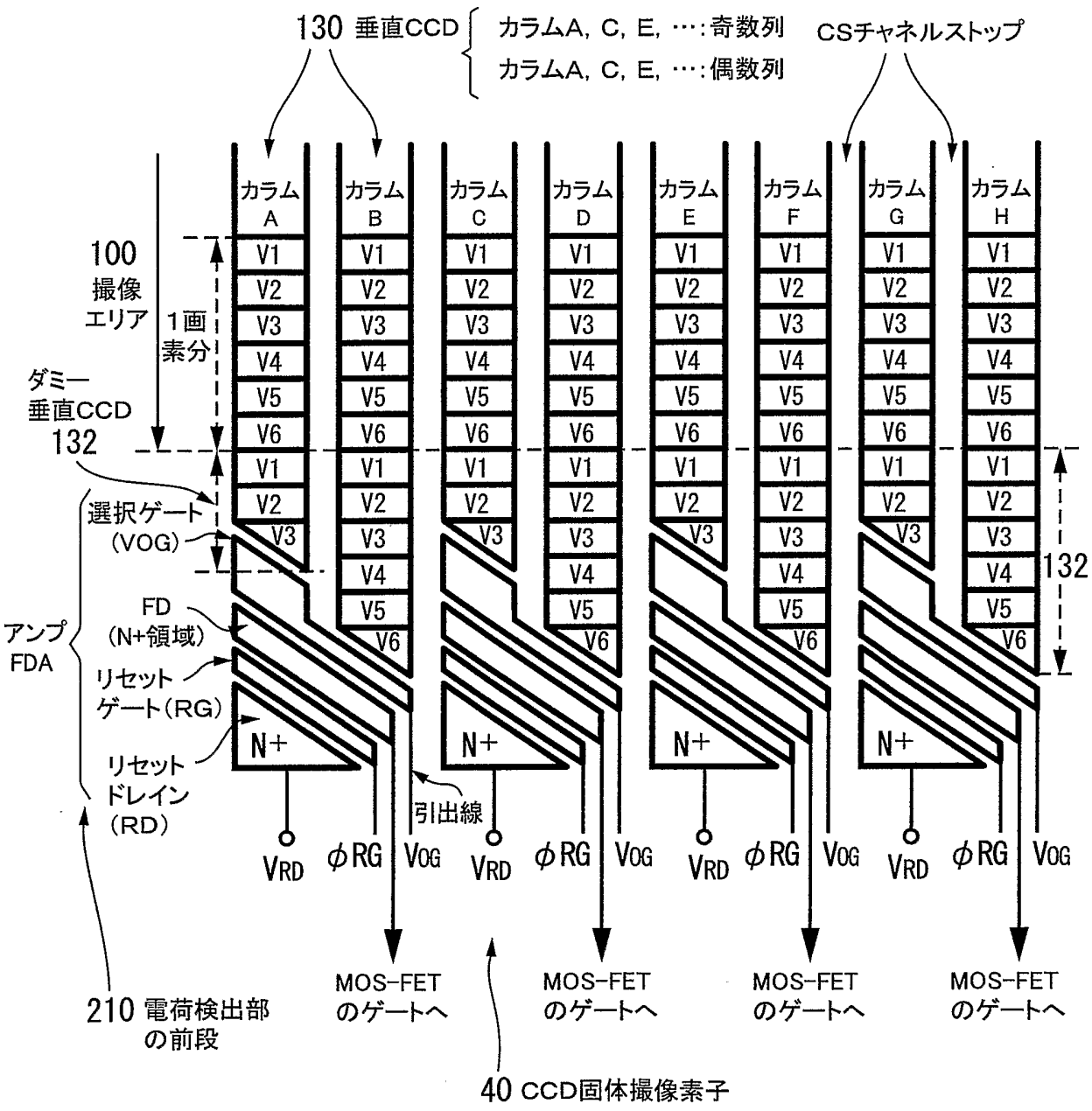

130 垂直CCD
カラムA, C, E, …:奇数列
カラムA, C, E, …:偶数列
CSチャネルストップ
カラム A
カラム B
カラム C
カラム D
カラム E
カラム F
カラム G
カラム H
V1
V2
V3
V4
V5
V6
100 撮像エリア
1画素分
ダミー垂直CCD 132
選択ゲート (VOG)
FD (N+領域)
アンプ FDA
リセットゲート(RG)
リセットドレイン (RD)
N+
引出線
VRD
φRG
VOG
132
210 電荷検出部の前段
MOS-FETのゲートへ
40 CCD固体撮像素子

FIG. 3

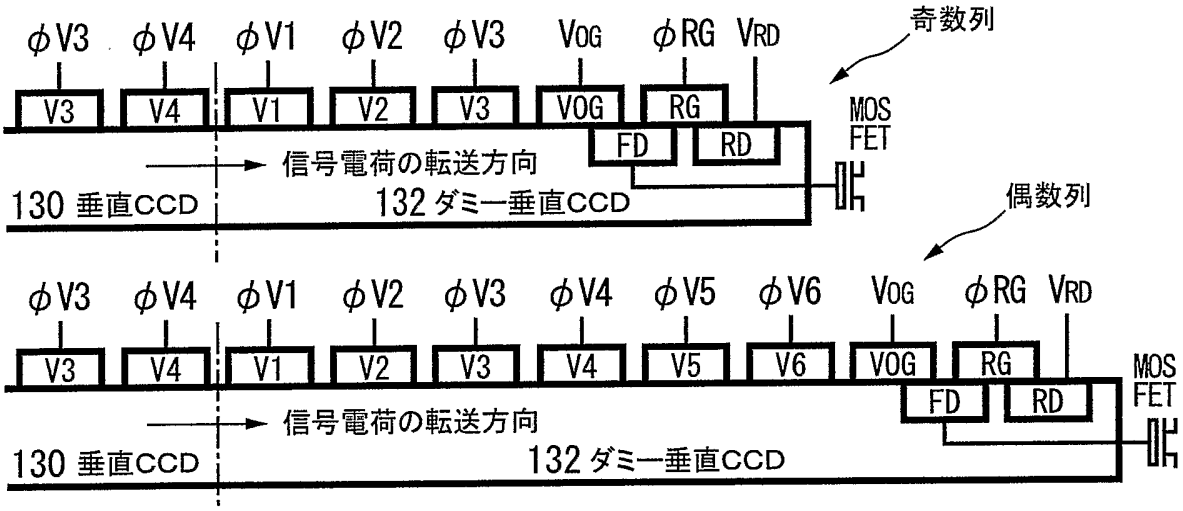

φV3
φV4
φV1
φV2
φV3
VOG
φRG
VRD
奇数列
V3
V4
V1
V2
V3
VOG
RG
FD
RD
MOS FET
信号電荷の転送方向
130 垂直CCD
132 ダミー垂直CCD
偶数列
φV3
φV4
φV1
φV2
φV3
φV4
φV5
φV6
VOG
φRG
VRD
V3
V4
V1
V2
V3
V4
V5
V6
VOG
RG
FD
RD
MOS FET
信号電荷の転送方向
130 垂直CCD
132 ダミー垂直CCD

FIG. 4

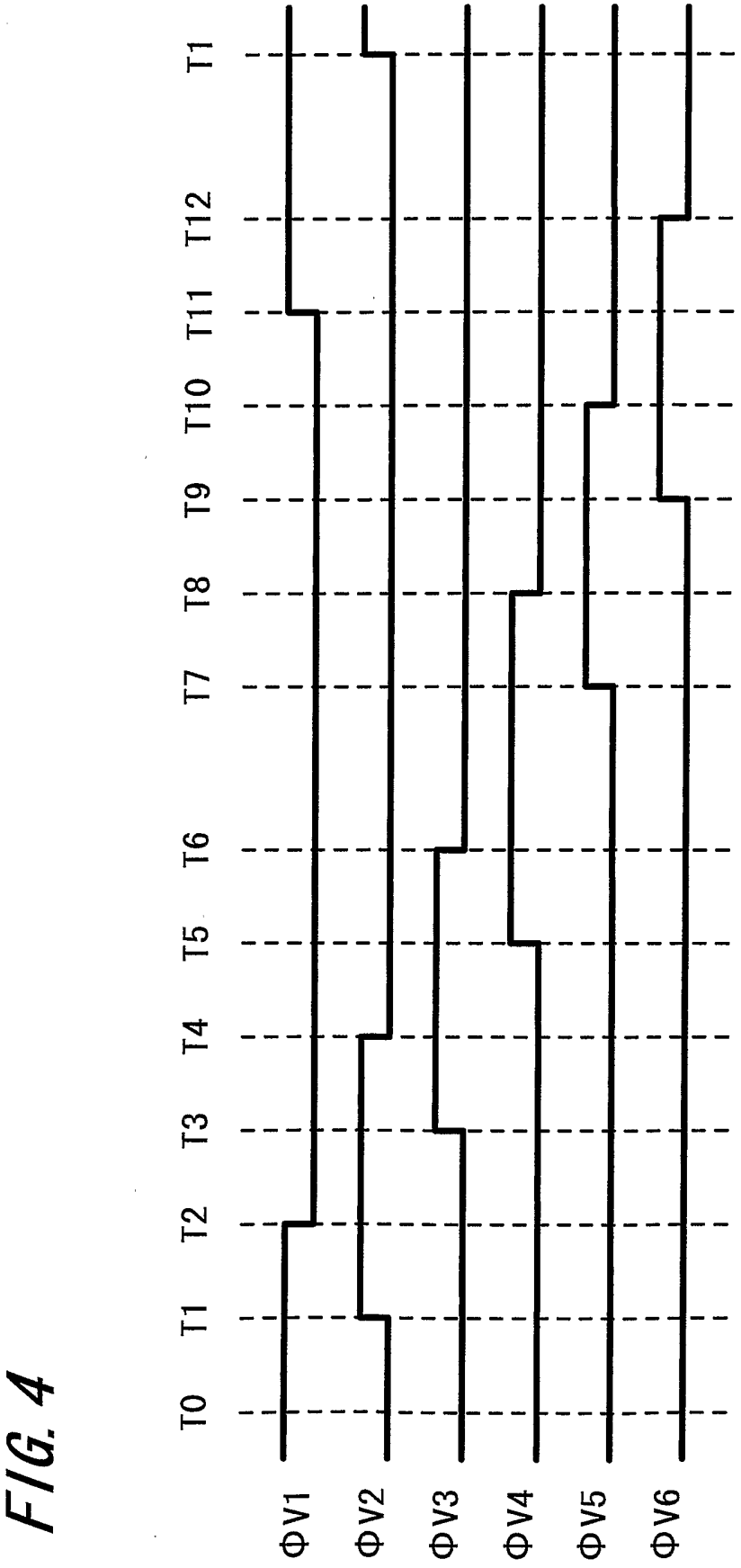


FIG. 5

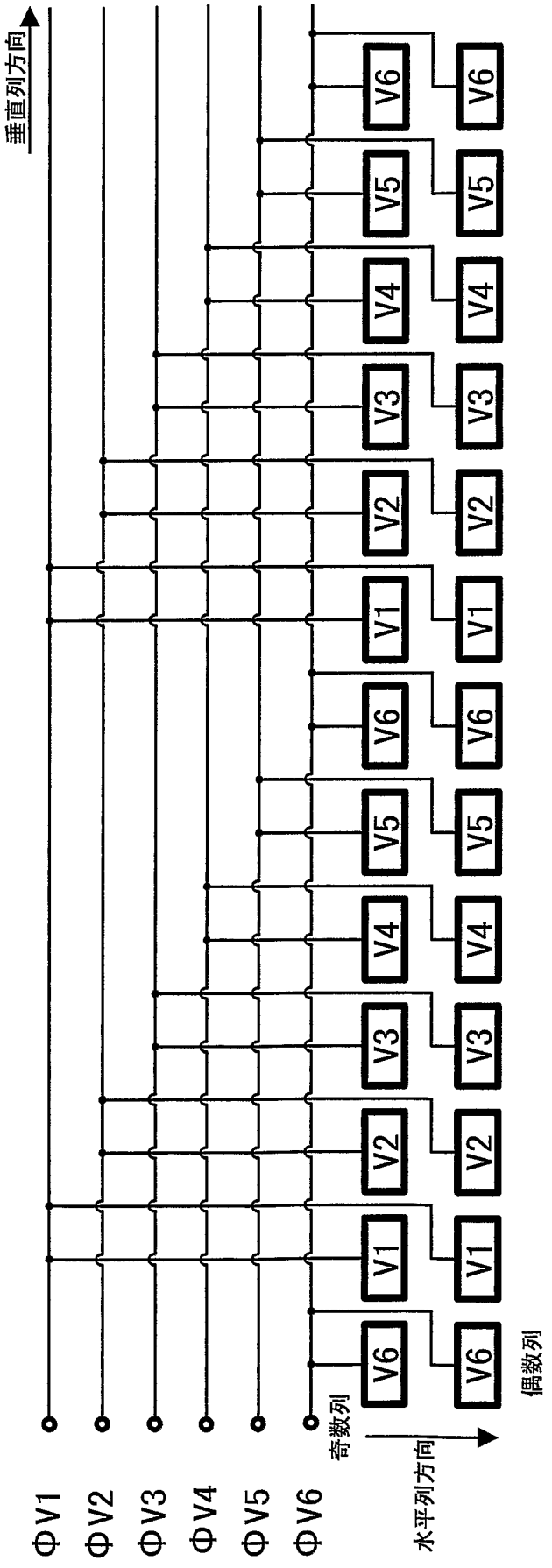


FIG. 6

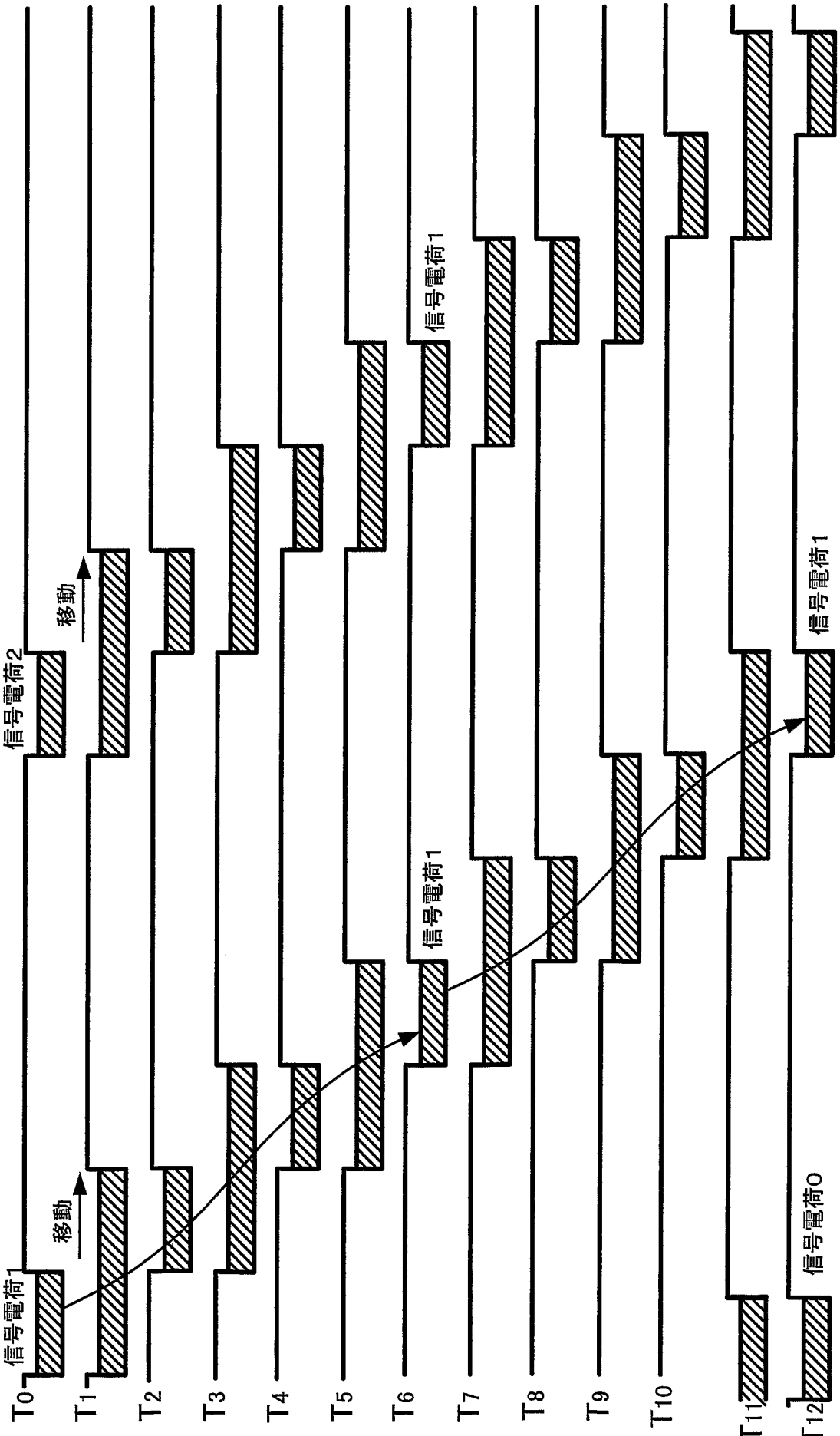

V1
V2
V3
V4
V5
V6
信号電荷1
移動
信号電荷2
信号電荷1
信号電荷1
信号電荷0
T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12

FIG. 7

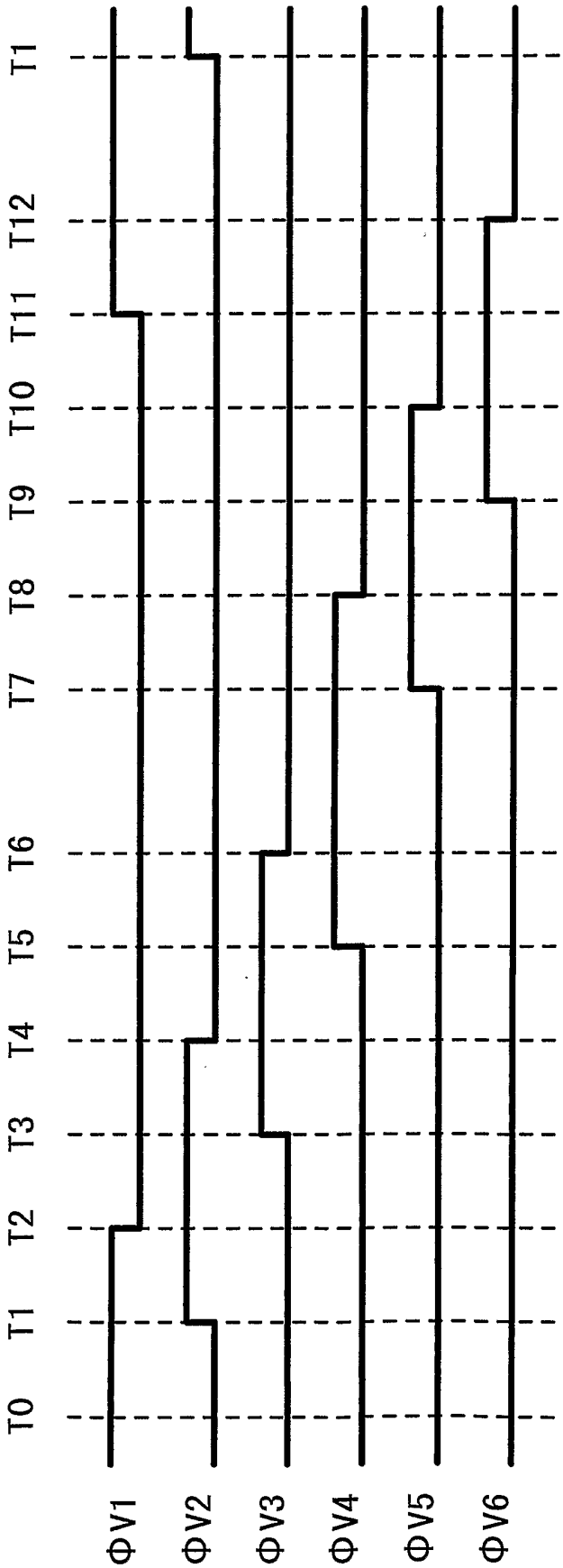


FIG. 8A

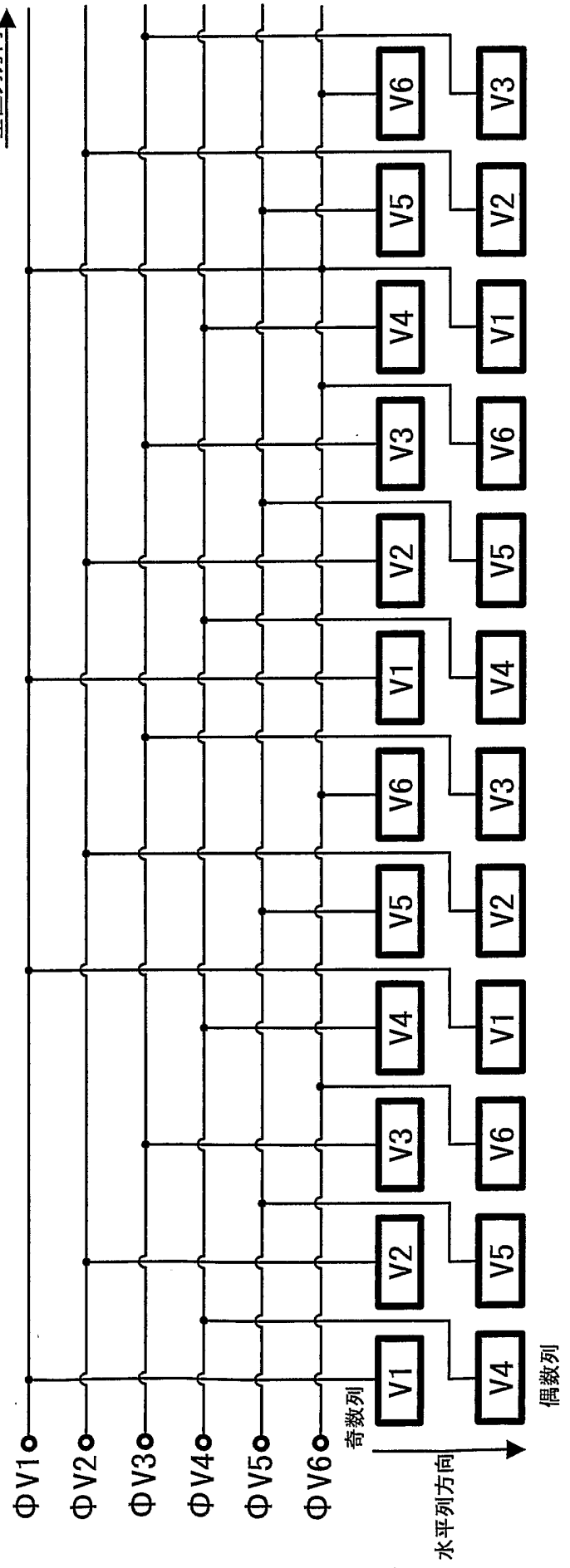

垂直列方向
ΦV1
ΦV2
ΦV3
ΦV4
ΦV5
ΦV6
奇数列
偶数列
水平列方向
V1
V2
V3
V4
V5
V6

FIG. 8B

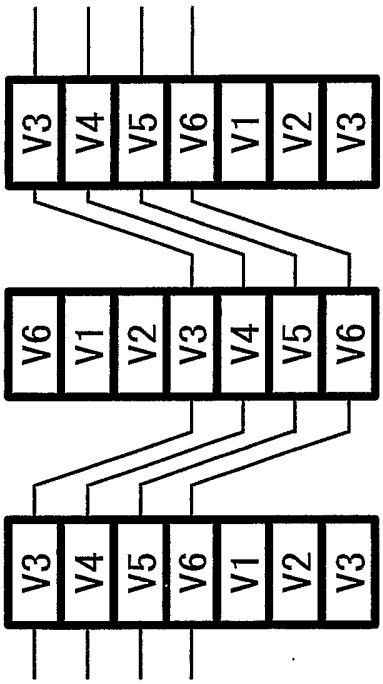

V3 V4 V5 V6 V1 V2 V3
V6 V1 V2 V3 V4 V5 V6
V3 V4 V5 V6 V1 V2 V3

FIG. 9

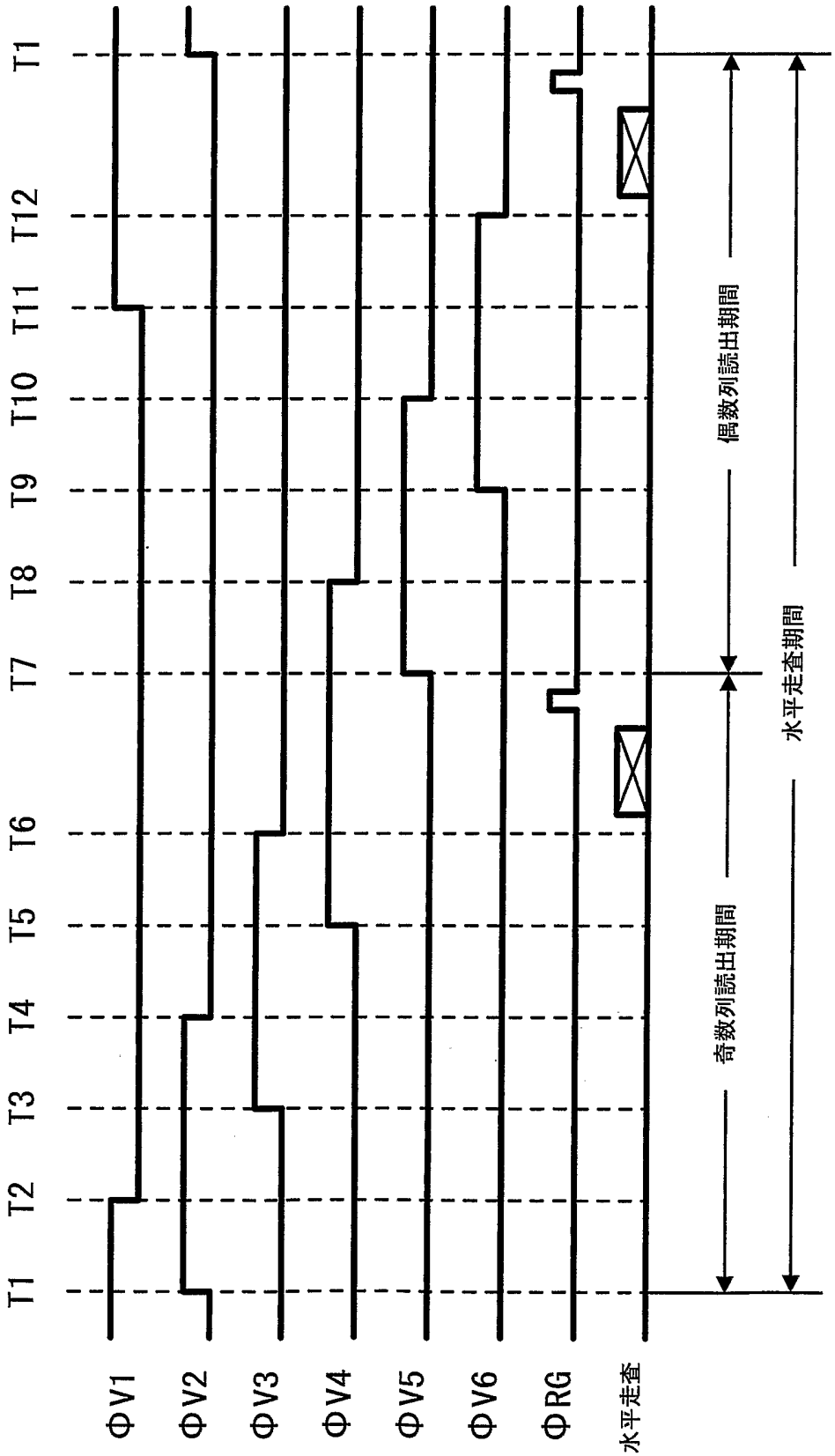

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T1
ΦV1
ΦV2
ΦV3
ΦV4
ΦV5
ΦV6
ΦRG
水平走査
奇数列読出期間
偶数列読出期間
水平走査期間

FIG. 10A

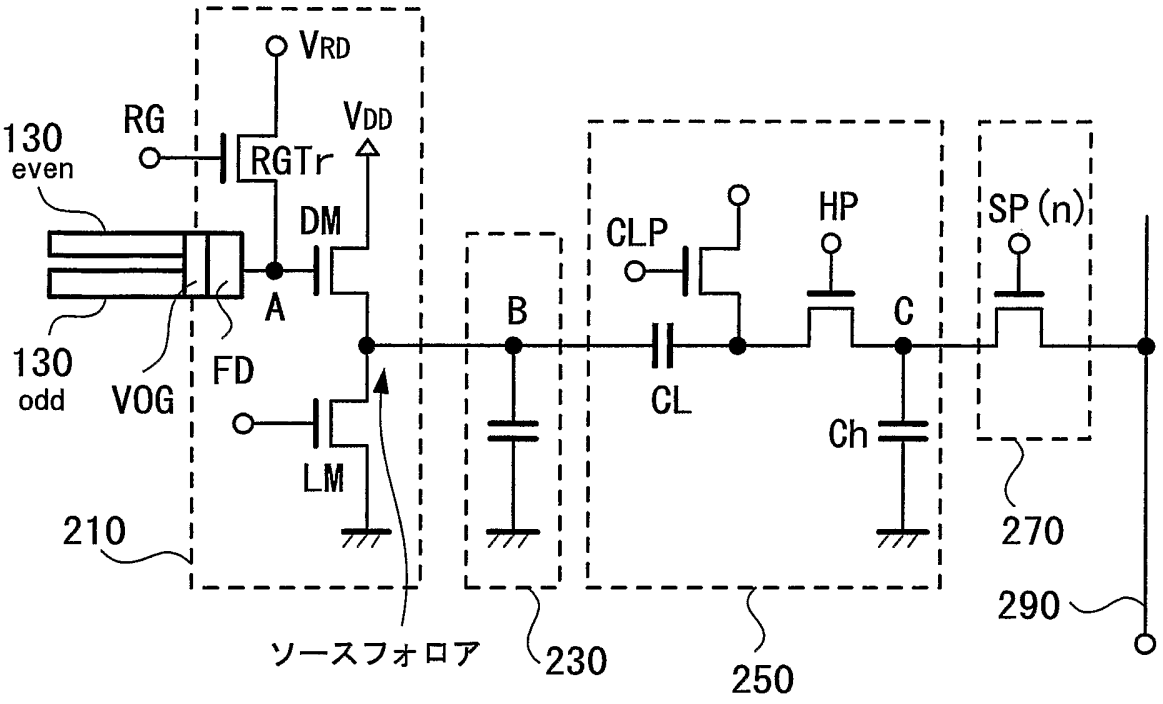


FIG. 10B

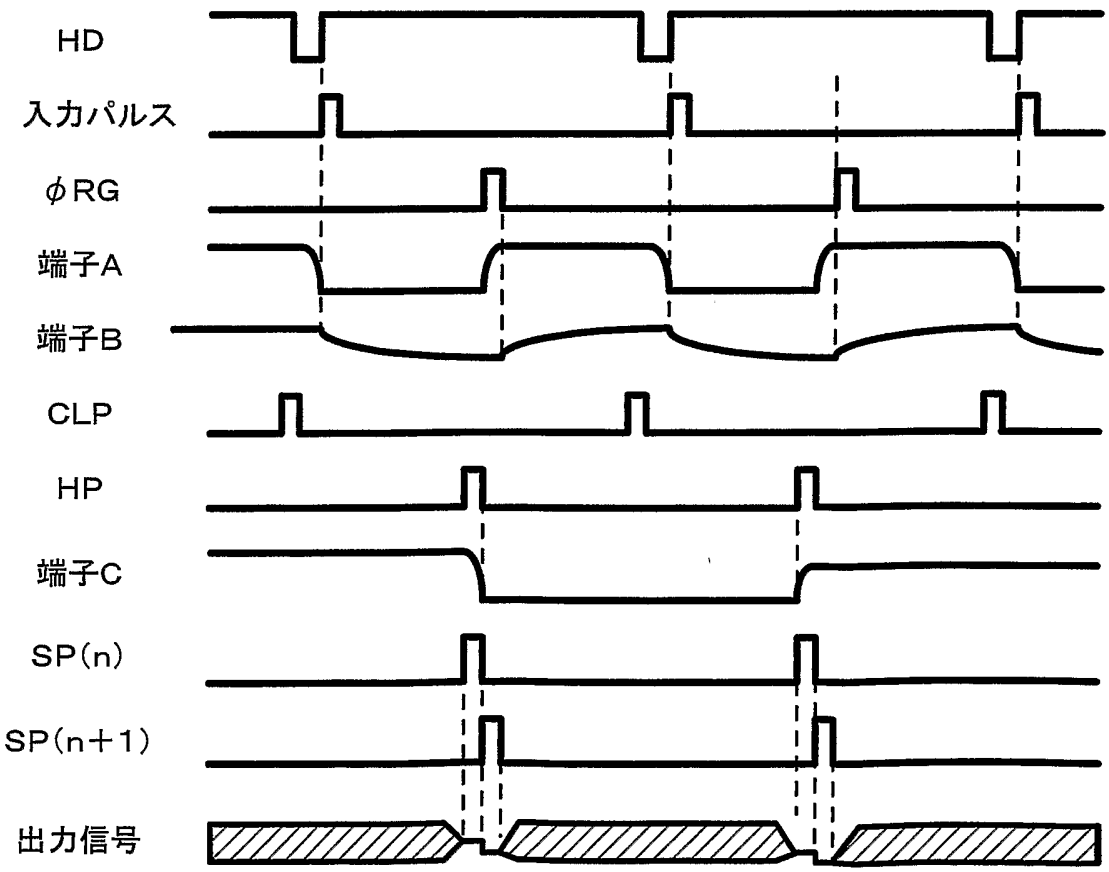


FIG. 11

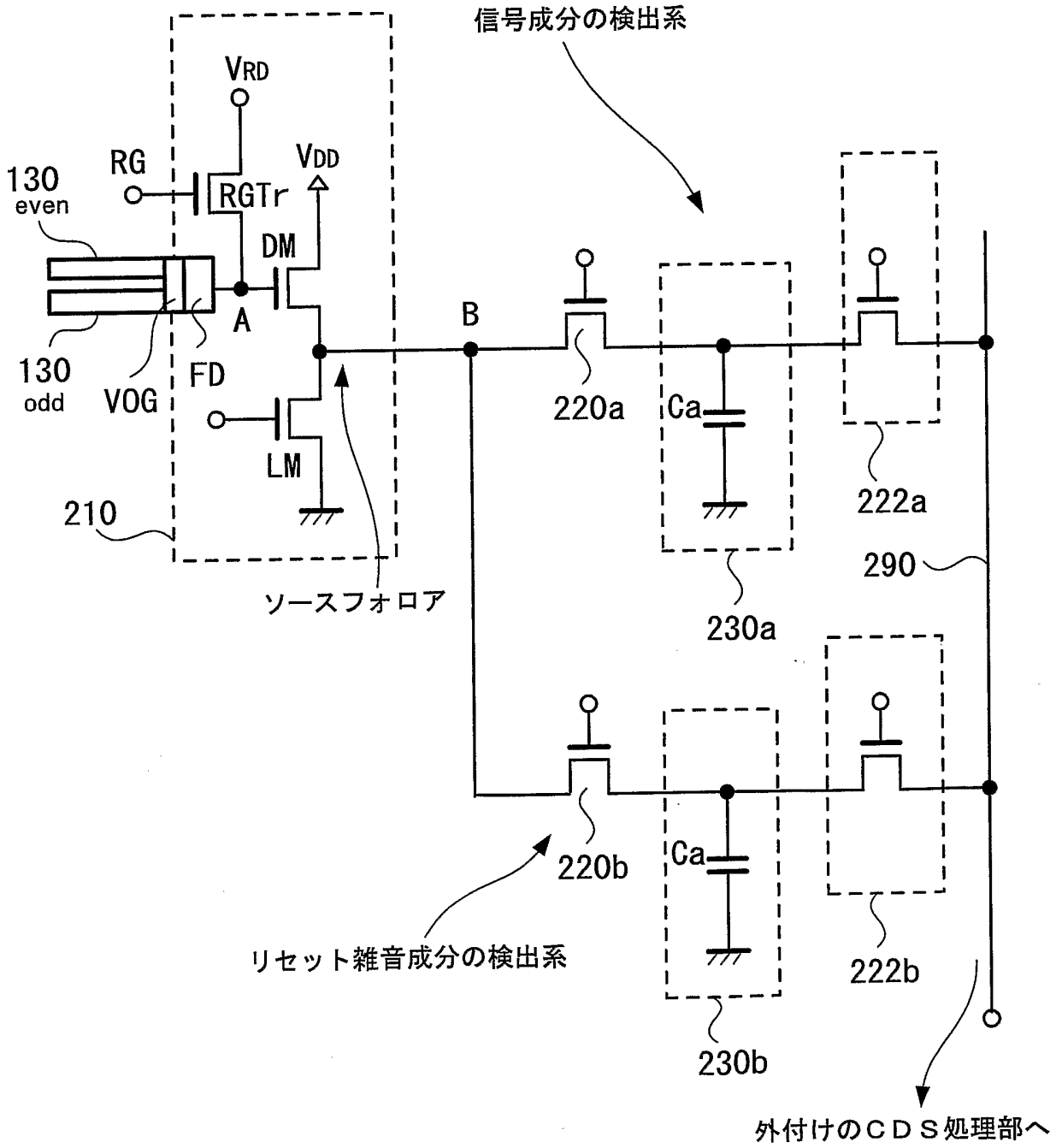

信号成分の検出系
VRD
RG
VDD
130
even
RGTr
DM
A
B
130
odd
VOG
FD
220a
Ca
222a
LM
210
290
ソースフォロア
230a
220b
Ca
リセット雑音成分の検出系
222b
230b
外付けのＣＤＳ処理部へ

FIG. 12A

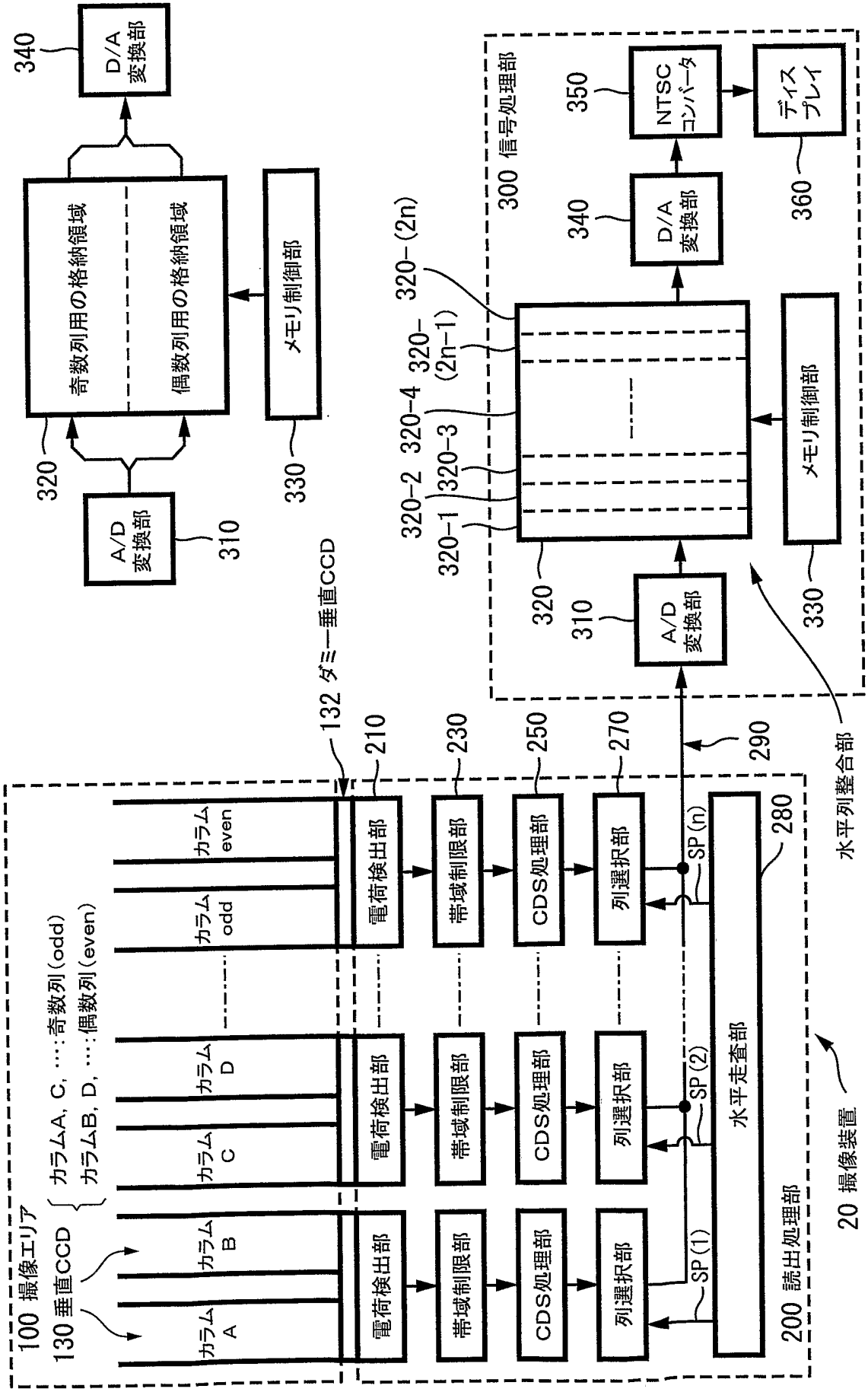


FIG. 12B

FIG. 13

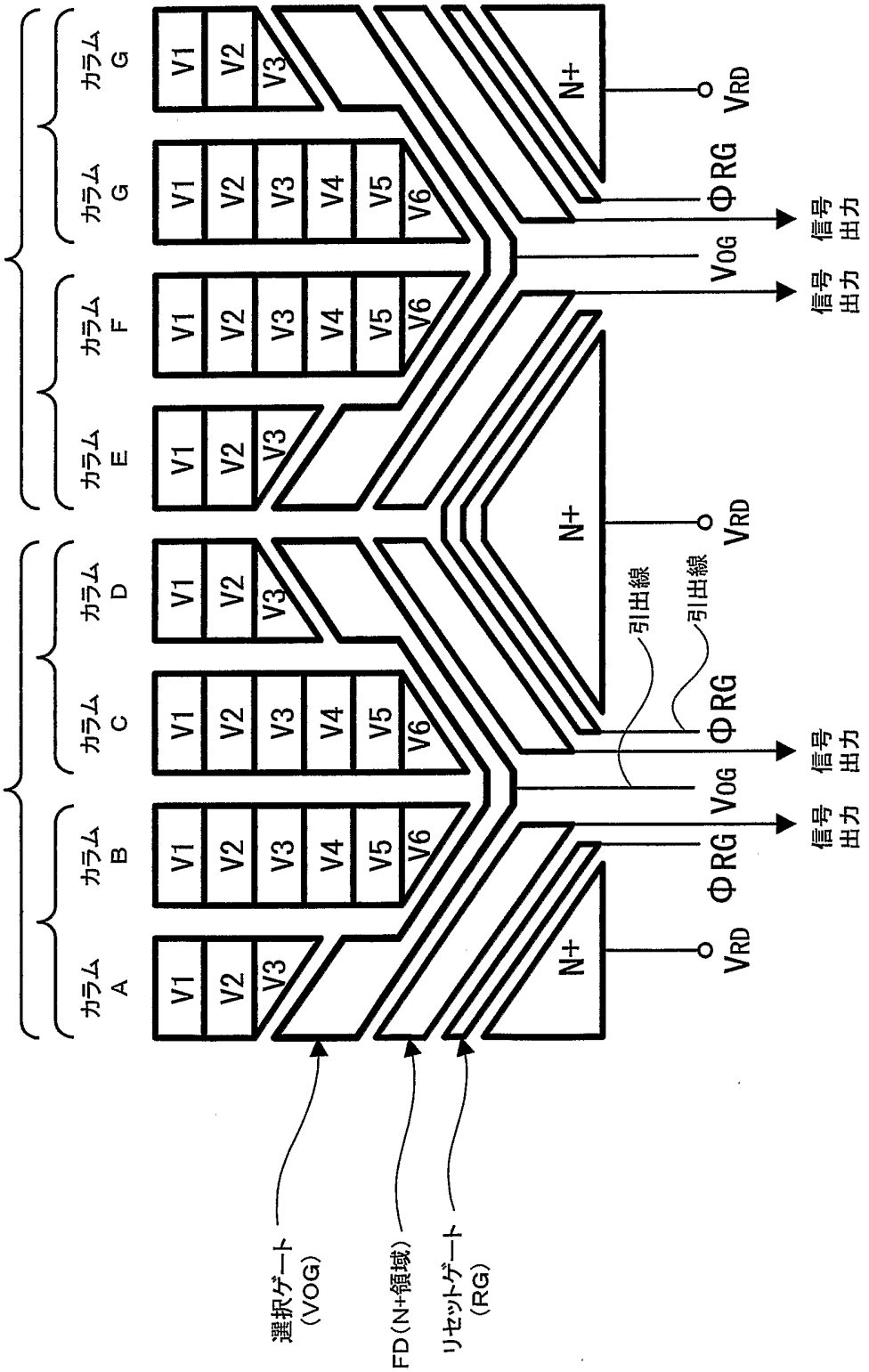

カラムA
カラムB
カラムC
カラムD
カラムE
カラムF
カラムG
V1
V2
V3
V4
V5
V6
N+
VRD
ΦRG
VOG
信号出力
引出線
選択ゲート (VOG)
FD(N+領域)
リセットゲート (RG)

FIG. 14

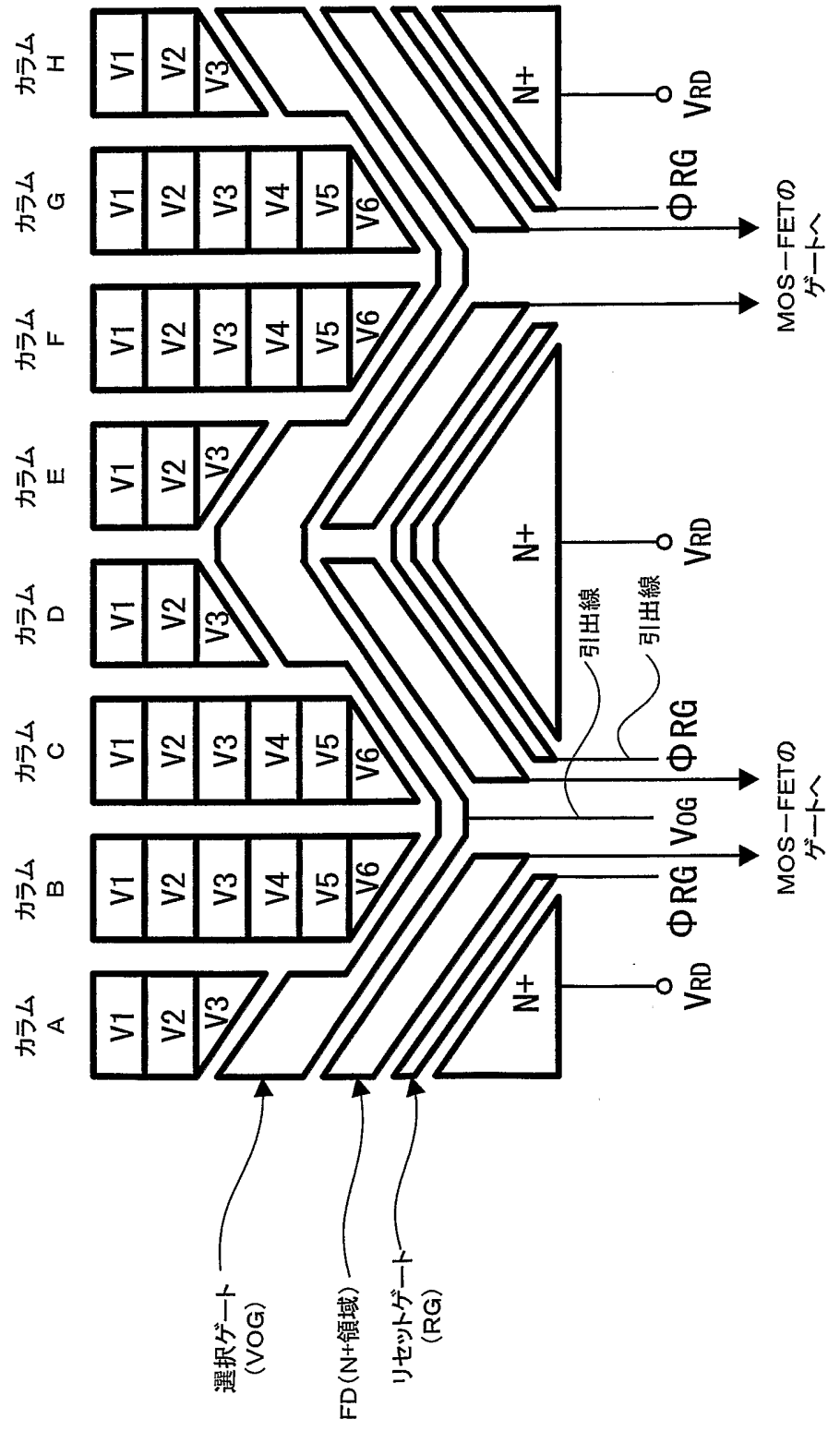

カラムA
カラムB
カラムC
カラムD
カラムE
カラムF
カラムG
カラムH
V1
V2
V3
V4
V5
V6
N+
VRD
ΦRG
VOG
引出線
MOS−FETのゲートへ
選択ゲート(VOG)
FD(N+領域)
リセットゲート(RG)

FIG. 15

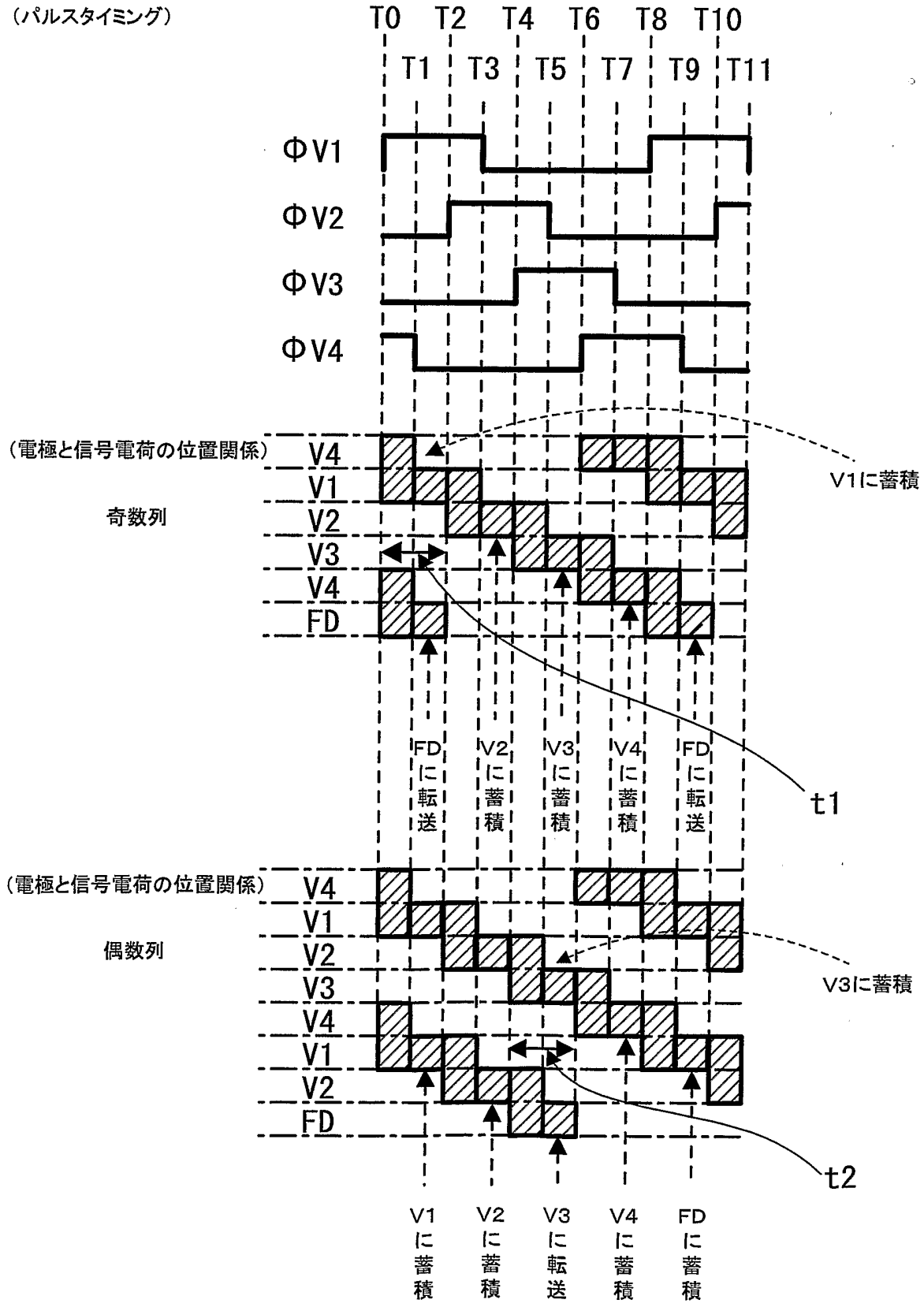

（パルスタイミング）
T0 T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11
ΦV1
ΦV2
ΦV3
ΦV4
（電極と信号電荷の位置関係）
奇数列
V4
V1
V2
V3
V4
FD
V1に蓄積
FDに転送
V2に蓄積
V3に蓄積
V4に蓄積
FDに転送
t1
（電極と信号電荷の位置関係）
偶数列
V4
V1
V2
V3
V4
V1
V2
FD
V3に蓄積
t2
V1に蓄積
V2に蓄積
V3に転送
V4に蓄積
FDに蓄積

FIG. 16A

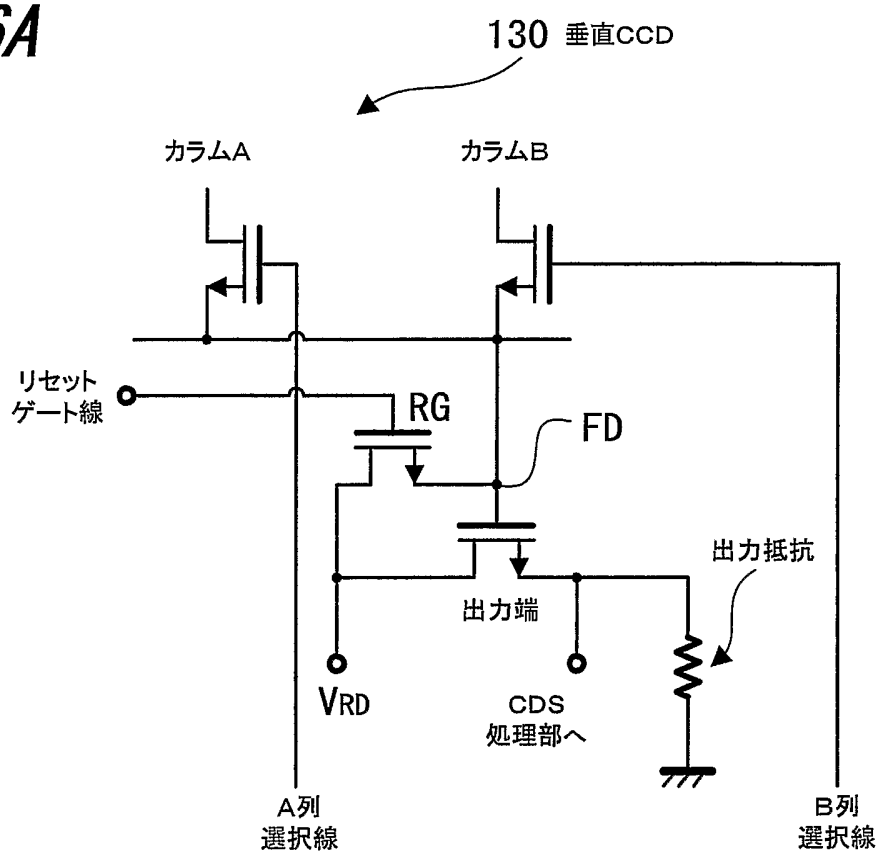


FIG. 16B

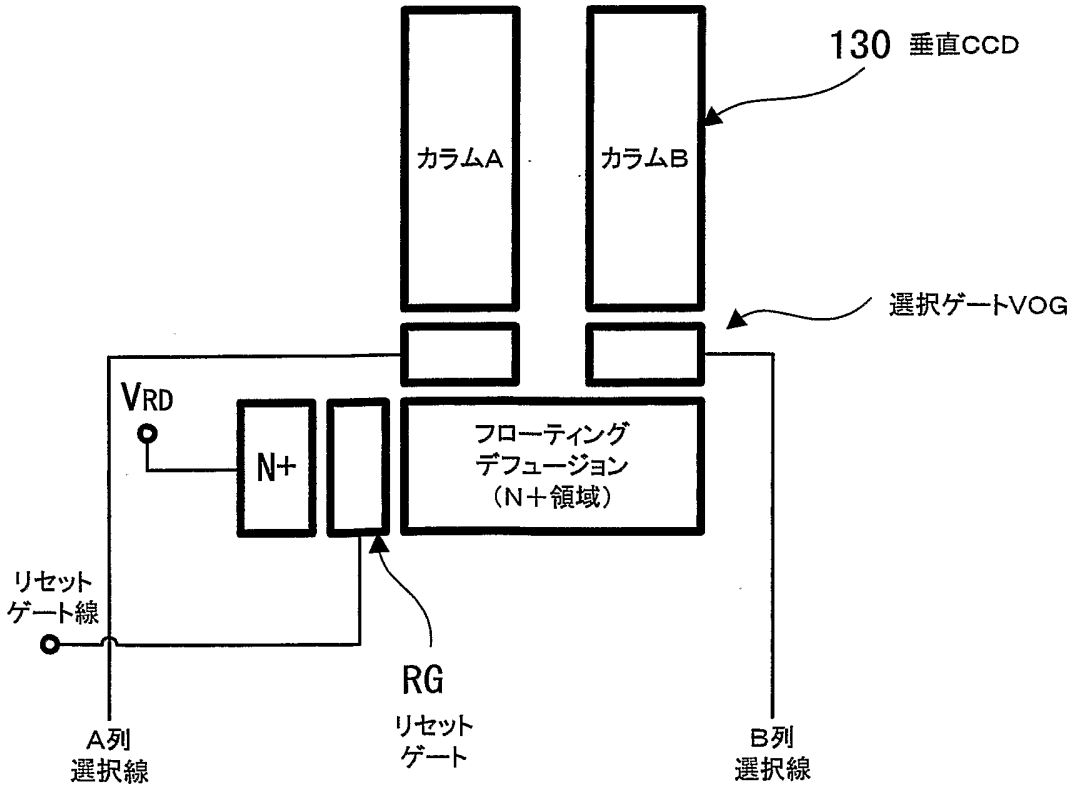


FIG. 17

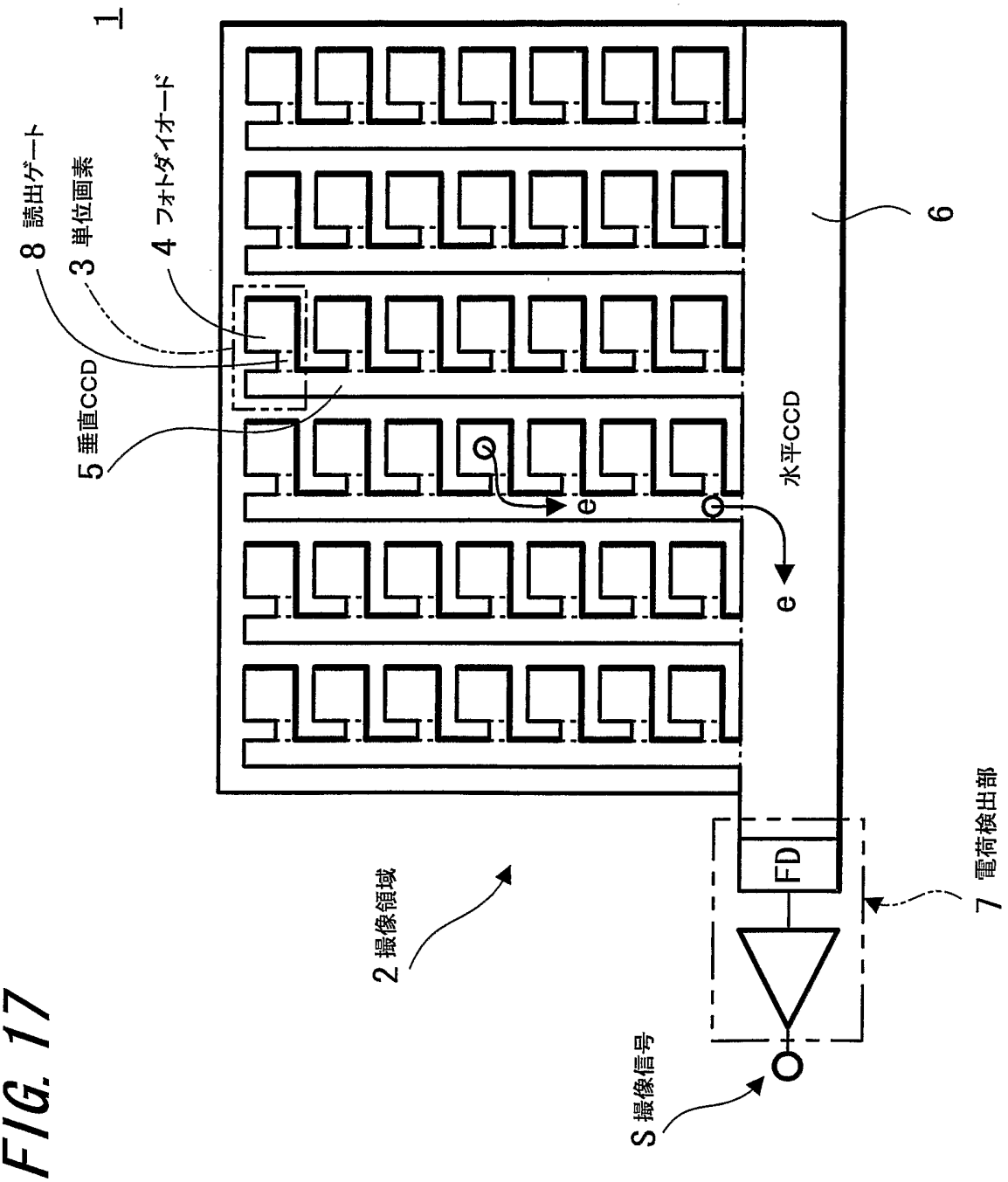

1
8 読出ゲート
3 単位画素
4 フォトダイオード
5 垂直CCD
6
水平CCD
e
e
2 撮像領域
FD
7 電荷検出部
S 撮像信号

FIG. 18

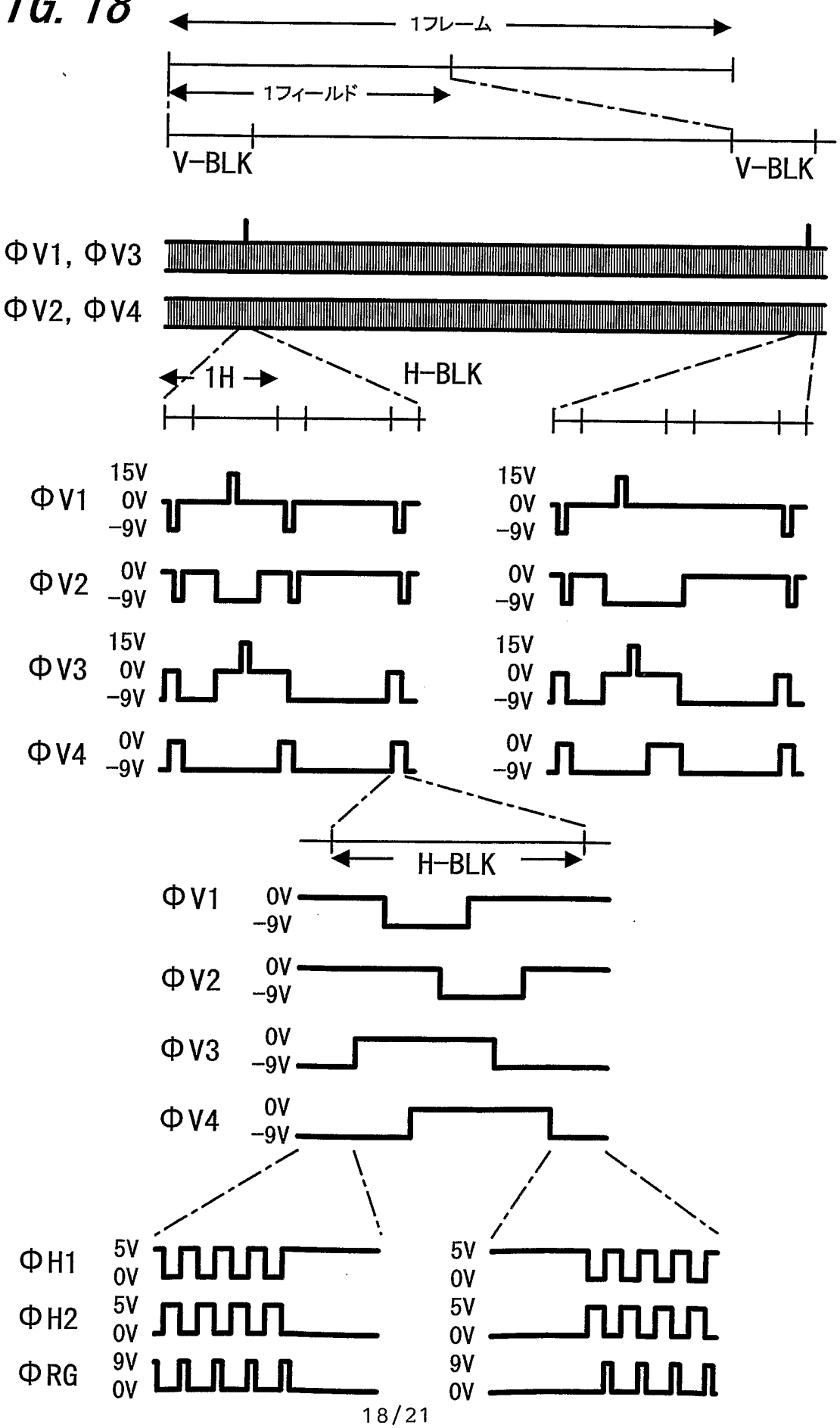

1フレーム
1フィールド
V-BLK
V-BLK
ΦV1, ΦV3
ΦV2, ΦV4
1H
H-BLK
ΦV1
ΦV2
ΦV3
ΦV4
15V
0V
-9V
H-BLK
ΦH1
ΦH2
ΦRG
5V
9V

FIG. 19A

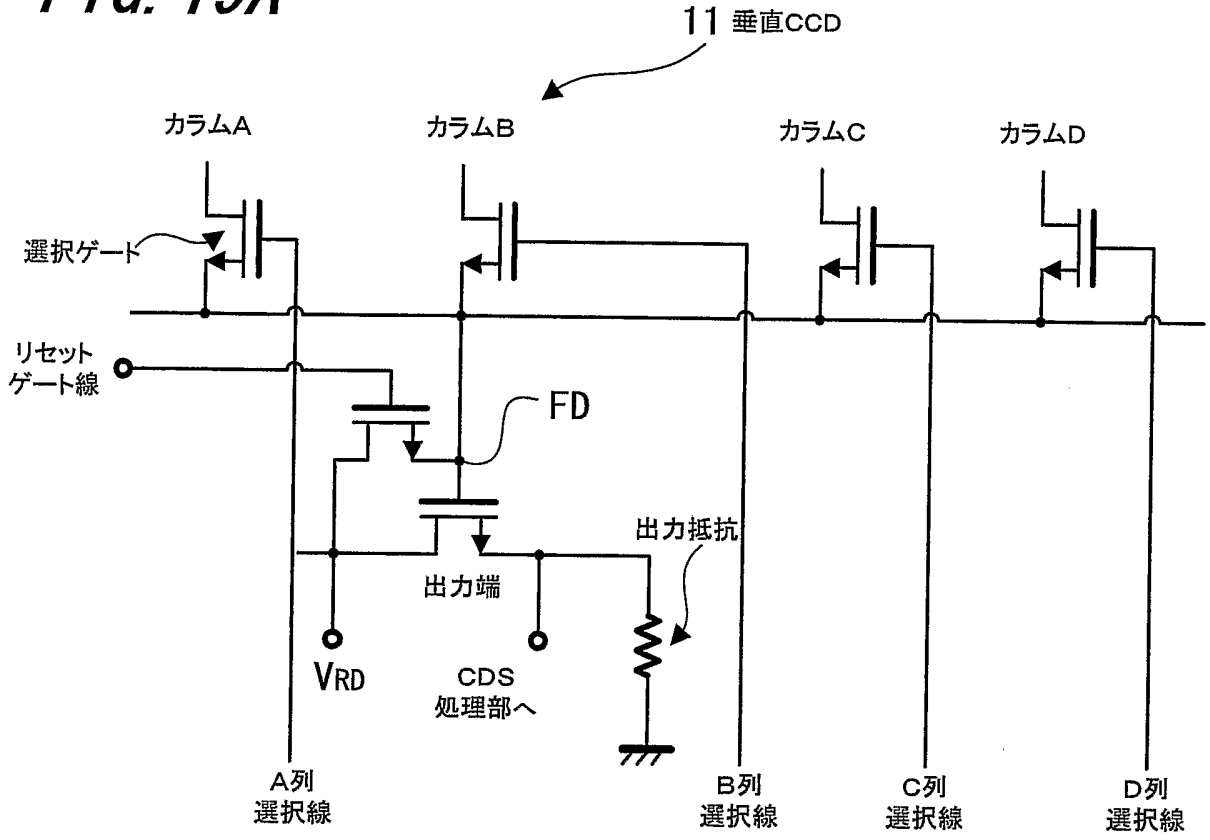
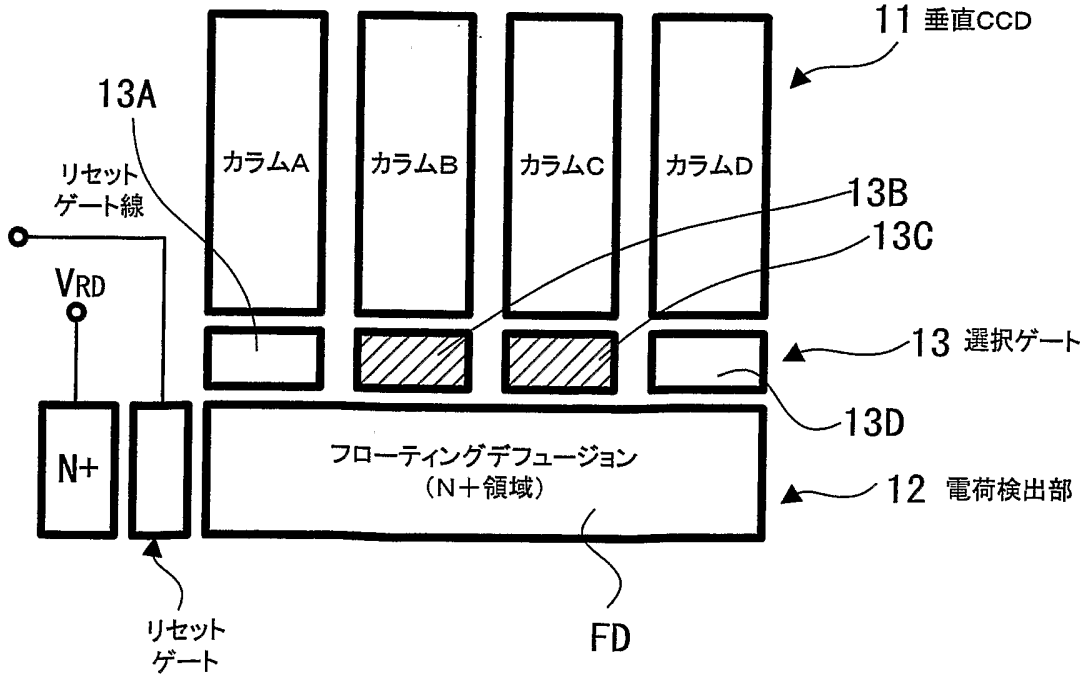


FIG. 19B



引用符号の説明

１・・固体撮像素子
２・・撮像領域
３・・単位画素
４・・フォトダイオード
５・・垂直ＣＣＤ
６・・水平ＣＣＤ
７・・電荷検出部
１１・・垂直ＣＣＤ
１２・・電荷検出部
１３〔１３Ａ，１３Ｂ，１３Ｃ，１３Ｄ〕・・選択ゲート
Ｓ・・撮像信号
２０・・撮像装置
３０・・外部回路
４０・・固体撮像素子
７０・・駆動電源
８０・・タイミングジェネレータ
１００・・撮像エリア
１２０・・感光部
１３０・・垂直ＣＣＤ
１３２・・ダミー垂直ＣＣＤ
ＦＤ・・フローティングデフュージョン
ＲＯＧ・・読出しゲート部
ＶＯＧ・・選択ゲート
ＣＳ・・チャネルストップ
Ｖ１～Ｖ６・・垂直転送電極
φＶ１～φＶ６・・垂直転送パルス
V_{OG}・・選択ゲート電圧
φＲＧ・・リセットゲートパルス
V_{DD}・・ドレイン電圧
X_{SG}・・読出しパルス
V_{RD}・・リセットドレイン電圧
ＣＬＰ・・クランプパルス
ＨＰ・・ホールドパルス
２００・・読出処理部
２１０・・電荷検出部
２２０ａ・・信号成分選択ＭＯＳトランジスタ
２２０ｂ・・雑音成分選択ＭＯＳトランジスタ
２２２ａ・・信号成分用列選択ＭＯＳトランジスタ
２２２ｂ・・リセット雑音成分用列選択ＭＯＳトランジスタ
２３０・・帯域制限部
２３０ａ・・第１の帯域制限部
２３０ｂ・・第２の帯域制限部
２５０・・ＣＤＳ処理部
２７０・・列選択部
２８０・・列選択パルス生成部
２９０・・出力信号線

Ｃａ・・信号成分用帯域制限容量
Ｃｂ・・リセット雑音成分用帯域制限容量
ＣＬ・・クランプ容量
Ｃｈ・・ホールド容量
ＬＭ・・負荷ＭＯＳトランジスタ
ＤＭ・・駆動ＭＯＳトランジスタ
ＲＧ・・リセットゲート線
ＳＰ（ｎ）・・列選択パルス
３００・・信号処理部
３１０・・Ａ／Ｄ変換部
３２０・・画像記憶部
３３０・・メモリ制御部
３４０・・Ｄ／Ａ変換部
３５０・・ＮＴＳＣコンバータ
３６０・・ディスプレイ
Ｔ０～Ｔ１２・・時刻
ｔ１、ｔ２・・期間

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/07496

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H04N5/335, H01L27/148

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H04N5/335, H01L27/148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-97414 A (Hitachi, Ltd.), 08 April, 1994 (08.04.94), Full text; Figs. 1 to 10 (Family: none)	1-31
A	JP 58-209269 A (Tokyo Shibaura Electric Co., Ltd.), 06 December, 1983 (06.12.83), Page 2, lower right column, line 1 to page 3, lower left column, line 14; Figs. 2 to 5 (Family: none)	1-12,14-16, 18-20,22-24, 25-31
A	JP 7-131714 A (Hitachi, Ltd.), 19 May, 1995 (19.05.95), Par. Nos. [0059] to [0061]; Figs. 28 to 30 (Family: none)	13,17,21,25

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 16 September, 2003 (16.09.03)	Date of mailing of the international search report 30 September, 2003 (30.09.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０７４９６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０４Ｎ５／３３５，Ｈ０１Ｌ２７／１４８

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０４Ｎ５／３３５，Ｈ０１Ｌ２７／１４８

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００３年
日本国実用新案登録公報	１９９６－２００３年
日本国登録実用新案公報	１９９４－２００３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　６－９７４１４　Ａ（株式会社日立製作所） １９９４．０４．０８，全文，第１－１０図（ファミリーなし）	１－３１
Ａ	ＪＰ　５８－２０９２６９　Ａ（東京芝浦電気株式会社） １９８３．１２．０６，第２頁下右欄第１行－第３頁下左欄第１４行，第２－５図（ファミリーなし）	１－１２， １４－１６， １８－２０， ２２－２４， ２５－３１

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 １６．０９．０３	国際調査報告の発送日 30.09.03
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 徳田　賢二　　５Ｐ　３１３７ 電話番号　０３－３５８１－１１０１　内線　３５０２

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０７４９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　７－１３１７１４　Ａ（株式会社日立製作所）１９９５．０５．１９，段落番号【００５９】－【００６１】，第２８－３０図（ファミリーなし）	１３，１７，２１，２５