

(此處由本局於收
文時黏貼條碼)

發明專利說明書

97年12月10日修正
補充頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94145998

※申請日期：94.12.23

※IPC 分類：G11C 7/00 (2006.01)
G11C 16/02 (2006.01)

一、發明名稱：(中文/英文)

施加偏壓至儲存元件之方法與裝置

METHOD AND APPARATUS FOR APPLYING BIAS TO A STORAGE
DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

史班遜有限公司

SPANSION LLC

代表人：(中文/英文)(簽章) 福瑞特茲 羅曼 E / FRITZ, RAYMOND E.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453 桑尼威·郵政信箱 3453 號·德吉尼大道 915 號
915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, CA 94088-3453,
U. S. A.

國籍：(中文/英文) 美國/U. S. A.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 加藤健太 / KATO, KENTA

2. 古山孝昭 / FURUYAMA, TAKAAKI

國籍：(中文/英文) 1. 2. 日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國 2004年12月24日 PCT/JP2004/019329 （主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

在步驟 1 中，施加偏壓(ON)至所有直排 Z1(0)至 Z1(2)。關於橫排，不施加偏壓(OFF)至有不良區段存在之橫排 Z2(0)並且施加偏壓(ON)至其他的橫排 Z2(1)與 Z2(2)。在橫排 Z2(1)與 Z2(2)的區段上，施加電壓應力且進行存取操作。在步驟 2 中，關於該等直排，不施加偏壓(OFF)至有不良區段存在之直排 Z1(1)且施加偏壓(ON)至其他的直排 Z1(0)與 Z1(2)。關於該等橫排，施加偏壓(ON)至有不良區段存在的橫排 Z2(0)，且不施加偏壓(OFF)至其他的橫排 Z2(1)與 Z2(2)。至於這兩個步驟，可將電壓應力施加至除了不良區段以外的區段一次。

六、英文發明摘要：

In Step 1, a bias is applied (ON) to all of vertical rows Z1(0) to Z1(2). With respect to the horizontal rows, a bias is not applied (OFF) to a horizontal row Z2(0) where the defective sector exists and a bias is applied (ON) to the other horizontal rows Z2(1) and Z2(2). On the sectors in the horizontal rows Z2(1) and Z2(2), a voltage stress is applied and an access operation is performed. In Step 2, with respect to the vertical rows, a bias is not applied (OFF) to a vertical row Z1(1) where the defective sector exists and a bias is applied (ON) to the other vertical rows Z1(0) and Z1(2). With respect to the horizontal rows, a bias is applied (ON) to the horizontal row Z2(0) where the defective sector exists, and no bias is applied (OFF) to the other horizontal rows Z2(1) and Z2(2). As for the two steps, a voltage stress can be applied once to the sectors other than the defective sector.

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

ARY	記憶體陣列	C1(0)至 C1(3)	直排電壓控制單元
		C2(0)至 C2(7)	橫排電壓控制單元
ER	抹除操作控制訊號	M1	步驟 1 訊號
M2	步驟 2 訊號	PGM	編程操作控制訊號
RZ1(0)至 RZ1(3)	直排不良訊號		
RZ2(0)至 RZ2(7)	橫排不良訊號		
S00 至 S37	區段	Z2(0)至 Z2(7)	橫排位址

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

九、發明說明：

相關申請案之交互參照

本申請案為申請於2004年12月24日且根據國際專利合作條約(PCT)第21(2)條未以英文公開的國際申請案第PCT/JP2004/019329號的延續。

【發明所屬之技術領域】

本發明係有關於具有多個記憶體格的半導體儲存元件。更特定言之，本發明係有關於一種在施加偏壓至在一群組(group)內之多個區段(sector)的同時用於施加偏壓至儲存元件之方法及裝置。

【先前技術】

日本未審查專利申請案第2001-137991號(以下稱作“專利文獻1”)揭示一種在多個區域(area)內具有區段的非揮發性半導體記憶體，該記憶體能夠抹除一群組內的儲存資料。該非揮發性半導體記憶體具有一用以產生待用於抹除資料之高電壓的高電壓產生電路以及多個電晶體，該等電晶體係連接於該高電壓產生電路與多個區域內的區段之間。在一起抹除一群組的資料時，用恆定電流(constant current)操作多個電晶體以控制流到多個區域內之區段的電流。結果，即使該等區段中有不良區段，仍將待流通之電流調節成常數以便能維持抹除所需之高電壓且能進行批次抹除。

在日本未審查專利申請案第H8-106796號(以下稱作“專利文獻2”)中所揭示的半導體儲存元件中，因應處於

測試模式時批次寫入/批次抹除所有區塊(block)的輸入訊號而永遠將“選定”訊號輸出到在多個區塊中未被切換構件切換為冗餘(redundant)區塊的區塊，且將“非選定”訊號輸出到被切換為冗餘區塊的不良區塊。該半導體儲存元件具有一用於在區塊批次寫入/抹除模式時禁止施加批次寫入/抹除電壓至不良區塊的區塊選定電路。以此組態，不施加高電壓至不良區塊且電壓值不會因電流洩漏而降低。

【發明內容】

本發明所要解決的問題

在專利文獻 1 中，電晶體係連接一區段與該高電壓產生電路且在批次抹除時執行恆定電流操作。在專利文獻 2 中，區塊選定電路在批次寫入/抹除模式期間係禁止施加電壓至不良區塊。在專利文獻 1 中，在有不良區段的情形下也把流動中的電流調節為常數。專利文獻 2 係禁止施加電壓至不良區塊且防止偏壓被超額電流拉低。

不過，在專利文獻 1 中，必須逐個區段執行電流的調節且必須逐個區段裝設供調節電流用之電晶體。在專利文獻 2 中，必須逐個區塊執行施加電壓的控制，且必須逐個區塊裝設用以控制施加電壓的區塊選定電路。

結果，必須將電壓控制單元(例如，供調節電流用之電晶體)或用以控制施加電壓的區塊選定電路配置於區段或區塊在其中排列成矩陣的記憶體格陣列區。這可能對有效佈置記憶體格陣列於一般記憶體格陣列區內有妨礙，因為該一般記憶體格陣列區的組態及設計規則不同於用以作為

電壓控制單元之元件的控制電路的元件組態，且其中的記憶體格已予最佳化排列。這可能造成晶片尺寸增加的問題。

預料未來區段及區塊的數目會隨著容量增大而增加，因此，電壓控制單元(例如，供調節電流用之電晶體)與用以控制施加電壓的區塊選定電路的數目會增加。由於電壓控制單元所佔用的面積隨著區段及區塊的數目增加而擴大，所以會擴大這個問題，從而大幅增加晶片尺寸。

解決問題的方法

本發明的完成係已考慮到先前技術的問題且本發明的目標是要提供一種用於儲存元件的偏壓施加方法以及一種儲存元件，包含提供給在第一與第二方向中之排的電壓控制單元，其中根據施加至在第一與第二方向之排的電壓組合而施加偏壓至記憶體區塊。藉由控制施加至在第一與第二方向之每一排的偏壓且避免施加偏壓至不良的記憶體區塊，能有效進行批次施加偏壓至多個記憶體區塊。

企圖達成上述目標的本發明儲存元件係設有多個記憶體區塊，其中該等記憶體區塊係待存取之基本單位且沿著第一方向和第二方向中之至少一個方向配置，配置的第一方向與第二方向係彼此交叉，該儲存元件包含：第一電壓控制部件，耦合至沿著該第一方向排列的各個第一排以控制施加至各個第一排的偏壓；以及，第二電壓控制部件，耦合至沿著該第二方向排列的各個第二排以控制施加至各個第二排的偏壓，其中除了任何不良的記憶體區塊以外，同時存取該等多個記憶體區塊之至少兩個，該等記憶體區

塊係配置在各個第一排與各個第二排的交叉部份。

在本發明的儲存元件中，依照記憶體區塊群組之記憶體區塊配置的方向，該第一電壓控制部件係執行施加偏壓至沿著該第一方向排列之每一排的控制，而該第二電壓控制部件係執行施加偏壓至沿著該第二方向排列之每一排的控制。藉由組合對在第一與第二方向之排的施加控制，將偏壓施加至配置於交叉位置的記憶體區塊。

結果，為記憶體區塊群組之記憶體區塊配置於其中的每一排提供第一或第二電壓控制部件就足夠，且不需要為每一個記憶體區塊提供電壓控制部件。將第一與第二電壓控制部件配置於記憶體格陣列區的周圍就足夠，且可將記憶體格配置成集中於該記憶體格陣列區。以與用以作為電壓控制單元之元件的控制電路的元件組態不同的組態及設計規則，可有效率設計出記憶體格陣列區。同樣地，在記憶體區塊數增加的情形下，可減少所需電壓控制部件的數目。因此，可控制晶片面積的增加。

此外，根據企圖達成上述目標的本發明之施加偏壓至儲存元件的方法，該儲存元件包含多個記憶體區塊，該等多個記憶體區塊係待存取之基本單位且沿著配置成彼此交叉的第一方向和第二方向中之至少一個方向配置，該方法係包含以下的步驟：藉由控制施加至沿著該第一方向排列之各個第一排以及沿著該第二方向排列之各個第二排的偏壓而施加偏壓至該等多個記憶體區塊，且在該等多個記憶體區塊中有不良記憶體區塊時，不施加該偏壓至對應於在

沿著該第一與第二方向中之一個方向排列的各個排中有不良記憶體區塊存在之某些位置的某些排。

在本發明之儲存元件的偏壓施加方法中，根據記憶體區塊群組中之記憶體區塊的排列方向，對沿著該第一與第二方向之各個排進行偏壓施加控制。由於是依照第一與第二方向之排的組合而施加偏壓至記憶體區塊，所以不施加偏壓至在第一或第二方向中有不良記憶體區塊存在的排。

結果，在藉由控制施加至沿著第一與第二方向之每一排的偏壓而同時施加偏壓至多個記憶體區塊的時候，對於不施加偏壓於第一或第二方向中有不良記憶體區塊存在之排是不會有偏壓可施加的。以此方式，可同時施加偏壓至記憶體區塊群組的記憶體區塊，但是不良記憶體區塊或在有不良記憶體區塊存在之排中的記憶體區塊除外，也不對該等不良記憶體區塊進行施壓控制。除了不良記憶體區塊以外，對每一記憶體區塊可以兩個步驟施加至少一次電壓應力(voltage stress)，且可用少數幾個步驟完成存取操作。

本發明的效果

本發明可提供一種用於儲存元件的偏壓施加方法以及一種根據本發明方法操作的儲存元件，包含提供給在第一與第二方向中之排的電壓控制部件，其中根據施加至在第一與第二方向之排的電壓組合而施加偏壓至記憶體區塊。藉由控制施加至在第一與第二方向之每一排的偏壓且避免施加偏壓至不良記憶體區塊，可有效進行批次施加偏壓至多個記憶體區塊。

【實施方式】

以下根據本發明，參照第 1 圖至第 22 圖，詳述儲存元件之偏壓施加方法及儲存元件之具體實施例的細節。

第 1 圖與第 2 圖係示意圖示本發明偏壓施加方法。本發明提供一種用於儲存元件的偏壓施加方法，該儲存元件具有多個各為存取之基本單位且由多個記憶體格構成的區段。在該儲存元件中，以排為單位基礎施加偏壓至多個待存取之區段且可用最少的步驟施加電壓應力至所有除不良區段以外的區段。

例如，當該儲存元件為非揮發性儲存元件時，抹除操作為存取實例，且區段為抹除操作的基本單位。不只在抹除操作期間會做存取，且在編程(programming)操作與應力測試操作期間也做存取。存取操作的意思是施加偏壓應力至待存取之區段。對於多個待存取之區段，可進行所有區段的批次存取操作以及部份選定之區段群組的存取操作。例如，前項操作為批次抹除操作而後項為第一晶片抹除操作。

第 1 圖的示意圖係圖示例如部份選定之區段群組的存取操作且圖解說明在垂直方向排列成排的區段的情形。該群組係由有相同直排位址 $Z1(i)$ 及不同橫排位址 $Z2(0)$ 、 $Z2(1)$ 、 $Z2(2)$ 的 3 個區段構成。該等區段中，區段($Z1(i)$ 、 $Z2(0)$)為不良區段。

由於每一直排與橫排設有電壓控制單元，執行此情形的施加偏壓方法的方式為施加偏壓(ON)至直排 $Z1(i)$ ，不施

加偏壓(OFF)至橫排 $Z2(0)$ ，以及施加偏壓(ON)至橫排 $Z2(1)$ 與 $Z2(2)$ 。當垂直和水平方向都施加偏壓時，施加電壓應力至區段($Z1(i)$ 、 $Z2(1)$)以及區段($Z1(i)$ 、 $Z2(2)$) (第 1 圖中劃斜線的區段)且對該等區段執行存取操作。關於區段($Z1(i)$ 、 $Z2(0)$)，施加垂直方向之偏壓但不施加在橫排 $Z2(0)$ 之偏壓。結果，對區段($Z1(i)$ 、 $Z2(0)$)不執行存取操作(不施加電壓應力)。以單一步驟施加偏壓控制，存取除了不良區段以外的多個待存取之區段(第 1 圖中畫斜線的區段)。

通常，就部份選定之區段群組包含不良區段的情形而言，有必要逐一存取該等區段(就此情形而言，為第 1 圖中劃斜線的區段區)。根據本發明，可用單一操作存取除不良區段以外的正常區段。

第 2 圖的示意圖係圖示批次存取操作之實施例且圖解說明將區段佈置於直排位址為 $Z1(0)$ 至 $Z1(2)$ 及橫排位址為 $Z2(0)$ 至 $Z2(2)$ 等位置的情形。假設不良區段的位置是在 ($Z1(1)$ 、 $Z2(0)$)。就此情形而言，可用兩個步驟完成存取多個除不良區段以外的待存取之區段的操作。

在步驟 1 中，施加偏壓(ON)至所有直排 $Z1(0)$ 至 $Z1(2)$ 。關於橫排，不施加偏壓(OFF)至有不良區段存在的橫排 $Z2(0)$ 且施加偏壓(ON)至其他橫排 $Z2(1)$ 與 $Z2(2)$ 。對於橫排 $Z2(1)$ 與 $Z2(2)$ 中垂直和水平方向都施加偏壓的區段，亦即，排列於($Z1(0)$ 、 $Z2(1)$)、($Z1(0)$ 、 $Z2(2)$)、($Z1(1)$ 、 $Z2(1)$)、($Z1(1)$ 、 $Z2(2)$)、($Z1(2)$ 、 $Z2(1)$)、以及($Z1(2)$ 、 $Z2(2)$) 的區段(第 2 圖步驟 1 中劃斜線的區段)，都施加電壓應力

且執行存取操作。另一方面，對於橫排 Z2(0)的區段，亦即，位於(Z1(0)、Z2(0))、(Z1(1)、Z2(0))、以及(Z1(2)、Z2(0))的區段，雖然垂直方向有施加偏壓，但水平方向不施加偏壓。結果，不對該等區段進行存取操作(不施加電壓應力)。

在步驟 2 中，至於在直排方面，不施加偏壓(OFF)至有不良區段的直排 Z1(1)且施加偏壓(ON)至其他直排 Z1(0)與 Z1(2)。關於橫排，施加偏壓(ON)至有不良區段存在的橫排 Z2(0)，且不偏壓施加(OFF)至其他橫排 Z2(1)與 Z2(2)。對於橫排 Z2(0)中除不良區段以外的區段，亦即，排列於(Z1(0)、Z2(0))與(Z1(2)、Z2(0))的區段(第 2 圖步驟 2 中劃斜線的區段)，藉由施加垂直方向的偏壓以及水平方向的偏壓而施加電壓應力以及進行存取操作。對於直排 Z1(0)與 Z1(2)的其他區段，亦即，位於(Z1(0)、Z2(1))、(Z1(0)、Z2(2))、(Z1(2)、Z2(1))、以及(Z1(2)、Z2(2))的區段，雖然垂直方向中有施加偏壓，但水平方向不施加偏壓。結果，無電壓應力施加至該等區段。

對於一起存取在 3 條直排和 3 條橫排中之區段的情形而言，即使內含不良區段，仍可用兩個步驟存取除不良區段以外的區段(可施加電壓應力)。結果，可用少數幾個步驟完成存取操作。對於除不良區段以外的區段只施加一次電壓應力，藉此不施加過度的電壓應力。

習知上，就選定作為批次存取(例如，批次抹除操作、正常區段的各種應力測試、或正常區段的洩漏測試)之標的的區段群組中有不良區段的情形而言，有必要逐一存取該

等區段(就此情形而言，為第 2 圖步驟 1 與步驟 2 中劃斜線的區段)。本發明可用兩個步驟存取除不良區段以外的正常區段(兩次)。

第 3 圖的電路方塊圖係圖示本發明儲存元件之具體實施例，其係具有多個區段的記憶體陣列 ARY 以及提供給該儲存元件內之區段的直排及橫排之電壓控制單元。應用本發明的儲存元件不取決於記憶體格的儲存特徵且其應用與儲存元件是否為揮發性或非揮發性無關。以下係以非揮發性儲存元件為例描述具體實施例。該具體實施例主要是描述以圖示於第 2 圖的兩個步驟進行批次存取操作。

在記憶體格陣列 ARY 中，區段 S00 至 S37 係經排列成 4 條直排(Z1(0)至 Z1(3))、8 行橫排(Z2(0)至 Z2(7))。

在垂直方向，直排(Z1(0)至 Z1(3))分別設有直排電壓控制單元(C1(0)至 C1(3))。將抹除操作控制訊號 ER、編程操作控制訊號 PGM、以及表示步驟 2 應力施加期間的步驟 2 訊號 M2 輸入到每一直排電壓控制單元(C1(0)至 C1(3))。在直排方面，其係輸入直排位址 Z1(0)至 Z1(3)以及各表示對應直排是否有不良區段的直排不良訊號 RZ1(0)至 RZ1(3)。直排電壓控制單元(C1(0)至 C1(3))係控制垂直方向施加至配置電壓控制單元於其中之直排(Z1(0)至 Z1(3))的偏壓。具體言之，直排電壓控制單元 C1(0)控制施加至區段 S00 至 S07 的偏壓。同樣，直排電壓控制單元 C1(1)、C1(2)、C1(3)分別控制施加至區段 S10 至 S17、S20 至 S27、S30 至 S37 的偏壓。

在水平方向，橫排(Z2(0)至 Z2(7))分別設有橫排電壓控制單元(C2(0)至 C2(7))。將抹除操作控制訊號 ER、編程操作控制訊號 PGM、以及表示步驟 1 應力施加期間的步驟 1 訊號 M1 輸入到每一橫排電壓控制單元(C2(0)至 C2(7))。在橫排方面，其係輸入橫排位址 Z2(0)至 Z2(7)以及各表示對應橫排是否有不良區段存在的橫排不良訊號 RZ2(0)至 RZ2(7)。橫排電壓控制單元(C2(0)至 C2(7))控制水平方向施加至配置電壓控制單元於其中之橫排(Z2(0)至 Z2(7))的偏壓。具體言之，橫排電壓控制單元 C2(0)控制施加至區段 S00 至 S30 的偏壓。同樣，橫排電壓控制單元 C2(1)、C2(2)、C2(3)、C2(4)、C2(5)、C2(6)、C2(7)分別控制施加至區段 S01 至 S31、S02 至 S32、S03 至 S33、S04 至 S34、S05 至 S35、S06 至 S36、S07 至 S37 的偏壓。

在垂直方向(直排)方面，數條局域位元線(local bit line)在區段內延伸，數條全域位元線(global bit line)延伸穿過該等多個區段。此外，多個區段所共用的井(well)在各條直排中延伸。在水平方向，局域字元線(為第 11 圖的 P2WL，將予以描述於後文)在區段中延伸，而全域字元線(為第 11 圖的 GWL，將予以描述於後文)延伸穿過該等多個區段。

為了在垂直方向控制施加至直排電壓控制單元(C1(i))的偏壓，使用各直排中多個區段所共用的井電位 VNW；副解碼器高電壓 VWL，其係用於控制配置於每一區段(該局域字元線延伸於其中)的副解碼器；以及，用於控制副解碼器低電壓電源開關的控制訊號 NEN，該副解碼器低電壓電

源開關係控制該副解碼器的副解碼器低電壓 XDS。

為了在水平方向控制施加至橫排電壓控制單元(C2(i))的偏壓，使用一對各排中多個區段所共用的全域字元線(GWL、GWL B)；以及，用於控制副解碼器低電壓電源開關的負電源 RNEGP，該副解碼器低電壓電源開關係控制該副解碼器的副解碼器低電壓 XDS。

非揮發性儲存元件的抹除操作及編程操作係利用局域字元線與該井兩者之間的電壓差所造成的記憶體格之物理穿隧現象(physical tunneling phenomenon)以及局域字元線與局域位元線之間或記憶體格電源線之間的記憶體格物理穿隧現象。也有利用熱載子(hot carrier)及其類似物而完成的編程操作。

該抹除操作控制訊號 ER 以及該編程操作控制訊號 PGM 係用於控制操作狀態之控制電路未圖示所輸出的訊號，且因應一存取操作命令(例如，外部命令)而設定各存取操作的操作時序。就非揮發性儲存元件而言，在抹除操作與編程操作期間，交替重覆施加電壓應力至記憶體格與所謂的驗證操作(其係在施加電壓應力後驗證格電晶體的臨界電壓)。該抹除操作控制訊號 ER 以及該編程操作控制訊號 PGM 均為用於指示偏壓至記憶體格的訊號。

分別表示步驟 1 與步驟 2 的應力施加期間的步驟 1 訊號 M1 與步驟 2 訊號 M2 均為由控制電路未圖示在第 2 圖批次存取操作時所輸出的訊號，且為用以管理電壓應力順序的訊號。如第 2 圖批次存取操作之偏壓施加方法所示，

在選定所有直排以及在步驟 2 施加偏壓時，必須進行控制藉此在步驟 2 僅僅不施加偏壓至有不良區段的直排。至於橫排，施加偏壓於有不良區段之排的控制和施加偏壓於無不良區段之排的控制是彼此不同的。在步驟 1，僅僅不施加偏壓至有不良區段的那一排。在步驟 2，必須改變施加偏壓的控制。對於這種控制，如第 3 圖所示，將步驟 2 訊號 M2 輸入到直排電壓控制單元 C1(0)至 C1(3)，且將步驟 1 訊號 M1 輸入到橫排電壓控制單元 C2(0)至 C2(7)。

此外，以下將結合第 4 圖至第 10 圖，說明如何根據位址訊號輸出控制單元輸出：指示直排與橫排的直排/橫排位址(Z1(0)至 Z1(3)、Z2(0)至 Z2(7))；以及，指示有不良區段之直排/橫排的直排/橫排不良訊號(RZ1(0)至 RZ1(3)、RZ2(0)至 RZ2(7))。

第 4 圖至第 6 圖圖示直排位址訊號輸出控制單元。第 4 圖圖示一控制單元，其係用於輸出供輸入外部位址 $exAD(i)$ (在此 $i=0$ 至 4)用之同相/反相內部位址訊號 $inAD(i)/inADB(i)$ (在此 $i=0$ 至 4)。在以區段為單位基數進行正常存取操作期間，為每一外部位址 $exAD(i)$ 產生同相/反相內部位址訊號 $inAD(i)/inADB(i)$ 。該等內部位址訊號中之一個變成高位準。此外，也進行冗餘測定(redundancy determination)。該輸出控制單元係具有位址緩衝器 15、為非揮發性儲存元件或其類似物且已預先儲存不良區段位址 $RA(i)$ (在此 $i=0$ 至 4)於其中的 CAM 單元 11、以及用於確定外部位址 $exAD(i)$ 是否與不良區段位址 $RA(i)$ 彼此匹配的

冗餘測定電路 13。

該位址緩衝器 15 具有直接輸入外部位址 $exAD(i)$ 的設定 (set) 以及輸入用反相器 (inverter) 閘極 I9 使外部位址 $exAD(i)$ 反相所得到之位址的設定。由位址緩衝器 15 輸出相位 (phase) 與外部位址 $exAD(i)$ 相同的內部位址訊號 $inAD(i)$ (在此 $i = 0$ 至 4) 以及相位與外部位址 $exAD(i)$ 相反的內部位址訊號 $inADB(i)$ (在此 $i = 0$ 至 4)。對於高位準外部位址 $exAD(i)$ 而言，同相 (in-phase) 的內部位址 $inAD(i)$ 變成高位準。對於低位準外部位址 $exAD(i)$ 而言，反相 (opposite-phase) 的內部位址訊號 $inADB(i)$ 變成高位準。亦即，位址緩衝器 15 所輸出的內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 均為對應至該外部位址 $exAD(i)$ 的訊號。

將輸入的外部位址 $exAD(i)$ 及其反相 (inverted) 位址輸入到 NOR 閘極 R1。對於 NOR 閘極 R1 的另一輸入端子，步驟 2 訊號 M2 係關於外部位址 $exAD(0)$ 及 $exAD(1)$ 而輸入，且步驟 1 訊號 M1 係關於外部位址 $exAD(2)$ 至 $exAD(4)$ 而輸入。用反相器閘極 I3 使 NOR 閘極 R1 的輸出訊號反相，且將用於檢查冗餘測定是否匹配的位址 $preAD(i)$ (在此 $i = 0$ 至 4) 和位址 $preADB(i)$ (在此 $i = 0$ 至 4) 輸出及供給至該冗餘測定電路 13。

冗餘測定電路 13 檢查儲存於 CAM 單元 11 的不良區段位址 $RA(i)/RAB(i)$ 與位址編號 i 相同且同相/反相的位址 $preAD(i)/preADB(i)$ 是否彼此匹配。當所有位址編號 ($i = 0$ 至 4) 中有高位準的組合時，確定位址 $preAD(i)/preADB(i)$

與預先儲存的不良區段之位址匹配，且輸出冗餘匹配訊號 SRED 以及由匹配位址解碼的不良區段的直排/橫排中之直排及橫排位址 $RZ1(i)$ 與 $RZ2(i)$ (在此 $i = 0$ 至 4)。

由有 3 個輸入的 NOR 閘極 R3 輸出由位址緩衝器 15 輸出的內部位址訊號 $inAD(i)/inADB(i)$ 。NOR 閘極 R3 的輸入端子係分別經由節點 N1、N2、N3 連接至反相器閘極 I2、I6、I8 的輸出端子。

通到節點 N1 的路徑係由反相器閘極 I1、該反相器閘極 I2、以及 NAND 閘極 D1 構成。將 CAM 單元 11 所輸出的不良區段位址 $RA(i)/RAB(i)$ 輸入到該反相器閘極 I1，且將反相器閘極 I1 的輸出端子連接到該 NAND 閘極 D1。將步驟 1 訊號 M1 或步驟 2 訊號 M2 與冗餘匹配訊號 SRED 輸入到 NAND 閘極 D1。將 NAND 閘極 D1 的輸出訊號輸入到反相器閘極 I2。

將每一不良區段位址 $RA(i)/RAB(i)$ 輸入到對應於外部位址 $exAD(i)$ /外部位址之反相位址的位址緩衝器 15。將步驟 1 訊號 M1 輸入到位址緩衝器 15 ($i = 2$ 至 4)，且將步驟 2 訊號 M2 輸入到位址緩衝器 15 ($i = 0$ 至 1)。

通到節點 N2 的路徑係由反相器閘極 I4 與 I5、該反相器閘極 I6、以及 NAND 閘極 D2 構成。將外部位址 $exAD(i)$ 或其反相位址輸入到反相器閘極 I4，且將步驟 1 訊號 M1 或步驟 2 訊號 M2 輸入到反相器閘極 I5。將反相器閘極 I4 與 I5 的輸出訊號輸入到 NAND 閘極 D2，且將 NAND 閘極 D2 的輸出訊號輸入到反相器閘極 I6。

以與節點 N1 路徑之情形相同的方式，將外部位址 $exAD(i)$ 或其反相位址以及步驟 1 訊號 M1 或步驟 2 訊號 M2 輸入到對應的位址緩衝器 15。

通到節點 N3 的路徑係由反相器閘極 I7、該反相器閘極 I8、NAND 閘極 D3 與 D4、以及 NOR 閘極 R2 構成。將冗餘匹配訊號 SRED 以及步驟 1 訊號 M1 或步驟 2 訊號 M2 輸入到 NOR 閘極 R2 與 NAND 閘極 D3。經由反相器閘極 I7 而將 NOR 閘極 R2 的輸出訊號輸入到 NAND 閘極 D4。將 NAND 閘極 D3 的輸出訊號直接輸入到 NAND 閘極 D4。將 NAND 閘極 D4 的輸出訊號輸入到反相器閘極 I8。

以與節點 N1 與 N2 路徑之情形相同的方式，將步驟 1 訊號 M1 或步驟 2 訊號 M2 輸入到對應的位址緩衝器 15。

第 5 圖與第 6 圖係圖示排解碼器，其係用於解碼在第 4 圖中已被解碼的內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 且選定該等區段配置於其中的直排位址 ($Z1(0)$ 至 $Z1(3)$) 及橫排位址 ($Z2(0)$ 至 $Z2(7)$)。

第 5 圖圖示用於解碼直排位址的直排解碼器。以位址編號 ($i = 0$ 或 1) 識別直排中的位置。為內部位址訊號 $inAD(0)$ 或 $inADB(0)$ 以及 $inAD(1)$ 或 $inADB(1)$ 的每一組合裝設直排解碼器部份 17。由該等直排解碼器部份 17 輸出直排位址 $Z1(0)$ 至 $Z1(3)$ 。

直排解碼器部份 17 具有：輸入內部位址訊號 $inAD(0)$ 或 $inADB(0)$ 以及內部位址訊號 $inAD(1)$ 或 $inADB(1)$ 的 NAND 閘極 D5；以及，輸入 NAND 閘極 D5 之輸出訊號的

反相器閘極 I10。經由轉移閘極(transfer gate)T1 與 T2 輸出反相器閘極 I10 與 NAND 閘極 D5 的輸出訊號作為內部位址訊號。

特別把轉移閘極 T1 與 T2 控制成導電以輸出反相器閘極 I10 的輸入訊號或者是輸出訊號。轉移閘極控制單元 19 係由 OR 閘極 R3 與反相器閘極 I11 構成。將步驟 1 訊號 M1 與步驟 2 訊號 M2 輸入到 OR 閘極 R3。OR 閘極 R3 的輸出訊號係控制該轉移閘極 T1 的 PMOS 電晶體以及轉移閘極 T2 的 NMOS 電晶體。該反相器閘極 I11 的輸出訊號係控制該轉移閘極 T1 的 NMOS 電晶體以及轉移閘極 T2 的 PMOS 電晶體。

在步驟 1 訊號 M1 與步驟 2 訊號 M2 兩者都為低位準且不起作用(inactive)的情形下，OR 閘極 R3 的輸出訊號變成低位準且轉移閘極 T1 變為導電。另一方面，當步驟 1 訊號 M1 或者是步驟 2 訊號 M2 為高位準且有作用(active)時，OR 閘極 R3 的輸出訊號變成高位準，且轉移閘極 T2 變為導電。步驟 1 訊號 M1 或者是步驟 2 訊號 M2 為高位準的情形係與執行圖示於第 2 圖之批次存取操作的情形相對應。

反相器閘極 I10 的輸出訊號係因應內部位址訊號的組合而被選定的訊號且變成高位準。就其中不執行批次存取操作的正常存取操作而言，轉移閘極 T1 變為導電，且選定因應內部位址訊號之組合而被選定的直排位址(Z1(0)至 Z1(3))中之一個。反之，就不是執行正常存取操作而是批

次存取操作的情形而言，轉移閘極 T2 變為導電，且選定根據內部位址訊號之組合而不被選定的直排位址(Z1(0)至 Z1(3))中之任何一個。

第 6 圖係圖示用於解碼橫排位址的橫排解碼器。橫排的位置係以位址編號 $i = 2$ 至 4 識別。為內部位址訊號 inAD(2)或 inADB(2)以及 inAD(4)或 inADB(4)的每一組合裝設直排解碼器部份 17，且輸出橫排位址 Z2(0)至 Z2(7)。

圖示於第 6 圖的橫排位址解碼器係具有轉移閘極控制單元 21 以取代轉移閘極控制單元 19。轉移閘極控制單元 21 具有反相器閘極 I12。將步驟 1 訊號 M1 輸入到反相器閘極 I12。步驟 1 訊號 M1 係控制轉移閘極 T1 的 PMOS 電晶體與轉移閘極 T2 的 NMOS 電晶體。反相器閘極 I12 的輸出訊號控制轉移閘極 T1 的 NMOS 電晶體以及轉移閘極 T2 的 PMOS 電晶體。

就步驟 1 訊號 M1 為低位準且不起作用的情形而言，轉移閘極 T1 變為導電。另一方面，當步驟 1 訊號 M1 為高位準且有作用時，轉移閘極 T2 變為導電。步驟 1 訊號 M1 為高位準的期間係與第 2 圖批次存取操作中步驟 1 的期間相對應。

就其中不執行批次存取操作且步驟 2 為批次存取操作的情形而言，轉移閘極 T1 變為導電，且選定根據內部位址訊號之組合而選定的橫排位址(Z2(0)至 Z2(7))中之一個。反之，在批次存取操作的步驟 1 期間，轉移閘極 T2 變為導電，且選定根據內部位址訊號之組合而不被選定的

橫排位址 ($Z2(0)$ 至 $Z2(7)$) 中任何一個。

第 7 圖至第 10 圖係圖示第 4 圖內部位址輸出控制單元的操作波形。執行包括冗餘匹配測定之用於位址訊號的控制。儘管未圖示，當待經受批次存取操作的區段中有不良區段時，用冗餘測定電路 13 解碼且輸出不良區段的直排與橫排位址 $RZ1(i)$ 與 $RZ2(i)$ 。用直排與橫排解碼器解碼該位址解碼器 15 所輸出的內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 的直排及橫排位址 (第 5 圖與第 6 圖)。

第 7 圖與第 8 圖圖示在其中不進行批次存取操作之正常存取操作期間的操作波形。第 7 圖係圖示沒有待冗餘修理 (redundancy repaired) 之不良區段的情形。第 8 圖係圖示有待冗餘修理之不良區段的情形。根據外部位址 $exAD(i)$ ，輸出用於檢查匹配的位址 $preAD(i)/preADB(i)$ 。就外部位址 $exAD(i)$ 為高位準的情形而言，位址 $preAD(i)$ 變為高位準。就外部位址 $exAD(i)$ 為低位準的情形而言，位址 $preADB(i)$ 變為高位準。

在冗餘測定電路 13 中，用於檢查匹配的位址 $preAD(i)$ 、 $preADB(i)$ 與不良區段位址 $RA(i)$ 、 $RAB(i)$ 做比較。如果不匹配 (第 7 圖)，冗餘匹配訊號 $SRED$ 仍為低位準。如果匹配 (第 8 圖)，將冗餘匹配訊號 $SRED$ 切換成高位準。

第 7 圖與第 8 圖中，不執行批次存取操作，藉此使步驟 1 訊號 $M1$ 與步驟 2 訊號 $M2$ 保持低位準。結果，輸出到節點 $N1$ 的訊號 $SN1$ 仍為低位準。根據外部位址

$exAD(i)$ ，輸出到節點 N2 的訊號 SN2。亦即，在輸入外部位址 $exAD(i)$ 的位址緩衝器 15 中，輸出有訊號位準且相位與外部位址 $exAD(i)$ 相反的訊號。在輸入外部位址 $exAD(i)$ 之反相訊號的位址緩衝器 15 中，輸出有邏輯位準且相位與外部位址 $exAD(i)$ 相同的訊號。

另一方面，由於將步驟 1 訊號 M1 與步驟 2 訊號 M2 保持在低位準，輸出一輸出到節點 N3 且邏輯位準不同於冗餘匹配訊號 SRED 的訊號 SN3。如果冗餘匹配訊號 SRED 為低位準(第 7 圖)，則輸出低位準訊號。如果冗餘匹配訊號 SRED 為高位準(第 8 圖)，則輸出高位準訊號。

根據輸入到 NOR 閘極 R3 之訊號 SN1 至 SN3 的邏輯位準，如果為第 7 圖的情形，則輸出訊號 SN2 的反相訊號。在輸入外部位址 $exAD(i)$ 的位址緩衝器 15 中，輸出有訊號位準且相位與外部位址 $exAD(i)$ 相同的訊號。在輸入外部位址 $exAD(i)$ 之反相訊號的位址緩衝器 15 中，輸出有邏輯位準且相位與外部位址 $exAD(i)$ 的訊號。具體言之，當外部位址 $exAD(i)$ 為高位準時，以高位準輸出內部位址訊號 $inAD(i)$ 。當外部位址 $exAD(i)$ 為低位準時，以高位準輸出內部位址訊號 $inADB(i)$ 。用直排解碼器解碼該等內部位址訊號。

如第 5 圖所示之直排解碼器中，用轉移閘極控制單元 19 進行控制且轉移閘極 T1 變為導電。對應至用 NAND 閘極 D5 與反相器閘極 I10 解碼的內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 的直排位址變成高位準，且被選定。

就第 8 圖的情形而言，輸出低位準訊號以回應訊號 SN3。由於外部位址 $exAD(i)$ 與不良區段位址 $RA(i)$ 匹配，所有根據外部位址 $exAD(i)$ 而輸出的內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 均保持在低位準，且禁止存取不良區段。根據用冗餘測定電路 13 解碼及輸出的直排位址 $RZ1(i)$ ，選定待存取供冗餘修理用之冗餘區段。

如第 6 圖所示之橫排解碼器中，用轉移閘極控制單元 21 執行控制且轉移閘極 T1 變為導電。用 NAND 閘極 D5 與反相器閘極 I10 解碼橫排位址。保持所有內部位址訊號 $inAD(i)$ 與 $inADB(i)$ 於低位準，且禁止對不良區段的存取。根據用冗餘測定電路 13 解碼及輸出的橫排位址 $RZ2(i)$ ，選定待存取供冗餘修理用之冗餘區段。

第 9 圖與第 10 圖係圖示批次存取操作期間的操作波形。第 9 圖圖示沒有待冗餘修理之不良區段的情形。第 10 圖圖示有待冗餘修理之不良區段的情形。由於步驟 1 訊號 M1 或步驟 2 訊號 M2 變成高位準，這與輸入的外部位址 $exAD(i)$ 無關，所有用於檢查匹配的位址 $preAD(i)$ 與 $preADB(i)$ 變為高位準。

在冗餘測定電路 13 中，用於檢查匹配的高位準位址 $preAD(i)$ 、 $preADB(i)$ 與不良區段位址 $RA(i)$ 、 $RAB(i)$ 相比較以檢查是否匹配。如果不良區段的位址已儲存於 CAM 單元 11，則預定的不良區段位址 $RA(i)$ 與 $RAB(i)$ 為高位準，藉此確定位址是否匹配。就沒有儲存位址的情形而言，所有不良區段位址 $RA(i)$ 與 $RAB(i)$ 顯示出低位準且判定為

不匹配。就不匹配的情形而言(第 9 圖), 冗餘匹配訊號 SRED 保持低位準。就匹配的情形而言(第 10 圖), 將冗餘匹配訊號 SRED 反相成高位準。

第 9 圖與第 10 圖係圖示批次存取操作以及步驟 1 訊號 M1 或步驟 2 訊號 M2 變成高位準的情形。結果, 輸出到節點 N2 的訊號 SN2 變成低位準。就第 9 圖的情形而言, 由於冗餘匹配訊號 SRED 為低位準, 待輸出至節點 N1 的訊號 SN1 變成低位準。就第 10 圖的情形而言, 由於冗餘匹配訊號 SRED 為高位準, 輸入儲存於 CAM 單元 11 之不良區段位址 RA(i)與 RAB(i)的位址緩衝器 15 變成低位準。其他位址緩衝器 15 變為高位準。此外, 就第 9 圖的情形而言, 由於冗餘匹配訊號 SRED 為低位準, 輸出到節點 N3 的訊號 SN3 變成高位準。就第 10 圖的情形而言, 冗餘匹配訊號 SRED 為高位準, 使得訊號 SN3 變成低位準。結果, 在第 9 圖的情形下, 在所有的位址之下, 待輸出的內部位址訊號 inAD(i)與 inADB(i)變成低位準。在第 10 圖的情形下, 對應至儲存於 CAM 單元 11 的不良區段位址 RA(i)與 RAB(i)的訊號變為高位準, 且對應至其他位址的訊號變為低位準。

如第 5 圖所示, 其中係以轉移閘極控制單元 19 控制直排解碼器。在批次存取操作期間, 轉移閘極 T2 變為導電。輸出 NAND 閘極 D5 的訊號作為直排位址 Z1(0)至 Z1(3)而不被反相器閘極 I10 反相。在沒有不良區段的情形下, 如第 9 圖所示, 對於所有內部位址訊號 inAD(i)與 inADB(i),

NAND 閘極 D5 所輸出的訊號都變為高位準。在有不良區段的情形下，如第 10 圖所示，內部位址訊號 $\text{inAD}(i)$ 與 $\text{inADB}(i)$ 中對應至不良區段的位址訊號變為低位準。其他位址訊號變為高位準。不選定不良區段的直排位址且選定其他直排位址。在批次存取操作期間的步驟 1 與 2 中，選定所有除不良區段的直排位址以外的直排位址 $Z1(0)$ 至 $Z1(3)$ 。

如第 6 圖所示，其中係以轉移閘極控制單元 21 控制橫排解碼器。在批次存取操作的步驟 1 期間，轉移閘極 T2 變為導電。在步驟 2 期間，轉移閘極 T1 變為導電。在步驟 2 期間，經由反相器閘極 I10 輸出訊號。在步驟 1 期間，由 NAND 閘極 D5 輸出訊號而不被反相器閘極 I10 反相。在沒有不良區段的情形下，如第 9 圖所示，所有內部位址訊號 $\text{inAD}(i)$ 與 $\text{inADB}(i)$ 變為低位準。在步驟 1 期間，所有橫排位址 $Z2(0)$ 至 $Z2(7)$ 變為高位準。在步驟 2 期間，所有橫排位址 $Z2(0)$ 至 $Z2(7)$ 變為低位準。在有不良區段的情形下，如第 10 圖所示，在步驟 1 期間，只有不良區段的橫排位址變為低位準而其他橫排位址變為高位準。在步驟 2 期間，只有不良區段的橫排位址變為高位準，而其他橫排位址變為低位準。

第 11 圖係與第 3 圖的電路方塊圖有關且為圖示用於施加偏壓至區段 S07 的控制電路之電路組態的電路方塊圖。該控制電路包含：副解碼器 23，其係用於控制該區段 S07 中之局域字元線 $P2WL(07)$ ；副解碼器低電壓電源開關 25，

其係用於輸出低電壓至該副解碼器 23；井電位控制單元 31，其係用於控制區段 S07 的井電位；副解碼器低電壓電源控制單元 33，其係用於控制該副解碼器低電壓電源開關 25 的切換；副解碼器高電壓電源控制單元 35，其係用於在編程及資料選取時輸出高電壓至該副解碼器 23；字元線負電壓供給單元 41，其係用於輸出負電力至該副解碼器低電壓電源開關 25 與主解碼器 45；主解碼器高電壓電源控制單元 43，其係用於輸出高電壓至該主解碼器 45；以及該主解碼器 45，其係用於控制全域字元線 GWL(7)與 GWLB(7)。

直排電壓控制單元 C1(0)包含該井電位控制單元 31、副解碼器低電壓電源控制單元 33、以及副解碼器高電壓電源控制單元 35。該橫排電壓控制單元 C2(7)包含該字元線負電壓供給單元 41、主解碼器高電壓電源控制單元 43、以及主解碼器 45。第 12 圖至第 19 圖係圖示該電路方塊之具體實施例。在第 12 圖至第 19 圖的電路方塊中，沒有表示位置的字尾。

第 12 圖圖示副解碼器 23 的具體實施例。在副解碼器 23 中，經由 NMOS 電晶體(其係連接至彼此有互補訊號的全域字元線 GWL 與 GWLB)，供給副解碼器高電壓 VWL 或副解碼器低電壓 XDS 至局域字元線 P2WL。

第 13 圖圖示副解碼器低電壓電源開關 25 的具體實施例。副解碼器低電壓電源開關 25 所採用的形式為使用接地電壓作為高電壓端電力且由字元線負電壓供給單元 41 輸出負電力 RNEGP 作為低電壓端電力的反相器閘極，且根

據該副解碼器低電壓電源控制單元 33 所輸出的控制訊號 NEN，輸出該副解碼器低電壓 XDS。

第 14 圖圖示井電位控制單元 31 的具體實施例。該井電位控制單元 31 具有：輸入直排不良訊號 RZ1 與步驟 2 訊號 M2 的 NAND 閘極 D6；以及，輸入 NAND 閘極 D6 之輸出訊號、直排位址 Z1、抹除操作控制訊號 ER 的 NAND 閘極 D7。該井電位控制單元 31 係以 NAND 閘極 D7 控制且經由電位轉換器(level shifter)與閃鎖電路將彼之結果輸出作為井電位 VNW。當 NAND 閘極 D7 的輸出訊號為低位準時，輸出高電壓 VH(例如，9V)。當輸出訊號為高位準時，輸出接地電壓。

第 15 圖圖示副解碼器低電壓電源控制單元 33 的具體實施例。該副解碼器低電壓電源控制單元 33 具有：輸入直排不良訊號 RZ1 與步驟 2 訊號 M2 的 NOR 閘極 R4、輸入該 NOR 閘極 R4 之輸出訊號與直排位址 Z1 的 NAND 閘極 D8、以及輸入該 NAND 閘極 D8 之輸出訊號與抹除操作控制訊號 ER 的 NAND 閘極 D9。該副解碼器低電壓電源控制單元 33 係以 NAND 閘極 D9 控制且經由電位轉換器與該閃鎖電路 L1 輸出控制訊號 NEN。當該 NAND 閘極 D9 的輸出訊號為低位準時，輸出負電壓 NEGP(例如，-9V)。當輸出訊號為高位準時，當執行抹除存取操作且抹除操作控制訊號 ER 為高位準時輸出接地電壓，而當執行除抹除存取操作以外的存取操作且抹除操作控制訊號 ER 為低位準時輸出電源電壓。

第 16 圖圖示該副解碼器高電壓電源控制單元 35 的具體實施例。該副解碼器高電壓電源控制單元 35 有 NAND 閘極 D10，其係輸入直排不良訊號 RZ1 與步驟 2 訊號 M2；以及，NAND 閘極 D11，其係輸入該 NAND 閘極 D10 之輸出訊號、編程操作控制訊號 PGM、以及直排位址 Z1。該副解碼器高電壓電源控制單元 35 係以該 NAND 閘極 D11 的輸出訊號控制且經由電位轉換器與該閃鎖電路 L2 輸出副解碼器高電壓 VWL。如果 NAND 閘極 D11 的輸出訊號為低位準，輸出高電壓 VH(例如，9V)。如果輸出訊號為高位準時，輸出接地電壓。

第 17 圖圖示該字元線負電壓供給單元 41 的具體實施例。該字元線負電壓供給單元 41 具有：NAND 閘極 D18，其係輸入橫排不良訊號 RZ2 與步驟 1 訊號 M1；以及，NAND 閘極 D12，其係輸入該 NAND 閘極 D18 之輸出訊號、抹除操作控制訊號 ER、以及橫排位址 Z2。該字元線負電壓供給單元 41 係以該 NAND 閘極 D12 之輸出訊號控制且經由電位轉換器與該閃鎖電路 L1 輸出負電壓 RNEGP。如果該 NAND 閘極 D12 的輸出訊號為低位準，輸出低電壓 NEGP(例如，-9V)。如果輸出訊號為高位準時，輸出接地電壓。

第 18 圖圖示該主解碼器高電壓電源控制單元 43 之具體實施例。該主解碼器高電壓電源控制單元 43 具有：NAND 閘極 D13，其係輸入橫排不良訊號 RZ2 與步驟 1 訊號 M1；以及，NAND 閘極 D14，其係輸入該 NAND 閘極 D13 之輸

出訊號、橫排位址 Z2、以及編程操作控制訊號 PGM。該主解碼器高電壓電源控制單元 43 係以該 NAND 閘極 D14 之輸出訊號控制且經由電位轉換器與該閃鎖電路 L2 輸出主解碼器高電壓 VPXH。如果該 NAND 閘極 D14 的輸出訊號為低位準，輸出高電壓 VH(例如，9V)。如果輸出訊號為高位準，輸出接地電壓。

第 19 圖係圖示該主解碼器 45 之具體實施例。該主解碼器 45 具有：NAND 閘極 D15，其係輸入橫排不良訊號 RZ2 與步驟 1 訊號 M1；以及，NAND 閘極 D16，其係輸入該 NAND 閘極 D15 之輸出訊號、編程操作控制訊號 PGM、除指派位址之 Z1 或 Z2 以外的位址訊號 ADD、以及橫排位址 Z2。該主解碼器 45 係以該 NAND 閘極 D16 之輸出訊號控制且輸出電壓(例如，9V)至全域字元線 GWL。如果該 NAND 閘極 D16 的輸出訊號為低位準，輸出主解碼器高電壓 VPXH。如果輸出訊號為高位準，輸出負電壓(例如，-9V)。

該抹除操作控制訊號 ER 的邏輯係以反相器閘極 I13 反相且將所得之訊號輸入到 NAND 閘極 D17。也將該 NAND 閘極 D16 的輸出訊號輸入到 NAND 閘極 D17。該 NAND 閘極 D17 之輸出訊號係以反相器閘極 I14 反相且將所得之訊號輸出到全域字元線 GWLB。

第 20 圖與第 21 圖係圖示不同存取操作之訊號的偏壓狀態。以下將使用在第 2 圖批次存取操作中以兩個步驟施加偏壓至除不良區段以外的區段為例說明偏壓狀態。圖中

的偏壓狀態，區段 S07 為不良區段，區段 S06 與 S17 為周邊區段。當以兩個步驟施加偏壓的存取操作時，存取操作包括：抹除(ER)應力操作、編程(PGM)應力操作、以及以應力測試進行的洩漏電流測試(HTRB 洩漏)。至於以一個步驟施加偏壓的存取操作，以第一晶片抹除(ER)操作表示。第 20 圖與第 21 圖的說明將參考第 3 圖與第 11 圖至第 19 圖。

首先，在第 20 圖中，描述抹除(ER)存取操作。在步驟 1 中，不施加偏壓至包含不良區段 S07 的直排 Z2(7)。區段 S07 與 S17 的 Z2 方格為“0”V。

關於用字元線負電壓供給單元 41 施加偏壓的正常區段 S06，其係將橫排位址訊號 Z2 與抹除操作控制訊號 ER 設定成高位準，且負電壓 RNEGP 變成 -9V。將井電位控制單元 31、直排位址 Z1、以及抹除操作控制訊號 ER 設定成高位準，且井電位 VNW 變成 9V。將副解碼器低電壓電源控制單元 33、直排位址 Z1、以及抹除操作控制訊號 ER 設定成高位準，且控制訊號 NEN 變成接地電壓。至於副解碼器低電壓電源開關 25，由於負電壓 RNEGP 為 -9V 且控制訊號 NEN 為接地電壓，所以副解碼器低電壓 XDS 變為 -9V。至於副解碼器 23，全域字元線 GWL 變為 -9V，全域字元線 GWLB 與副解碼器高電壓 VWL 變為接地電壓，且局域字元線 P2WL 變為 -9V。在主解碼器高電壓電源控制單元 43 中，由於存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，負電壓 RNEGP 為

-9V，全域字元線 GWL 為 -9V，抹除操作控制訊號 ER 為高位準，且全域字元線 GWLB 變為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程操作，副解碼器高電壓 VWL 為接地電位。

不將偏壓施加至不良區段 S07。至於該字元線負電壓供給單元 41，橫排位址 Z2 變為接地電壓且負電壓 RNEGP 變為接地電壓。至於井電位控制單元 31，直排位址 Z1 與抹除操作控制訊號 ER 變為高位準，且井電位 VNW 變為 9V。至於副解碼器低電壓電源控制單元 33，直排位址 Z1 與抹除操作控制訊號 ER 變為高位準且控制訊號 NEN 變為接地電壓。至於副解碼器低電壓電源開關 25，由於負電壓 RNEGP 與控制訊號 NEN 為接地電壓，副解碼器低電壓 XDS 變為接地電壓。至於副解碼器 23，全域字元線 GWL 與 GWLB 為接地電壓，副解碼器高電壓 VWL 為接地電壓，且局域字元線 P2WL 變為浮動狀態。由於在主解碼器高電壓電源控制單元 43 中存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，存取操作不是編程操作，負電壓 RNEGP 為接地電壓，全域字元線 GWL 為接地電壓，以及抹除操作控制訊號 ER 為高位準，使得全域字元線 GWLB 變為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程操作，所以副解碼器高電壓 VWL 為接地電位。

在不施加偏壓的正常區段 S17 中，關於該字元線負電壓供給單元 41，橫排位址 Z2 變為接地電壓而且負電壓

RNEGP 變為接地電壓。至於井電位控制單元 31，直排位址 Z1 與抹除操作控制訊號 ER 兩者都變為高位準且井電位 VNW 變為 9V。至於副解碼器低電壓電源控制單元 33，直排位址 Z1 與抹除操作控制訊號 ER 變為高位準，且控制訊號 NEN 變為接地電壓。至於副解碼器低電壓電源開關 25，負電壓 RNEGP 與控制訊號 NEN 均為接地電壓，使得副解碼器低電壓 XDS 變為接地電壓。至於副解碼器 23，全域字元線 GWL 與 GWLB 均為接地電壓，副解碼器高電壓 VWL 為接地電壓，且局域字元線 P2WL 變為浮動狀態。由於在主解碼器高電壓電源控制單元 43 中存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，存取操作不是編程操作，負電壓 RNEGP 為接地電壓，全域字元線 GWL 為接地電壓，且抹除操作控制訊號 ER 為高位準，使得全域字元線 GWLB 變為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程操作，副解碼器高電壓 VWL 為接地電位。

在抹除(ER)存取操作的步驟 2 中，關於橫排，僅僅不施加偏壓至包含不良區段 S07 的橫排 Z2(7)。關於直排，僅僅不施加偏壓至直排 Z1(0)。

不將偏壓施加至正常區段 S06。至於該字元線負電壓供給單元 41，將橫排位址 Z2 設定成接地電壓而且負電壓 RNEGP 變為接地電壓。至於井電位控制單元 31，將直排位址 Z1 設定成接地電壓，且井電位 VNW 變為接地電壓。至於副解碼器低電壓電源控制單元 33，將直排位址 Z1 設

定成接地電壓，且控制訊號 NEN 變為 -9V。至於副解碼器低電壓電源開關 25，負電壓 RNEGP 變為接地電壓，且控制訊號 NEN 變為 -9V，使得副解碼器低電壓 XDS 變為接地電壓。至於副解碼器 23，將全域字元線 GWL 與 GWLB 設定成接地電壓，副解碼器高電壓 VWL 變為接地電壓，且局域字元線 P2WL 進入浮動狀態。在主解碼器高電壓電源控制單元 43 中，由於存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，存取操作不是編程操作，負電壓 RNEGP 為接地電壓，全域字元線 GWL 也變為接地電壓，且抹除操作控制訊號 ER 為高位準，使得全域字元線 GWLB 變為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程操作，副解碼器高電壓 VWL 為接地電位。

不將偏壓施加至不良區段 S07。至於該字元線負電壓供給單元 41，將橫排位址 Z2 與抹除操作控制訊號 ER 設定成高位準，且負電壓 RNEGP 變為 -9V。至於井電位控制單元 31，直排位址 Z1 變為接地電壓，且井電位 VNW 變為接地電壓。至於副解碼器低電壓電源控制單元 33，直排位址 Z1 變為接地電壓，且控制訊號 NEN 變為 -9V。至於副解碼器低電壓電源開關 25，負電壓 RNEGP 變為 -9V，控制訊號 NEN 變為 -9V，且副解碼器低電壓 XDS 變為接地電壓。至於副解碼器 23，全域字元線 GWL 變為 -9V，全域字元線 GWLB 變為接地電壓，副解碼器高電壓 VWL 為接地電壓，且局域字元線 P2WL 變為浮動狀態。由於在主解碼

器高電壓電源控制單元 43 中存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，負電壓 RNEGP 與全域字元線 GWL 變為 -9V，且抹除操作控制訊號 ER 為高位準，使得全域字元線 GWLB 變為接地電壓。在副解碼器高電壓控制單元 35 中，由於存取操作不是編程操作，副解碼器高電壓 VWL 為接地電位。

將偏壓施加至正常區段 S17。至於字元線負電壓供給單元 41，將橫排位址 Z2 與抹除操作控制訊號 ER 設定為高位準，且負電壓 RNEGP 變為 -9V。至於井電位控制單元 31，直排位址 Z1 與抹除操作控制訊號 ER 兩者都變為高位準且井電位 VNW 變為 9V。至於副解碼器低電壓電源控制單元 33，直排位址 Z1 與抹除操作控制訊號 ER 變為高位準，且控制訊號 NEN 變為接地電壓。至於副解碼器低電壓電源開關 25，負電壓 RNEGP 變為 -9V 且控制訊號 NEN 變為接地電壓，使得副解碼器低電壓 XDS 變為 -9V。至於副解碼器 23，全域字元線 GWL 變為 -9V，全域字元線 GWLB 變為接地電壓，副解碼器高電壓 VWL 為接地電壓，以及局域字元線 P2WL 變為 -9V。由於主解碼器高電壓控制單元 43 的存取操作不是編程操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，負電壓 RNEGP 變為 -9V，全域字元線 GWL 變為 -9V，以及抹除操作控制訊號 ER 為高位準，使得全域字元線 GWLB 變為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程操作，副解碼器高電壓 VWL 為接地電位。

以與抹除(ER)應力操作方式類似的兩個步驟執行一起抹除所有區段的批次存取操作(例如，批次抹除操作)未圖示於第 20 圖。以下為施加(第一與第二次)ER 應力的方式。將儲存元件的外部電壓(+9V)施加至井 WELL 且將儲存元件的自行產生電壓(-9V)施加至局域字元線 P2WL，從而在 WELL 與 P2WL 之間施加應力。在(第一次的)批次抹除操作時，自行產生電壓(+9V/-9V)用來作為施加至 WELL 的電壓以及施加至 P2WL 的電壓。

接下來，描述編程(PGM)存取操作。在步驟 1 中，不將偏壓施加至包含不良區段 S07 的橫排 Z2(7)。區段 S07 與 S17 的 Z2 方格為“0”V。

關於施加偏壓的正常區段 S06，對字元線負電壓供給單元 41 而言，由於存取操作不是抹除(ER)操作，供給接地電壓作為負電壓 RNEGP。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，將接地電壓設定為井電位 VNW。至於副解碼器低電壓電源控制單元 33，由於存取操作不是抹除(ER)操作，將控制訊號 NEN 設定成高位準。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓且將控制訊號 NEN 設定為高位準，使得副解碼器低電壓 XDS 被設定成接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為 9V，將全域字元線 GWLB 設定為接地電壓，將副解碼器高電壓 VWL 設定為 9V，且將局域字元線 P2WL 設定為 9V。在主解碼器高電壓電源控制單元 43 中，將橫排位址 Z2 與編程操作控制訊號 PGM 設定為高

位準，且將主解碼器高電壓 VPXH 設定為 9V。至於主解碼器 45，將橫排位址 Z2、編程操作控制訊號 PGM、以及位址訊號 ADD 設定為高位準，將全域字元線 GWL 設定為 9V，且將全域字元線 GWLB 設定為接地電壓。在副解碼器高電壓電源控制單元 35 中，將直排位址 Z1、編程操作控制訊號 PGM、以及位址訊號 ADD 設定為高位準，且將副解碼器高電壓 VWL 設定為 9V。

不將偏壓施加至不良區段 S07。至於該字元線負電壓供給單元 41，由於存取操作不是抹除(ER)操作，將負電壓 RNEGP 設定為接地電壓。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，井電位 VNW 變為接地電壓。至於副解碼器低電壓電源控制單元 33，由於存取操作不是抹除(ER)操作，控制訊號 NEN 變成高位準。至於副解碼器低電壓電源開關 25，由於負電壓 RNEGP 被設定成接地電壓，將控制訊號 NEN 設定為高位準，且將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為接地電壓，將全域字元線 GWLB 設定為高位準，副解碼器高電壓電源 VWL 為 9V，且將局域字元線 P2WL 設定為接地電壓。在主解碼器高電壓電源控制單元 43 中，將橫排位址 Z2 設定為接地電壓，且將主解碼器高電壓 VPXH 設定為接地電位。至於主解碼器 45，將橫排位址 Z2 設定為接地電壓，將全域字元線 GWL 設定為接地電壓，且全域字元線 GWLB 變成高位準。在副解碼器高電壓電源控制單元 35 中，將直排位址 Z1、編程操作控制訊號

PGM、以及位址訊號 ADD 設定為高位準，且將副解碼器高電壓 VWL 設定為 9V。在不施加偏壓的正常區段 S17 中，對字元線負電壓供給單元 41 而言，由於存取操作不是抹除(ER)操作，將負電壓 RNEGP 設定為接地電壓。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，將井電位 VNW 設定為接地電壓。至於副解碼器低電壓電源控制單元 33，由於存取操作不是抹除(ER)操作，將控制訊號 NEN 設定為高位準。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓，將控制訊號 NEN 設定為高位準，且將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為接地電壓，將全域字元線 GWLB 設定為高位準，將副解碼器高電壓 VWL 設定為 9V，且將局域字元線 P2WL 設定為接地電壓。在主解碼器高電壓電源控制單元 43 中，直排位址 Z2 變為接地電壓，且主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，將橫排位址 Z2 設定為接地電壓，將全域字元線 GWL 設定為接地電壓，且全域字元線 GWLB 變成高位準。在副解碼器高電壓電源控制單元 35 中，直排位址 Z1、編程操作控制訊號 PGM、以及位址訊號 ADD 都變為高位準，且副解碼器高電壓 VWL 變為 9V。

在編程(PGM)存取操作的步驟中，關於橫排，只施加偏壓至包含不良區段 S07 的橫排 Z2(7)。關於直排，僅僅不施加偏壓至直排 Z1(0)。

不將偏壓施加至正常區段 S06。至於該字元線負電壓

供給單元 41，由於存取操作不是抹除(ER)操作，負電壓 RNEGP 變為接地電壓。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，將井電位 VNW 設定為接地電壓。至於副解碼器低電壓電源控制單元 33，由於存取操作不是抹除(ER)操作，將控制訊號 NEN 設定為高位準。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓，將控制訊號 NEN 設定為高位準，且將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為接地電壓，將全域字元線 GWLB 設定為高位準，將副解碼器高電壓 VWL 設定為接地電壓，且將局域字元線 P2WL 設定為接地電壓。在主解碼器高電壓電源控制單元 43 中，將橫排位址 Z2 設定為接地電壓，且將主解碼器高電壓 VPXH 設定為接地電位。至於主解碼器 45，將橫排位址 Z2 設定為接地電壓，將負電壓 RNEGP 設定為接地電壓，也將全域字元線 GWL 設定為接地電壓，且將全域字元線 GWLB 設定為高位準。在副解碼器高電壓控制單元 35 中，將直排位址 Z1 設定為接地電壓，將編程操作控制訊號 PGM 與位址訊號 ADD 設定為高位準，且將副解碼器高電壓 VWL 設定為 9V。

不將偏壓施加至不良區段 S07。至於該字元線負電壓供給單元 41，由於存取操作不是抹除(ER)操作，將負電壓 RNEGP 設定為接地電壓。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，將井電位 VNW 設定為接地電壓。至於副解碼器低電壓電源控制單元 33，由於存取操

作不是抹除(ER)操作，將控制訊號 NEN 設定為高位準。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓，將控制訊號 NEN 設定為高位準，且將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為 9V，將全域字元線 GWLB 設定為接地電壓，將副解碼器高電壓 VWL 設定為接地電壓，且將局域字元線 P2WL 設定為接地電壓。在主解碼器高電壓電源控制單元 43 中，將橫排位址 Z2 與編程操作控制訊號 PGM 設定為高位準，且將主解碼器高電壓 VPXH 設定為 9V。至於主解碼器 45，將橫排位址 Z2、編程操作控制訊號 PGM、以及位址訊號 ADD 變為高位準，將全域字元線 GWL 設定為 9V，且將全域字元線 GWLB 設定為接地電壓。在副解碼器高電壓電源控制單元 35 中，將直排位址 Z1 設定為接地電壓，且將副解碼器高電壓 VWL 設定為接地電位。

將偏壓施加至正常區段 S17。至於該字元線負電壓供給單元 41，由於存取操作不是抹除(ER)操作，將負電壓 RNEGP 設定為接地電壓。至於井電位控制單元 31，由於存取操作不是抹除(ER)操作，將井電位 VNW 設定為接地電壓。至於副解碼器低電壓電源控制單元 33，由於存取操作不是抹除(ER)操作，將控制訊號 NEN 設定為高位準。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓且將控制訊號 NEN 設定為高位準，藉此將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL 設定為 9V，將全域字元線 GWLB 設定為接

地電壓，將副解碼器高電壓 VWL 設定為 9V，且將局域字元線 P2WL 設定為 9V。在主解碼器高電壓電源控制單元 43 中，將橫排位址 Z2 與編程操作控制訊號 PGM 設定為高位準，且將主解碼器高電壓 VPXH 設定為 9V。至於主解碼器 45，將橫排位址 Z2、編程操作控制訊號 PGM、以及位址訊號 ADD 設定為高位準，將全域字元線 GWL 設定為 9V，且將全域字元線 GWLB 設定為接地電壓。在副解碼器高電壓電源控制單元 35 中，將直排位址 Z1、編程操作控制訊號 PGM、以及位址訊號 ADD 設定為高位準，且將副解碼器高電壓 VWL 設定為 9V。

在第 21 圖中，在以應力測試進行的洩漏電流測試 (HTRB 洩漏) 中，施加偏壓的方式與編程存取操作的情形類似。就此情形而言，係由外部端子(例如，接觸墊)(隨後在第 22 圖將予以說明)供給電壓以取代 9V 的高電壓。當外部端子所施加的電壓約為 6V 時，可偵測在電壓應力之後是否有新的洩漏電流。

現在描述第一晶片抹除(ER)。就此情形而言，直排 Z1(0)為待抹除之標的，以便以一個步驟完成抹除存取操作。儘管未將偏壓施加至包含不良區段 S07 的橫排 Z2(7)，仍將偏壓施加至直排 Z1(0)。

關於以字元線負電壓供給單元 41 施加偏壓的正常區段 S06，將橫排位址訊號 Z2 與抹除操作控制訊號 ER 設定為高位準，且將負電壓 RNEGP 設定為 -9V。至於井電位控制單元 31，將直排位址 Z1 與抹除操作控制訊號 ER 設定

為高位準，且將井電位 VNW 設定為 9V。至於副解碼器低電壓電源控制單元 33，將直排位址 Z1 與抹除操作控制訊號 ER 設定為高位準且將控制訊號 NEN 設定為接地電壓。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為 -9V 且將控制訊號 NEN 設定為接地電壓，使得副解碼器低電壓 XDS 變為 -9V。至於副解碼器 23，將全域字元線 GWL 設定為 -9V，將全域字元線 GWLB 設定為接地電壓，將副解碼器高電壓 VWL 設定為接地電壓，且將局域字元線 P2WL 設定為 -9V。在主解碼器高電壓電源控制單元 43 中，由於存取操作不是編程 (PGM) 操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，由於存取操作不是編程 (PGM) 操作，將抹除操作控制訊號 ER 設定為高位準，且全域字元線 GWL 與 GWLB 兩者都設定為接地電壓。在副解碼器高電壓控制單元 35 中，由於存取操作不是編程 (PGM) 操作，副解碼器高電壓 VWL 為接地電位。

不將偏壓施加至不良區段 S07。至於該字元線負電壓供給單元 41，將橫排位址 Z2 設定為接地電壓，且將負電壓 RNEGP 變為接地電壓。至於井電位控制單元 31，將直排位址 Z1 與抹除操作控制訊號 ER 設定為高位準，且井電位 VNW 變為 9V。至於副解碼器低電壓電源控制單元 33，將直排位址 Z1 與抹除操作控制訊號 ER 都設定為高位準且將控制訊號 NEN 變為接地電壓。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 與控制訊號 NEN 設定為接地電壓，將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼

器 23，將全域字元線 GWL 與 GWLB 都設定為接地電壓，將副解碼器高電壓 VWL 設定為接地電壓，且局域字元線 P2WL 變為浮動狀態。在主解碼器高電壓電源控制單元 43 中，由於存取操作不是編程(PGM)操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，由於存取操作不是編程(PGM)操作，將抹除操作控制訊號 ER 設定為高位準且將全域字元線 GWL 與 GWLB 都設定為接地電壓。在副解碼器高電壓電源控制單元 35 中，由於存取操作不是編程(PGM)操作，將副解碼器高電壓 VWL 設定為接地電位。

在不施加偏壓的正常區段 S17 中，用字元線負電壓供給單元 41，將橫排位址 Z2 設定為接地電壓，且將負電壓 RNEGP 設定為接地電壓。至於井電位控制單元 31，直排位址 Z1 與井電位 VNW 兩者都設定為接地電壓。至於副解碼器低電壓電源控制單元 33，將直排位址 Z1 設定為接地電壓，且將控制訊號 NEN 設定為 -9V。至於副解碼器低電壓電源開關 25，將負電壓 RNEGP 設定為接地電壓，將控制訊號 NEN 設定為 -9V，且將副解碼器低電壓 XDS 設定為接地電壓。至於副解碼器 23，將全域字元線 GWL、GWLB 與副解碼器高電壓 VWL 都設定為接地電壓，且將局域字元線 P2WL 設定為浮動狀態。在主解碼器高電壓電源控制單元 43 中，由於存取操作不是編程(PGM)操作，主解碼器高電壓 VPXH 為接地電位。至於主解碼器 45，由於存取操作不是編程(PGM)操作，抹除操作控制訊號 ER 為高位準，且將全域字元線 GWL 與 GWLB 都設定為接地電壓。在副



解碼器高電壓電源控制單元 35 中，由於存取操作不是編程 (PGM) 操作，將副解碼器高電壓 VWL 設定為接地電壓。

第 22 圖圖示電路組態之範例，該電路係用於經由作為外部端子的接觸墊 53 而在內部供給高電壓 VH (例如，9V) 與外部供給電壓之間切換高電壓。該組態是在實行一種被稱為 HTRB 之洩漏測試時用來偵測洩漏電流，其係伴隨因施加高電壓之應力測試而產生的新晶體缺陷 (crystal defect) 或其類似物。通常，藉由經由接觸墊 53 供給的電力以取代內部供給之高電壓，可偵測在施加偏壓後是否有洩漏電流。

在第 22 圖中，待供給至副解碼器高電壓電源控制單元 35 及主解碼器高電壓電源控制單元 43 的高電壓是在內部供給高電壓 VH 與用切換單元 51 經由接觸墊 53 供給的電壓之間切換。在應力測試的時候，測試訊號 MEAS 控制該切換單元 51 以使接觸墊 53 的高電壓連接至該副解碼器高電壓電源控制單元 35 以及該主解碼器高電壓電源控制單元 43。該副解碼器高電壓電源控制單元 35 以及該主解碼器高電壓電源控制單元 43 係接收高電壓且分別輸出副解碼器高電壓 VWL 與主解碼器高電壓 VPXH。該副解碼器高電壓 VWL 以及該主解碼器高電壓 VPXH 分別在副解碼器 23 與主解碼器 45 中變為高位準電壓，且將高電壓供給至局域字元線 P2WL 與全域字元線 GWL。藉由偵測洩漏電流，可偵測局域字元線 P2WL 與全域字元線 GWL 中有沒有洩漏電流。

由以上的描述可瞭解，根據該具體實施例，在由多個

區段 S00 至 S37 構成作為記憶體區塊之例子的記憶體格陣列 ARY 中，以區段之直排與橫排中的第一與第二電壓控制部件為例，提供直排電壓控制單元(C1(0)至 C1(3))與橫排電壓控制單元(C2(0)至 C2(7))是足夠的。不需要為每一個區段提供電壓控制單元。在記憶體格陣列 ARRY 的周邊部份中配置直排電壓控制單元(C1(0)至 C1(3))以及橫排電壓控制單元(C2(0)至 C2(7))就足夠，且可將該等記憶體格集中配置於記憶體陣列 ARY。以與用於作為電壓控制單元之元件的控制電路的元件組態不同的組態及設計規則，可對該記憶體格陣列 ARY 做有效的設計。同樣在區段數增加的情況下，可減少電壓控制單元之需求數。因此，可控制晶片面積的增加。

在藉由控制施加至橫排與直排中之每一排的偏壓而同時施加偏壓至多個區段的時候，為了控制偏壓不會被施加至不良區段的直排或者是橫排，所以不會施加偏壓。可同時將偏壓施加至區段群組中之區段，除了不良區段以及直排/橫排中有該不良區段且控制方式為不施加偏壓的區段以外。

本發明可防止應力電壓因不良記憶體區塊中有洩漏所造成的下降。

此外，藉由只對每一正常記憶體區塊執行一次存取操作，可防止進行兩次存取操作而施加過度的應力，過度的抹除、過度的編程、或其類似者所造成的記憶體格閾值異常，以及存取操作的測試時間增加。

再者，藉由控制施加至第一與第二方向中之每一排的偏壓同時避免施加偏壓至不良記憶體區塊，在洩漏測試時不會發生不良記憶體區塊所造成的洩漏。因此，可確實測量多個正常記憶體區塊所造成的洩漏。

此外，對所有區段的批次存取操作(例如，批次抹除操作)以及對部份選定之區段群組的存取操作(例如，第一晶片抹除)，即使待存取區段中有不良區段，仍可以最少的步驟完成處理。因此，使用者可獲得縮短的抹除時間。

顯然，本發明不受限於前述具體實施例，且可對該等具體實施例做出各種改良及修改而不脫離本發明的主旨。

例如，在進行第 2 圖與第 3 圖中的批次存取操作時，對於存在一個不良區段的情況已予描述。不過，本發明不受限於此一情形。就同一直排或橫排中存在多個不良區段的情況而言，可完成參照第 2 圖所描述的兩步驟之批次存取操作。同樣，就同一直排或橫排中不存在多個不良區段的情況而言，可使用與第 1 圖之方法類似的以直排或橫排為單位基礎的連續式施加偏壓的方法。

在前述具體實施例中，於步驟 1，選定所有直排，將偏壓施加至直排但不將偏壓施加至有不良區段之排，且在步驟 2，將偏壓施加至尚未施加偏壓的正常區段。本發明不受限於該具體實施例。在步驟 1 與 2 中，可顛倒經受施加控制的直排與橫排。

也可顛倒內部訊號的正電壓邏輯和負電壓邏輯以及內部位址輸出控制單元的輸出訊號、直排位址解碼器、橫排

位址解碼器、以及其他電路。

井係表示在非揮發性記憶體格的通道正下方的節點，且不受限於任何製程結構(process structure)。

【圖式簡單說明】

第 1 圖為本發明第一偏壓施加方法的示意圖；

第 2 圖為本發明第二偏壓施加方法的示意圖；

第 3 圖為本發明儲存元件之具體實施例的電路方塊圖；

第 4 圖為本發明之內部位址輸出控制單元；

第 5 圖為本發明用於直排位址的解碼器；

第 6 圖為本發明用於橫排位址的解碼器；

第 7 圖係根據本發明圖示內部位址輸出控制單元的操作波形(1)(在正常存取期間無不良區段存在的情形)；

第 8 圖係根據本發明圖示內部位址輸出控制單元的操作波形(2)(在正常存取期間有不良區段的情形)；

第 9 圖係根據本發明圖示內部位址輸出控制單元的操作波形(3)(在批次存取中無不良區段存在的情形)；

第 10 圖係根據本發明圖示內部位址輸出控制單元的操作波形(4)(在批次存取中有不良區段的情形)；

第 11 圖係電路方塊圖，其圖示本發明之用於施加偏壓至第 3 圖電路方塊圖中之區段 S07 的控制電路；

第 12 圖係根據本發明圖示副解碼器(sub decoder)之具體實施例；

第 13 圖係根據本發明圖示副解碼器低電壓電源開關

之具體實施例；

第 14 圖係根據本發明圖示井電位控制單元 (well potential control unit) 之具體實施例；

第 15 圖係根據本發明圖示副解碼器低電壓電源控制單元之具體實施例；

第 16 圖係根據本發明圖示副解碼器高電壓電源控制單元之具體實施例；

第 17 圖係根據本發明圖示字元線負電壓供給單元之具體實施例；

第 18 圖係根據本發明圖示主解碼器高電壓電源控制單元之具體實施例；

第 19 圖係根據本發明圖示主解碼器之具體實施例；

第 20 圖係根據本發明圖示在每一存取操作(1)(抹除操作與編程操作)期間之訊號的偏壓狀態圖；

第 21 圖係根據本發明圖示在每一存取操作(2)(HTRB 洩漏測試與第一晶片抹除操作)期間之訊號的偏壓狀態圖；以及

第 22 圖係根據本發明圖示包含電源開關單元的電路方塊。

【主要元件符號說明】

11	CAM 單元	13	冗餘測定電路
15	位址緩衝器	17	直排解碼器部分
19、21	轉移閘極控制單元		
23	副解碼器		

25	副解碼器低電壓電源開關		
31	井電位控制單元		
33	副解碼器低電壓電源控制單元		
35	副解碼器高電壓電源控制單元		
41	字元線負電壓供給單元		
43	主解碼器高電壓電源控制單元		
45	主解碼器	51	切換單元
53	接觸墊	ADD	位址訊號
● ARY	記憶體陣列		
C1(0)至 C1(3)	直排電壓控制單元		
C2(0)至 C2(7)	橫排電壓控制單元		
D1 至 D16	NAND 閘極	ER	抹除操作控制訊號
exAD(i)	外部位址	GWL、GWL _B	全域字元線
I1 至 I12	反相器閘極	inAD(i)	同相內部位址訊號
inADB(i)	反相內部位址訊號		
L1 至 L2	閃鎖電路	M1	步驟 1 訊號
M2	步驟 2 訊號	N1 至 N3	節點
NEGP	負電壓	NEN	控制訊號
OFF	無偏壓	ON	有偏壓
P2WL	局域字元線	PGM	編程操作控制訊號
preAD(i)、preADB(i)	位址		
R1	NOR 閘極	R2	NOR 閘極
R3	NOR 閘極/OR 閘極		
R4	NOR 閘極	RA(i)、RAB(i)	不良區段位址



RNEGP 負電源
 RZ1(0)至 RZ1(3) 直排不良訊號
 RZ2(0)至 RZ2(7) 橫排不良訊號
 S00 至 S37 區段
 SN1 輸出到節點 N1 之訊號
 SN2 輸出到節點 N2 之訊號
 SN3 輸出到節點 N3 之訊號
 SRED 冗餘匹配訊號 T1 至 T2 轉移閘極
 XDS 副解碼器低電壓 VH 高電壓
 VNW 井電位 VPXH 主解碼器高電壓
 VWL 副解碼器高電壓
 Z1(i)、Z1(0)至 Z1(3) 直排位址
 Z2(0)至 Z2(7) 橫排位址

十、申請專利範圍：

1. 一種包含多個記憶體區塊的儲存元件，其中該等記憶體區塊係待存取之基本單位且沿著第一方向和第二方向中之至少一個方向配置，該第一方向與該第二方向係彼此交叉，該儲存元件包含：

第一電壓控制部件，耦合至沿著該第一方向排列的各個第一排以控制施加至該各個第一排的偏壓；以及

第二電壓控制部件，耦合至沿著該第二方向排列的各個第二排以控制施加至該各個第二排的偏壓，

其中除了任何不良的記憶體區塊以外，同時存取該等多個記憶體區塊之至少兩個，該等多個記憶體區塊係配置在該等各個第一排與該等各個第二排的交叉部份。

2. 如申請專利範圍第 1 項之儲存元件，更包含不良記憶體區塊位置通知部件，用以通知沿著該第一與第二方向中之至少一個方向排列之某些排的位置資訊，該位置資訊係表示該等多個記憶體區塊中之該等不良記憶體區塊的所在位置，

其中耦合至對應於該位置資訊之某些排的該第一電壓控制部件與該第二電壓控制部件中之一個係控制該偏壓藉此不將該偏壓施加至該等某些排。

3. 如申請專利範圍第 2 項之儲存元件，其中將包含沿著該第一方向排列之某些第一排之位置資訊的第一訊號輸入至該第一電壓控制部件，且將包含沿著該第二方向排列之某些第二排之位置資訊的第二訊號輸入至該第二

電壓控制部件。

4. 如申請專利範圍第 2 項之儲存元件，

其中當該等多個記憶體區塊被分別配置於該第一與第二方向時，所有該第一電壓控制部件係根據第一步驟訊號施加該偏壓至所有沿著該第一方向排列的該等第一排，且在以該第二電壓控制部件施加該偏壓至除了對應於該位置資訊的某些排以外之沿著該第二方向排列之該等各個第二排中之數排時，不將該偏壓施加至對應於該位置資訊之某些排，

其中根據第二步驟訊號，當以該第一電壓控制部件施加該偏壓至除了對應於該位置資訊之某些排以外之沿著該第一方向排列之該等各個第一排中之數排時，不將該偏壓施加至對應於該位置資訊之某些排，以及，當不以該第二電壓控制部件施加該偏壓至除了對應於該位置資訊之某些排以外之沿著該第二方向排列之該等各個第二排中之數排時，將該偏壓施加至對應於該位置資訊之某幾排。

5. 如申請專利範圍第 4 項之儲存元件，更包含排解碼器，用以解碼位址訊號以區別沿著該第一方向排列之該等各個第一排與沿著該第二方向排列之該等各個第二排，

其中該排解碼器設有替代選擇解碼部件，用以因應該位址訊號而選定該第一與第二排中之任何一排；以及選擇反相部件，用以根據該第一步驟訊號與該第二步驟訊號中之一者或兩者，不選定該替代選擇解碼部件所選

定之排而選定所有的其他排。

6. 如申請專利範圍第 5 項之儲存元件，

其中將該第一與第二步驟訊號中之一個訊號、由該排解碼器輸出之排選擇訊號、以及沿著該第一與第二方向中之一個方向排列的某些排之位置資訊輸入至該等第一與第二電壓控制部件，且

其中根據該第一與第二步驟訊號中之一個訊號，選定不對應於該位置資訊但對應於該排選擇訊號的排。

7. 如申請專利範圍第 6 項之儲存元件，更包含字元線與井，

其中該等各個記憶體區塊係由非揮發性記憶體格組成，且

其中當存取旨在進行抹除操作時，該第一與第二電壓控制部件施加該偏壓至該字元線與該井。

8. 如申請專利範圍第 6 項之儲存元件，更包含字元線，

其中該等各個記憶體區塊係由非揮發性記憶體格組成，且

其中當存取旨在進行編程操作時，該第一與第二電壓控制部件施加該偏壓至該字元線。

9. 如申請專利範圍第 8 項之儲存元件，更包含高階電源線以及與該高階電源線耦合之副解碼器，

其中該字元線包含局域字元線，連接至該等各個記憶體格且配置於該等各個記憶體區塊之內；以及全域字元線，其配線係超過該等各個記憶體區塊，且

其中該副解碼器係設成根據該全域字元線與該高

階電源線的組合而控制施加至該局域字元線的高階電力，且

其中在該第二電壓控制部件施加該偏壓至該高階電源線時，該第一電壓控制部件施加該偏壓至該全域字元線。

10.如申請專利範圍第 1 項之儲存元件，更包含轉換部件，

其中對該等各個記憶體區塊的存取旨在對該等各個記憶體區塊進行施加應力測試與洩漏測試中之一者，且

其中該轉換部件係設成在對該等各個記憶體區塊進行該施加應力測試與該洩漏測試中之一者時，將該偏壓之施加路徑轉換至外部端子。

11.如申請專利範圍第 1 項之儲存元件，其中該等各個記憶體區塊係由非揮發性記憶體格組成。

12.如申請專利範圍第 11 項之儲存元件，其中存取係旨在進行抹除操作、編程操作、施加應力測試、以及洩漏測試操作中之至少一者。

13.一種用於儲存元件之偏壓施加方法，該儲存元件設有多個記憶體區塊，該等多個記憶體區塊係待存取之基本單位且沿著彼此交叉的第一方向和第二方向中之至少一個方向配置，該方法包含以下步驟：

藉由控制施加至沿著該第一方向排列之各個第一排以及沿著該第二方向排列之各個第二排的偏壓而施加該偏壓至該等多個記憶體區塊；以及

當該等多個記憶體區塊中有不良記憶體區塊存在時，不施加該偏壓至對應於某些位置的某些排，該等某些位置為在沿著該第一與第二方向中之一個方向排列的各個排中有不良記憶體區塊存在的位置。

14. 如申請專利範圍第 13 項之用於儲存元件之偏壓施加方法，

其中當該等多個記憶體區塊分別配置於該第一與第二方向時，控制所有沿著該第一方向排列的該等第一排以便將該偏壓施加至所有的該等第一排，並且控制沿著該第二方向排列的該等各個第二排以便不將該偏壓施加至有不良記憶體區塊存在的某些排而將該偏壓施加至該等第二排中之其他排；並且

控制沿著該第一方向排列的該等各個第一排以便不將該偏壓施加至有不良記憶體區塊存在之某些排而將該偏壓施加至該等第一排中之其他排，並且控制沿著該第二方向排列的該等各個第二排以便將該偏壓施加至有不良記憶體區塊存在之某些排而不將該偏壓施加至該等第二排中之其他排。

15. 如申請專利範圍第 13 項之用於儲存元件之偏壓施加方法，

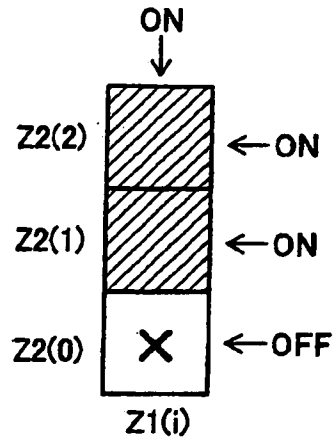
其中提供一對互補位址訊號給位址訊號中之各個位元以區別沿著該第一方向排列之該等第一排與沿著該第二方向排列之該等第二排，其中該對互補位址訊號中之一個訊號係根據位元訊號之邏輯位準定義為有作

用之邏輯位準，且

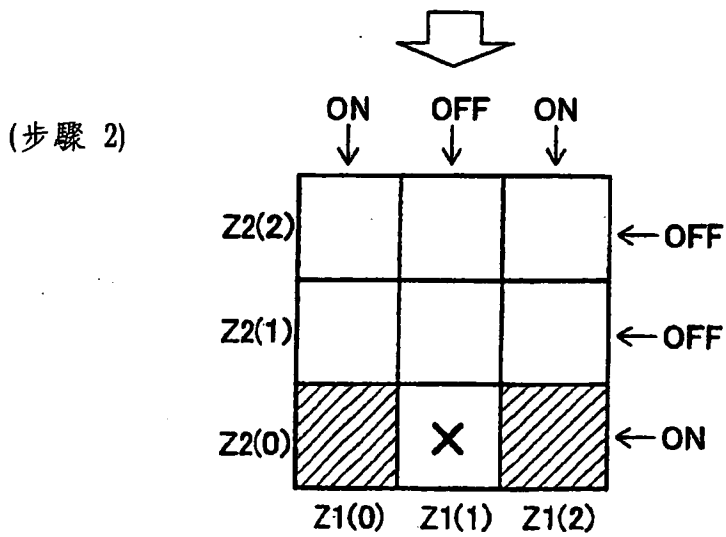
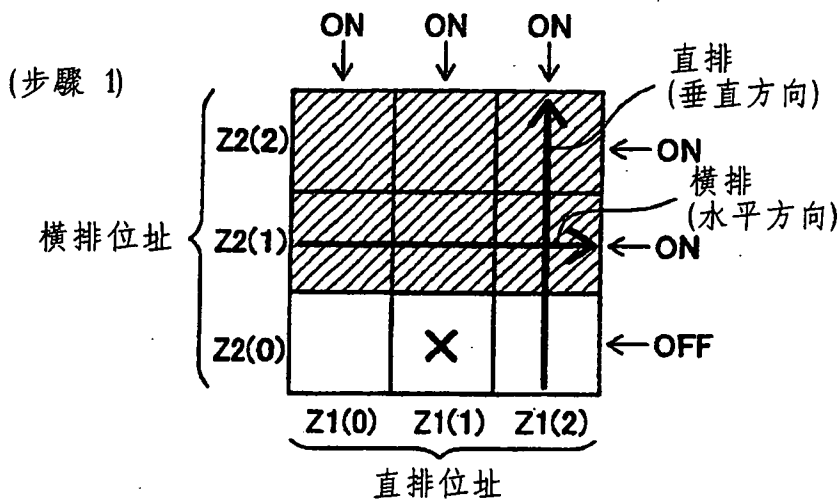
其中對任何不對應於有該等不良記憶體區塊存在之某些位置的位址訊號，將該對互補位址訊號共同地定義為不起作用的邏輯位準，而對所有對應於該等某些位置的位址訊號，將該對互補位址訊號中之一個訊號定義為有作用的邏輯位準。

16. 如申請專利範圍第 13 項之用於儲存元件之偏壓施加方法，

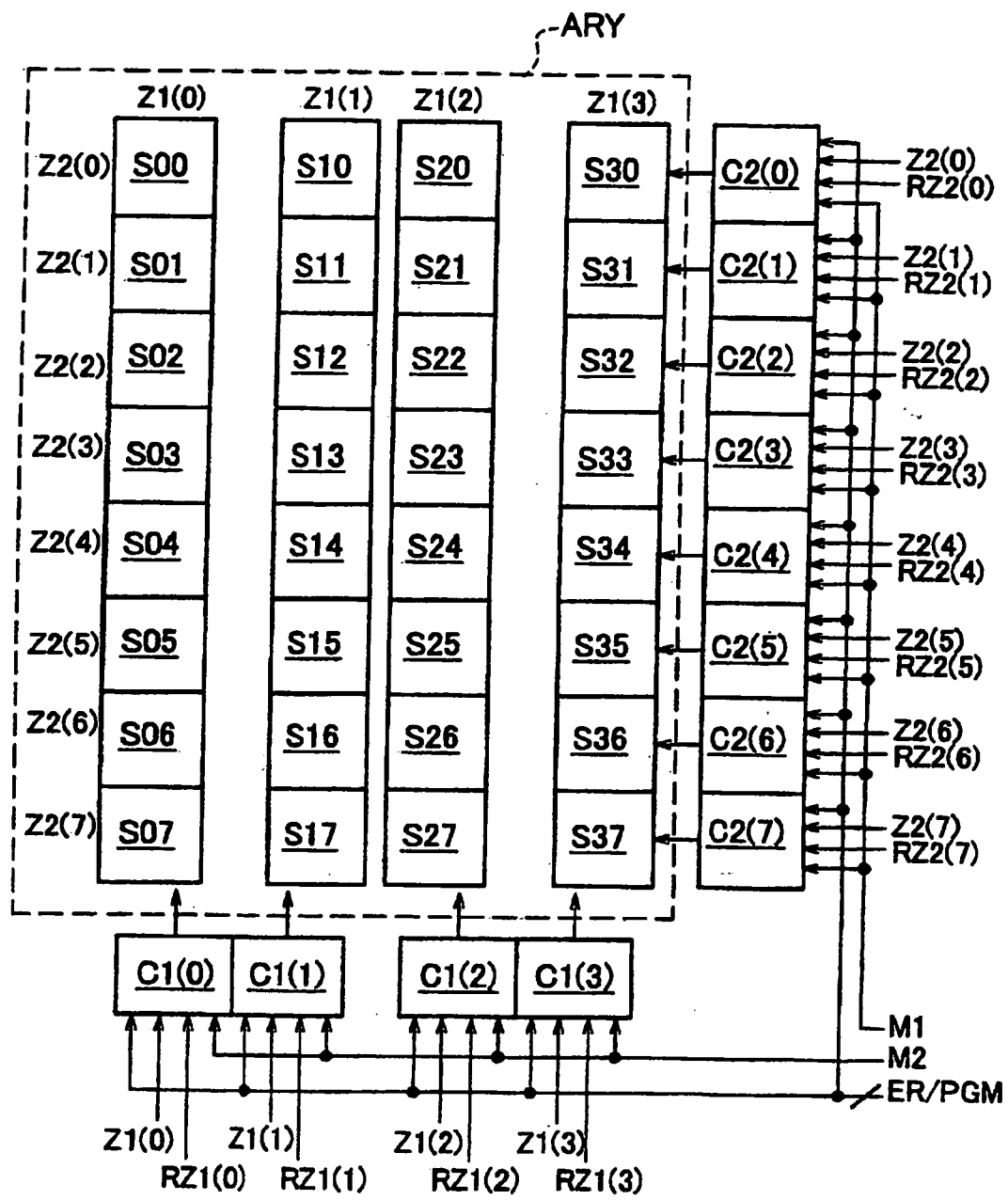
其中當該等各個記憶體區塊的存取旨在對該等區塊進行施加應力測試與洩漏測試中之一者時，從該儲存元件外施加該偏壓。



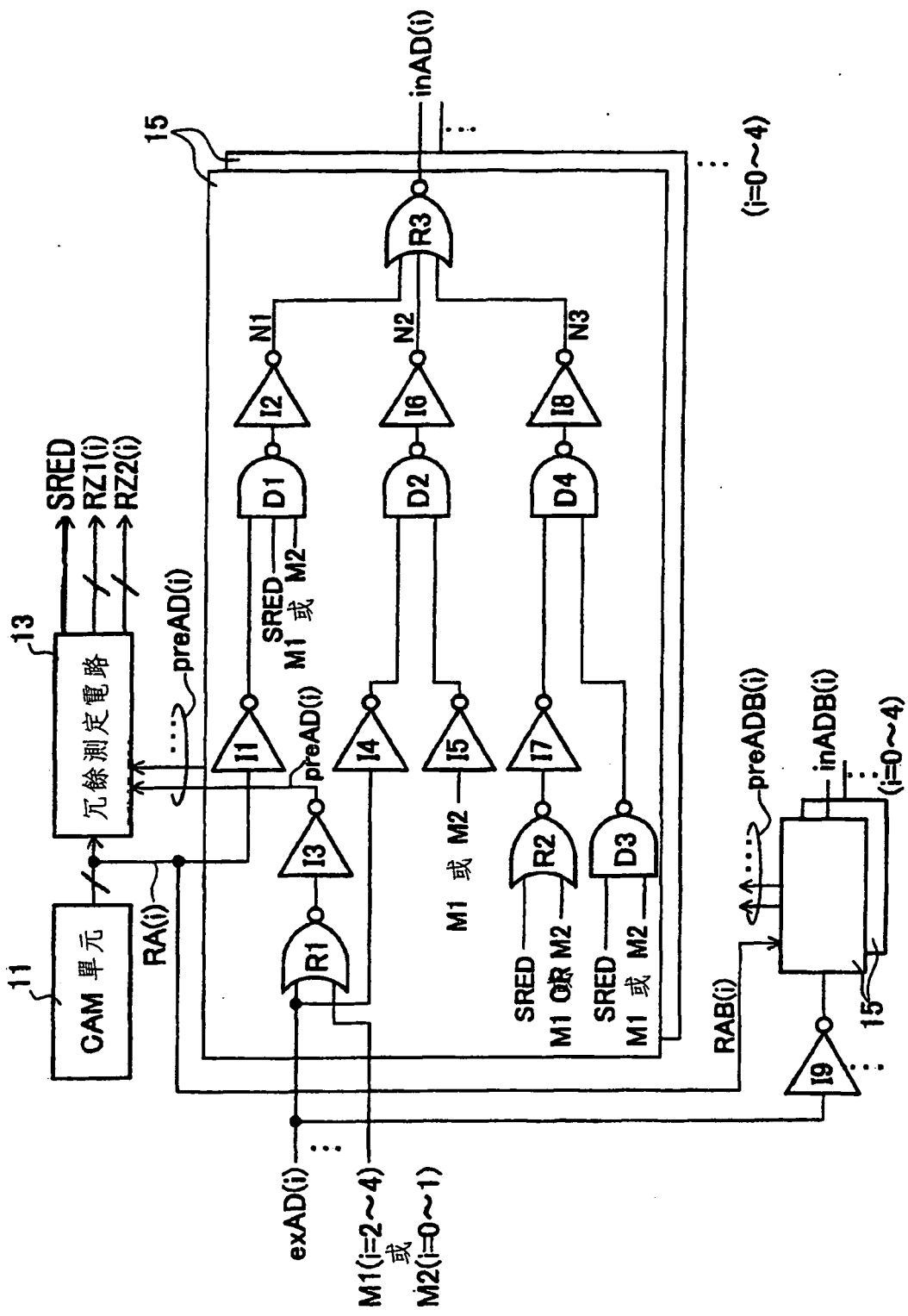
第1圖



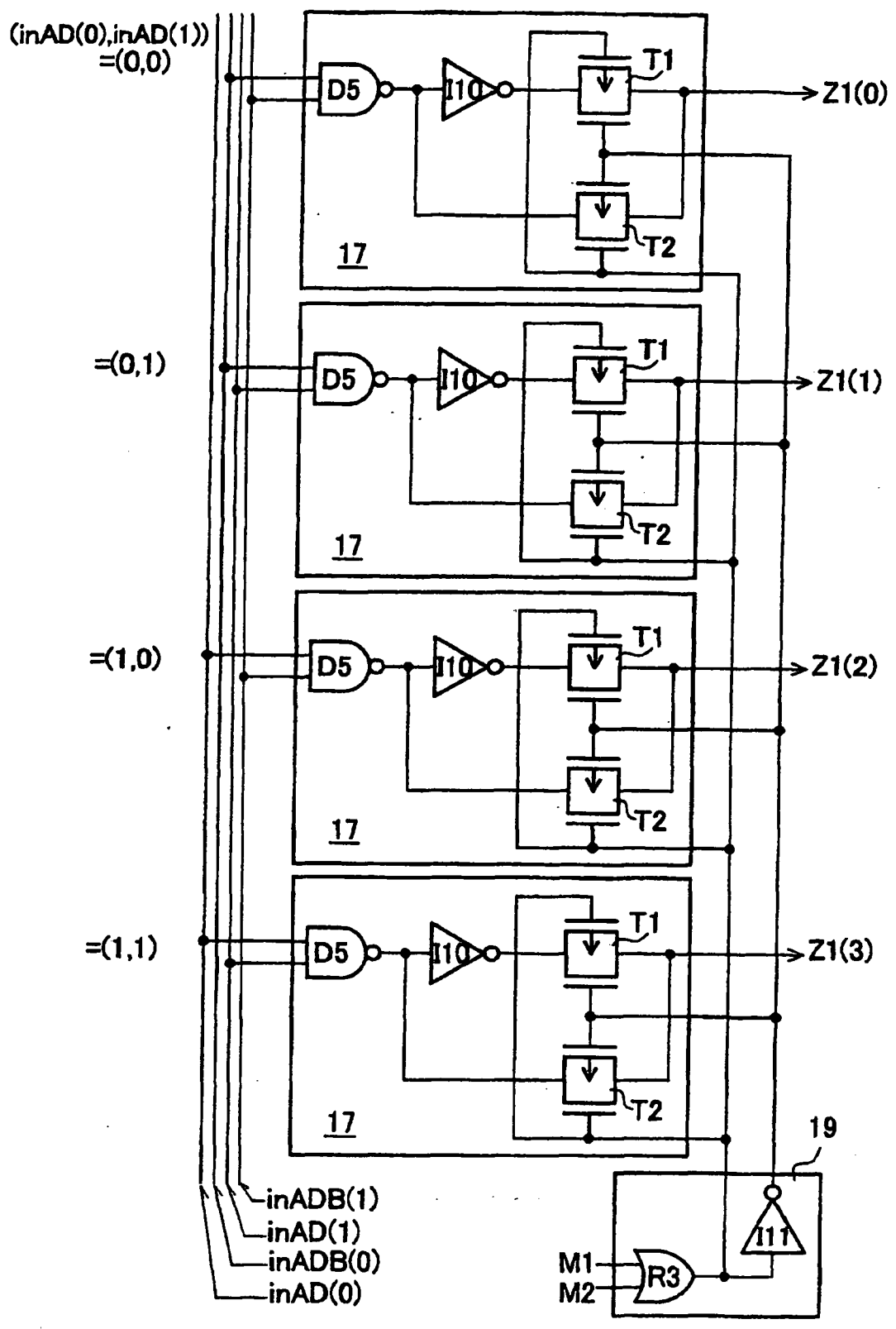
第2圖



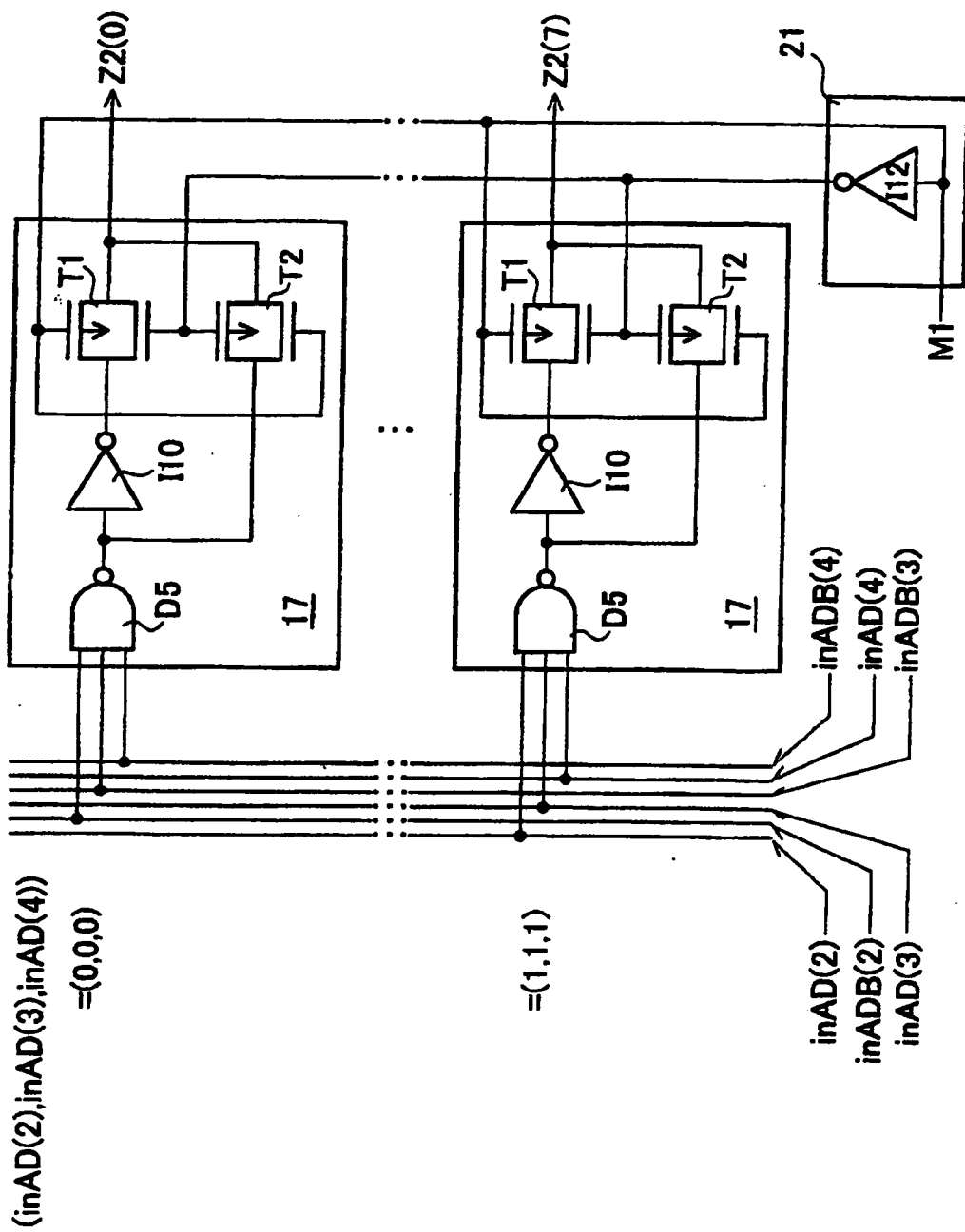
第3圖



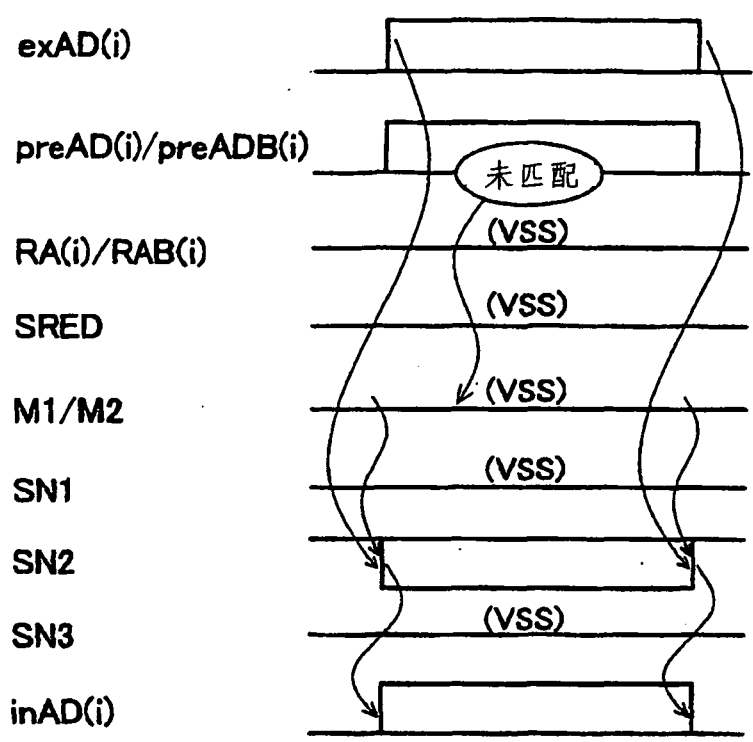
第4圖



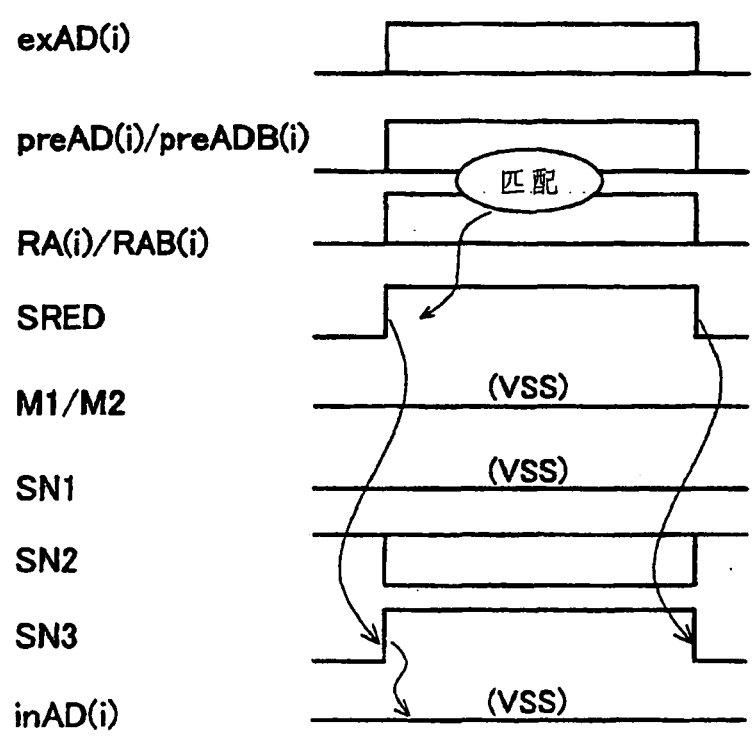
第5圖



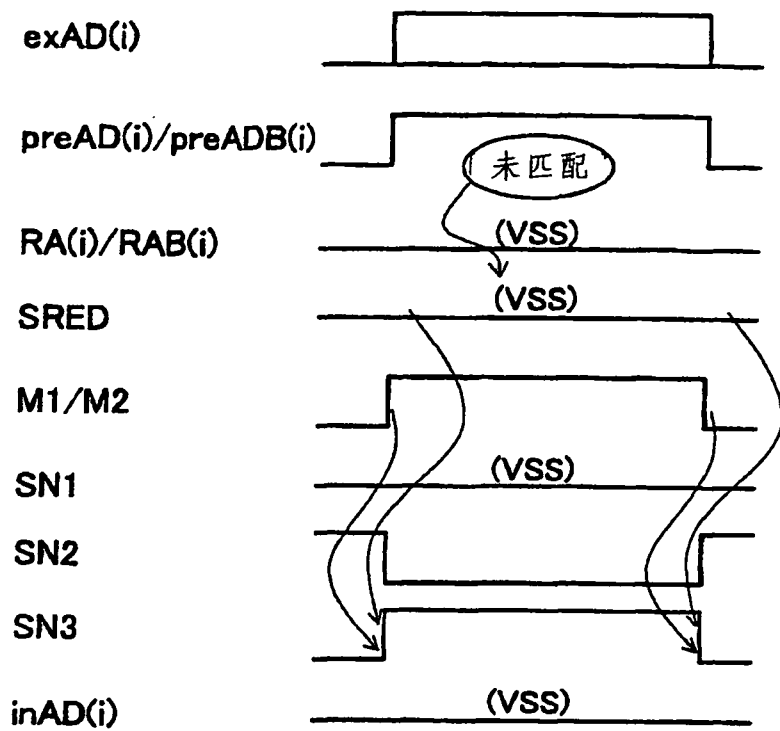
第6圖



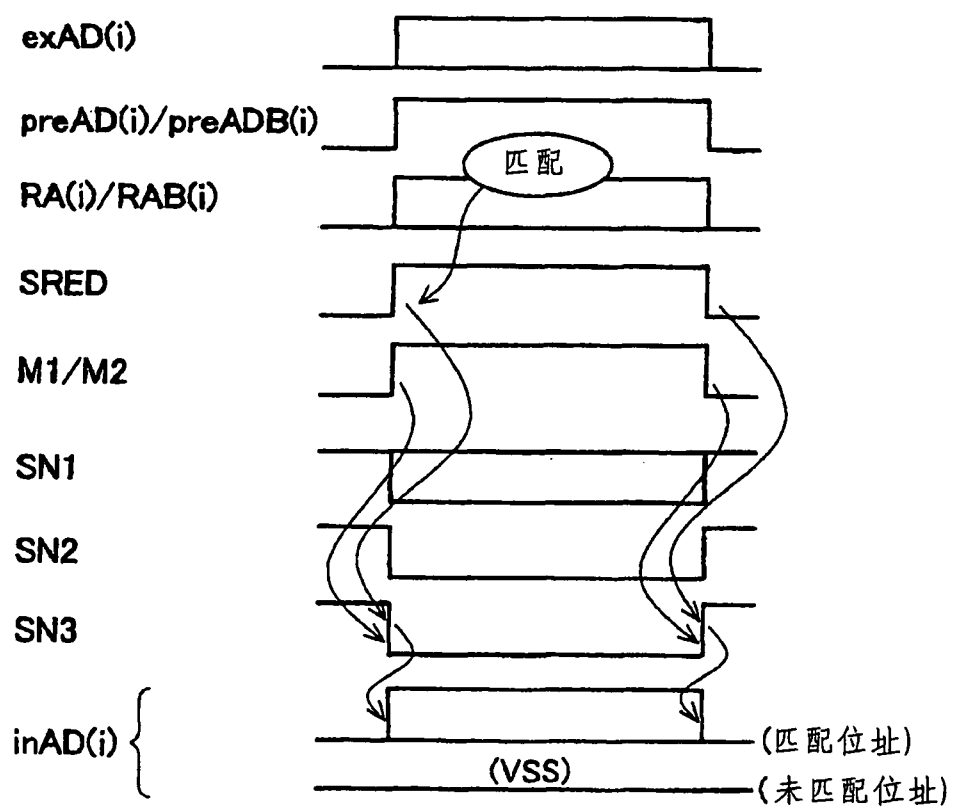
第7圖



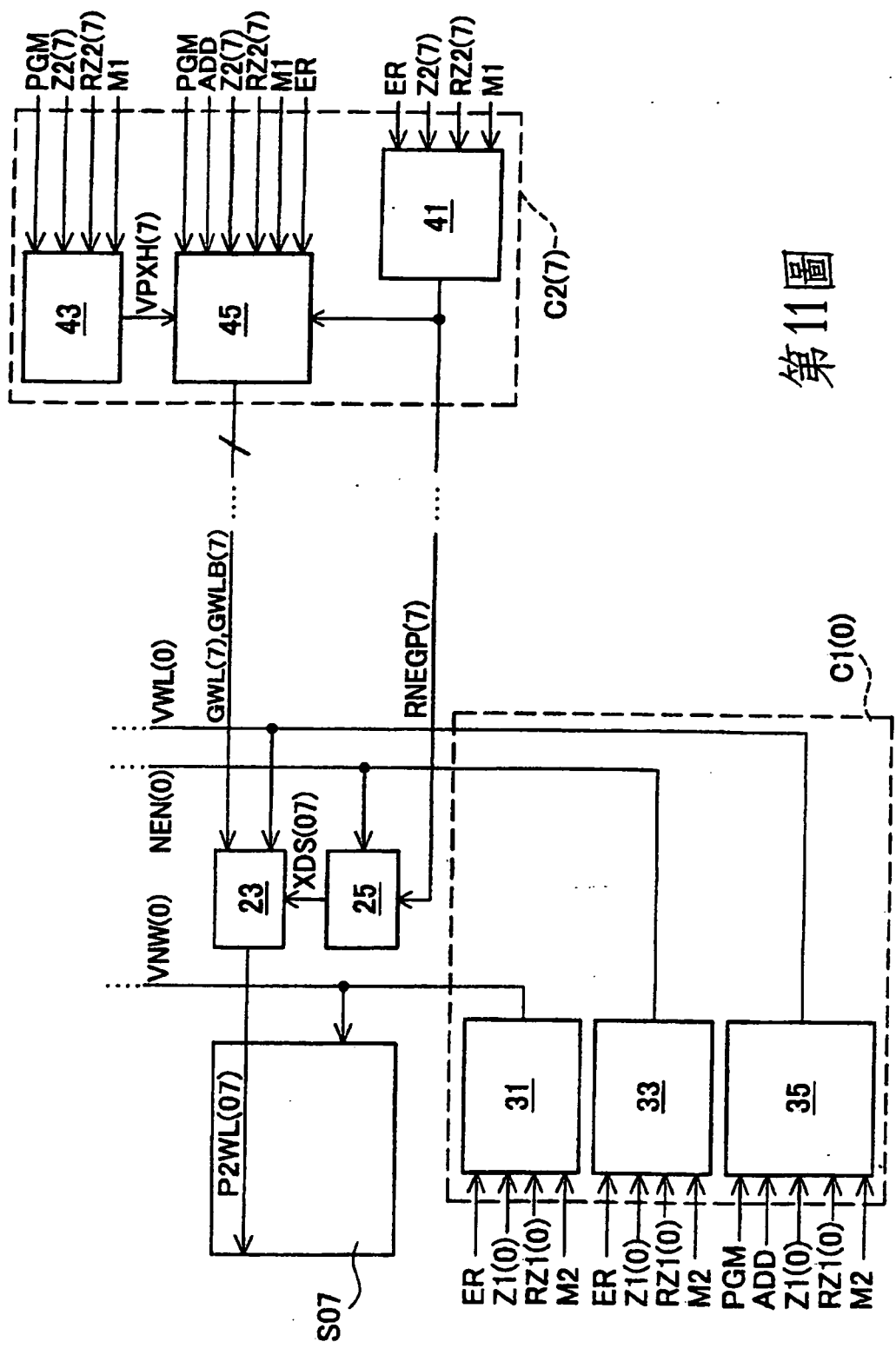
第8圖



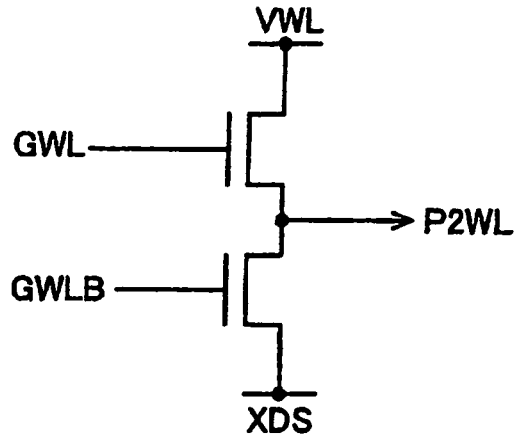
第9圖



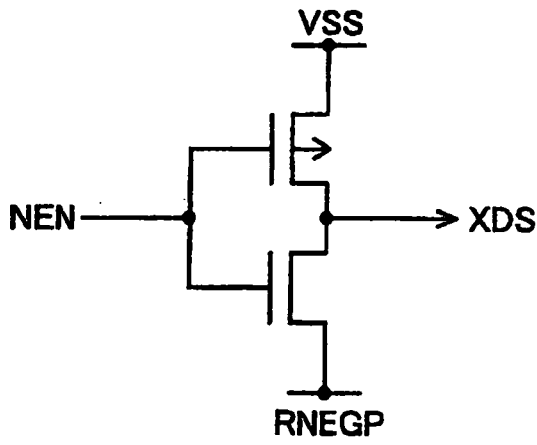
第10圖



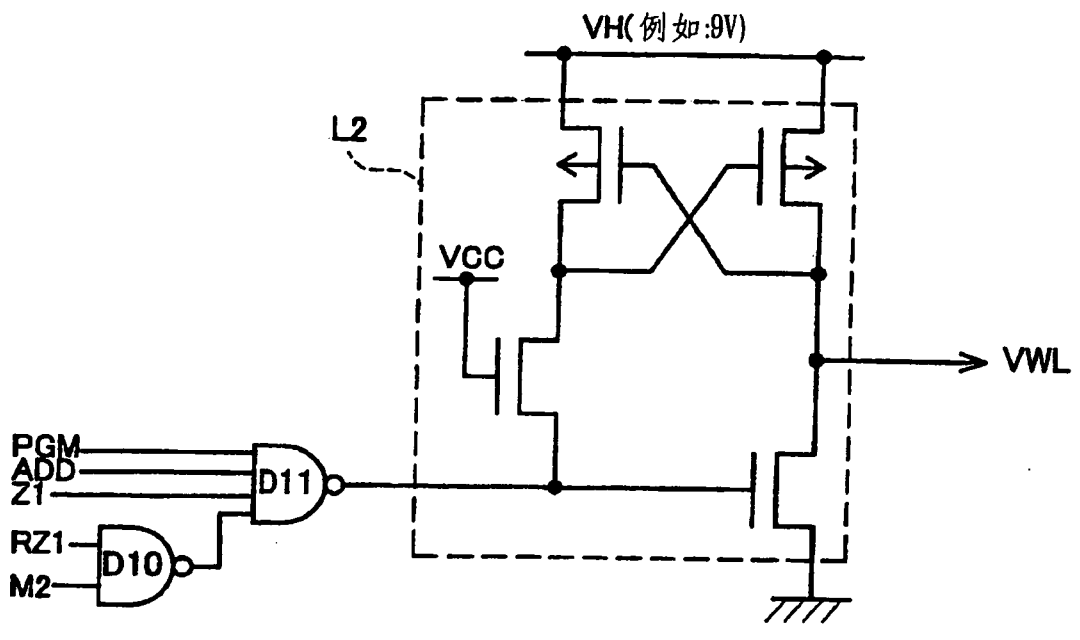
第11圖



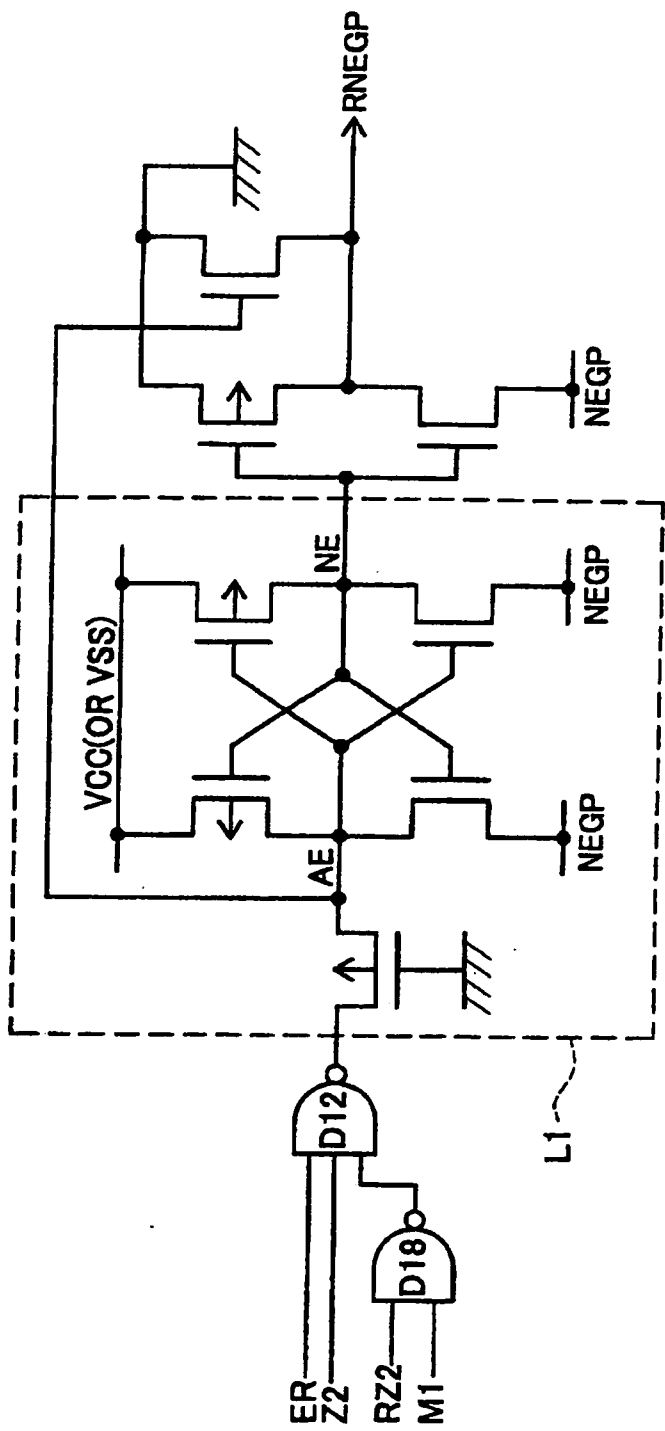
第12圖



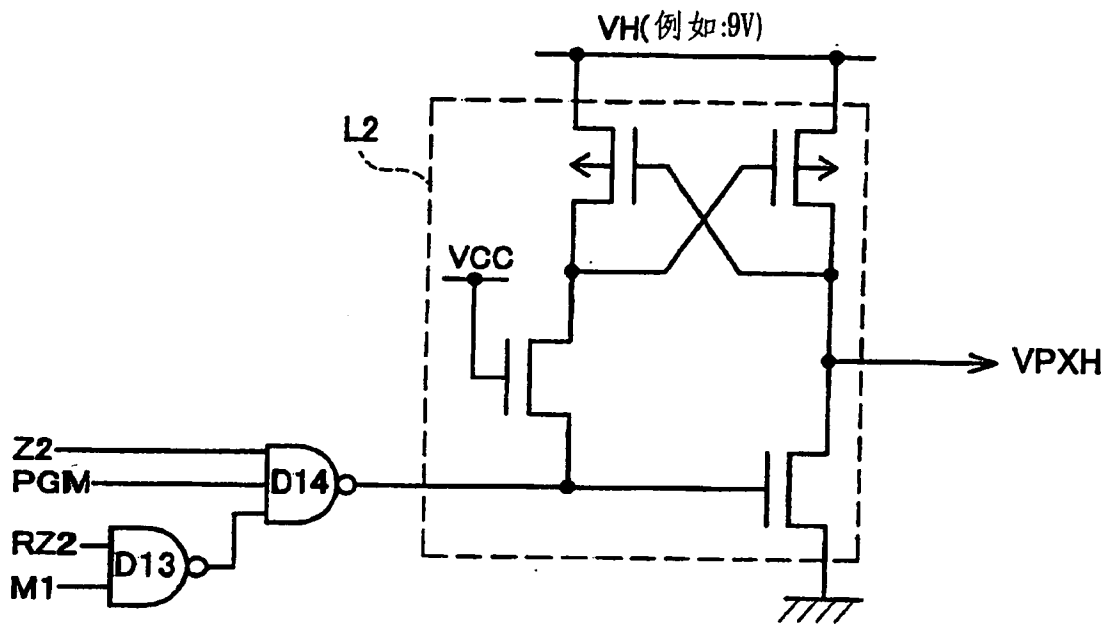
第13圖



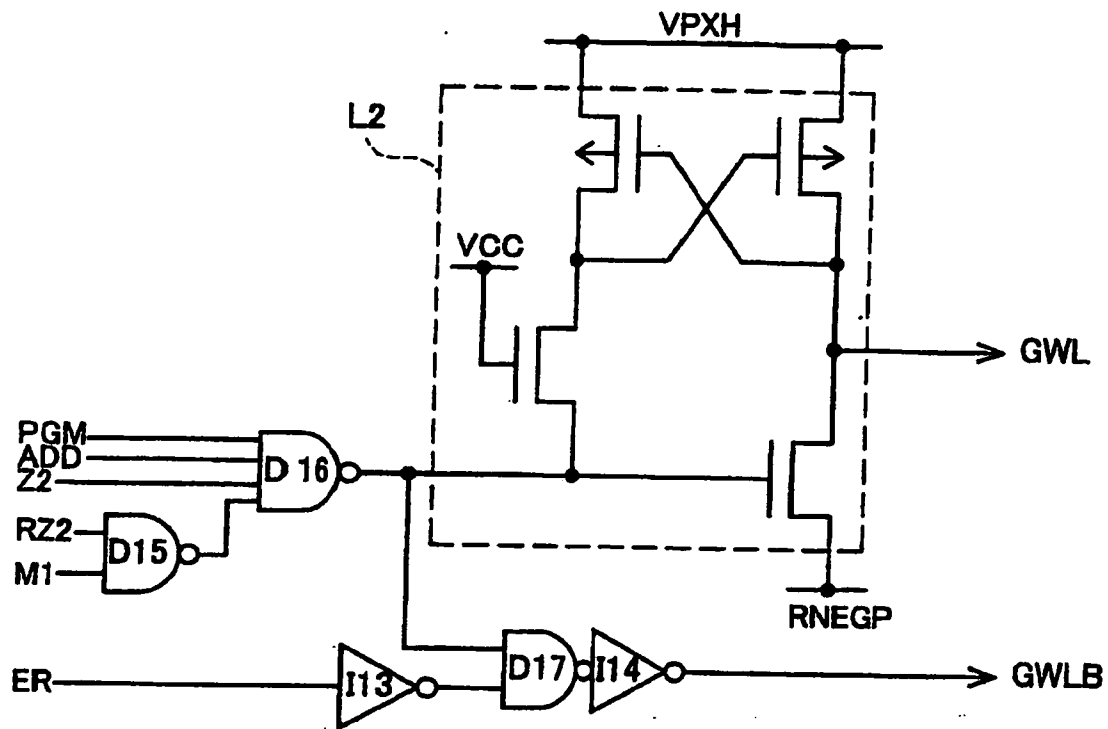
第16圖



第17圖



第18圖



第19圖



模式	區段	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[應力]
ER 應力 (第一)	S06(正常)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	施壓
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	Float	9	未施壓
	S17(正常)	VCC	0	0	0	0	0	0	0	0	0	Float	9	未施壓
ER 應力 (第二)	S06(正常)	0	0	0	0	0	-9	0	0	0	0	Float	0	未施壓
	S07(不良)	0	VCC	0	0	-9	-9	0	-9	0	0	Float	0	未施壓
	S17(正常)	VCC	VCC	0	0	-9	0	-9	9	0	0	-9	9	施壓
PGM 應力 (第一)	S06(正常)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	施壓
	S07(不良)	VCC	0	0	9	0	VCC	0	0	VCC	9	0	0	未施壓
	S17(正常)	VCC	0	0	9	0	VCC	0	0	VCC	9	0	0	未施壓
PGM 應力 (第二)	S06(正常)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	未施壓
	S07(不良)	0	VCC	9	0	0	VCC	0	9	0	0	0	0	未施壓
	S17(正常)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	施壓

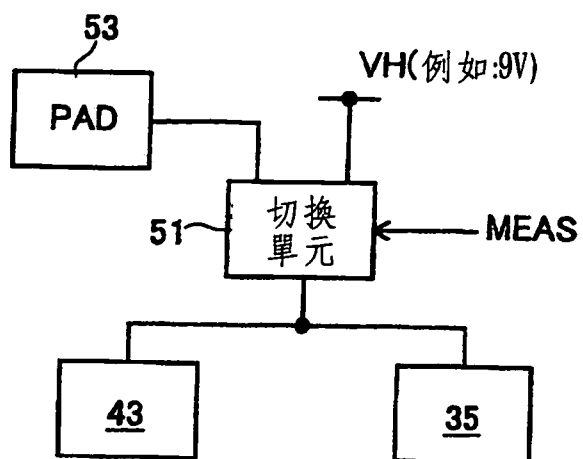
第20圖

模式	區段	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[應力]
HTRB 洩漏測量 (第一)	S06(正常)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	測量
	S07(不良)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	未測量
	S17(正常)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	未測量
HTRB 洩漏測量 (第二)	S06(正常)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	未測量
	S07(不良)	0	VCC	P	0	0	VCC	0	P	0	0	0	0	未測量
	S17(正常)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	測量
第一晶片 ER	S06(正常)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	施壓
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	浮動	9	未施壓
	S17(正常)	0	0	0	0	0	-9	0	0	0	0	浮動	0	未施壓

(P:表示連接至接觸墊的電壓)

第21圖





第22圖