

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 5 日 (05.01.2017)



(10) 国际公布号
WO 2017/000682 A1

- (51) 国际专利分类号:
H03M 13/29 (2006.01)
- (21) 国际申请号: PCT/CN2016/081993
- (22) 国际申请日: 2016 年 5 月 13 日 (13.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510374114.7 2015 年 6 月 30 日 (30.06.2015) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (SANE-CHIPS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (72) 发明人: 王华勇 (WANG, Huayong); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OF-

FICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DECODING METHOD AND APPARATUS AND STORAGE MEDIUM

(54) 发明名称: 一种译码方法、装置及存储介质

在译码的前半窗阶段, 读取译码的输入数据, 并对读取的输入数据进行处理, 得到处理结果

101

在译码的后半窗阶段将所述处理结果进行译码, 得到译码结果

102

根据所述译码结果确认译码结束时, 封装并输出译码结果

103

图 6

101 READ INPUT DATA OF DECODING AT A FIRST SEMI-WINDOW STAGE OF DECODING, AND PROCESS THE READ INPUT DATA TO OBTAIN A PROCESSING RESULT

102 DECODE THE PROCESSING RESULT AT A SECOND SEMI-WINDOW STAGE OF DECODING TO OBTAIN A DECODING RESULT

103 PACKAGE AND OUTPUT THE DECODING RESULT WHEN THE DECODING RESULT CONFIRMS THAT THE DECODING IS ENDED

(57) Abstract: A decoding method comprises: reading input data of decoding at a first semi-window stage of decoding, and processing the read input data to obtain a processing result (101); decoding the processing result at a second semi-window stage of decoding to obtain a decoding result (102); and packaging and outputting the decoding result when the decoding result confirms that the decoding is ended (103). Also disclosed are a corresponding decoding apparatus and a storage medium.

(57) 摘要: 一种译码方法, 包括: 在译码的前半窗阶段读取译码的输入数据, 并对读取的输入数据进行处理, 得到处理结果 (101); 在译码的后半窗阶段将所述处理结果进行译码, 得到译码结果 (102); 根据所述译码结果确认译码结束时, 封装并输出译码结果 (103); 此外还公开了相应的译码装置及存储介质。



WO 2017/000682 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种译码方法、装置及存储介质

技术领域

本发明涉及无线通信技术领域，尤其涉及一种译码方法、装置及存储介质。

5 背景技术

无线通信中，2G 制式、3G 制式、与 4G 制式，乃至将来的 5G 制式将长期共存，用于满足不同用户的不同需求；因此，无线通信设备的多模化是无线通信设备发展的必然趋势。

Turbo 作为一种信道编码技术，广泛应用与 3G 制式和 4G 制式的无线通信系统；Turbo 编码器的编码原理示意图，如图 1 所示，Turbo 编码器将两个简单分量编码器通过伪随机交织器并行级联来构造具有伪随机特性的长码，以最大限度地提高数据的随机性和单位比特的信息量，使其容量更接近于香农理论的极限，在信噪比较低的高噪声环境下性能更优越，并且具有更强的抗衰落和抗干扰能力。

15 Turbo 译码器通过在两个软入/软出译码器之间进行多次迭代实现伪随机译码；Turbo 译码器的译码原理示意图，如图 2 所示，两个译码器 MAP0 和 MAP1 组成一个循环迭代结构，在外部信息的作用下，一定信噪比的误比特率将随着循环次数的增加而降低，置信度也逐步增加；同时，由于外部信息的相关性也随着译码次数的增加而逐渐增加，从而外部信息所提供的纠错能力也随之减弱，在一定的循环次数之后，Turbo 译码器的译码性能将不再提高。Turbo 译码器不仅采用迭代循环过程，而且采用的算法不仅要能够对每比特进行译码，还要伴随着译码给出每比特译出的先验信息；因此，Turbo 译码器具有实现复杂的缺点；这里，MAP1 为进行交织处理的解

20

码器，MAP0 为进行非交织处理的解码器。

3G 制式和 4G 制式采用的 Turbo 算法唯一的不同就在于交织器，交织器的实现通常通过控制访问数据的地址来完成；3G 制式采用的多级（MIL）交织器，通过构造 $R \times C$ 矩阵、进行行内置换和行间置换等多级步骤来实现，其地址毫无规律性，并行操作的可能性小；而 4G 制式采用基于二次多项式置换（QPP）交织器，地址的规律性强，可以实现无冲突访问，并且操作简便。

同时，由于 3G 制式和 4G 制式采用的关键技术不同，导致其干扰类型和干扰抵消的目标有所不同；3G 制式为保证可靠性，通常采用硬比特干扰抵消算法，不需要输出软符号；而 4G 制式为了获取更大的增益，通常采用软符号干扰抵消算法，这样在 Turbo 译码的过程中需要缓存软符号信息，以便输出到外部模块做干扰抵消。

为提高系统吞吐率，3G 制式和 4G 制式通常采用基 4 的 Turbo 译码算法，即每时刻译码产生 4 比特的数据；但由于 3G 制式和 4G 制式在采用的交织器算法方面的差异，直接影响到其译码实现所采用的方式以及存储空间的开销；译码实现方式，如图 3 所示：对于 4G 制式，由于交织的规律性，Turbo 译码器可以方便的分并行处理单元（PU）并行、分串行处理单元（WIN）串行；而对于 3G 制式，由于交织的无规律性，MAP1 仅能分 WIN 串行。

传统 MAP 流水线，如图 4 所示，对于 MP0，由于后半窗需要读写 LE，故存在读写 LE 冲突；而对于 MAP1，除读写 LE 冲突外，3G 制式由于交织地址的冲突性，还存在 4 比特的读冲突和写冲突；因此，现有技术中多模 Turbo 译码器的实现架构，如图 5 所示：通过前窗缓存、后窗使用的方式来解决后半窗的读写 LE 冲突；通过 4 份拷贝的方式来解决 3G 支持的 4 比特读冲突和写冲突；但是，该方法由于不能充分共享 4G 制式软符号的存储资源，从而导致存储资源开销比较大。

同时，Turbo 译码器为提高译码性能，通常采用一定大小的重叠窗（overlap），通过固定默认初始值的方法来训练序列，从而提高译码的精度和正确性；采用固定默认初始值，重叠窗至少需要 16 才能满足译码的一般性能需求。这极大地增加了资源的无用开销。

5 由此可见，传统的 Turbo 译码器由于交织器的差异，4G 并行和 3G 串行，存储资源受限于 3G，逻辑资源受限于 4G，资源共享不充分，从而导致资源利用率低，整体硬件开销和功耗都大。对于 3G 制式，由于没有充分利用逻辑资源，导致系统吞吐率也低。

发明内容

10 有鉴于此，本发明实施例期望提供一种译码方法、装置及存储介质，能够提高资源利用率和吞吐率，降低系统开销和功耗。

本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种译码方法，所述方法包括：

15 在译码的前半窗阶段读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；

在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；

根据所述译码结果确认译码结束时，封装并输出译码结果。

上述方案中，所述确认接收的外部数据为前半窗数据之前，所述方法还包括：

20 接收译码参数包，根据所述译码参数包获取译码参数；

接收译码的输入数据，根据由所述译码参数计算得到的补零个数 PadNum 对所述输入数据进行处理，并存储处理后的数据。

上述方案中，所述读取译码的输入数据，包括：

25 对于 3G 制式，在对所述译码的输入数据进行交织处理阶段的第一个窗，先读取两组译码的输入数据，在前半窗阶段，再读取两组译码的输入

数据，获取四组译码的输入数据；或，

对于 3G 制式，在对所述译码的输入数据进行非交织处理阶段直接读取四组译码的输入数据；或，

对于 4G 制式，在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段，均直接读取四组译码的输入数据。

上述方案中，所述对读取的输入数据进行处理，得到译码结果，包括：对读取的输入数据进行 gamma 计算，得到 gamma 值。

上述方案中，所述将所述处理结果进行译码，包括：

对所述 gamma 值进行前后向碰撞计算，得到硬比特信息、先验信息、及软符号信息。

本发明实施例还提供了一种译码装置，所述装置包括：第一处理模块、译码模块、和输出模块；其中，

所述第一处理模块，配置为在译码的前半窗阶段读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；

所述译码模块，配置为在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；

所述输出模块，配置为根据所述译码结果确认译码结束时，封装并输出译码结果。

上述方案中，所述装置还包括：第二处理模块，配置为接收译码参数包，根据所述译码参数包获取译码参数；

接收译码的输入数据，根据由所述译码参数计算得到的补零个数 PadNum 对所述输入数据进行处理，并存储处理后的数据。

上述方案中，所述第一处理模块，配置为对于 3G 制式，在对所述译码的输入数据进行交织处理阶段的第一个窗，先读取两组译码的输入数据，在前半窗阶段，再读取两组译码的输入数据，获取四组译码的输入数据；

或, 对于 3G 制式, 在对所述译码的输入数据进行非交织处理阶段直接读取四组译码的输入数据; 或,

对于 4G 制式, 在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段, 均直接读取四组译码的输入数据。

5 上述方案中, 所述第一处理模块, 配置为对读取的输入数据进行 gamma 计算, 得到 gamma 值。

上述方案中, 所述译码模块, 配置为对所述 gamma 值进行前后向碰撞计算, 得到硬比特信息、先验信息、及软符号信息。

10 本发明实施例还提供了一种计算机存储介质, 所述计算机存储介质存储有计算机程序, 该计算机程序配置为执行本发明实施例的上述译码方法。

本发明实施例所提供的译码方法、装置及存储介质, 在译码的前半窗阶段, 读取译码的输入数据, 并对读取的输入数据进行处理, 得到处理结果; 在译码的后半窗阶段, 将所述处理结果进行译码, 得到译码结果; 根据所述译码结果确认译码结束时, 封装并输出译码结果; 如此, 可通过前
15 半窗阶段的读数据与后半窗阶段的写数据分离, 解决了读写冲突的问题, 降低了资源的功耗; 同时通过对译码的输入数据进行数据对齐, 将 3G MAP0、4G MAP0 和 4G MAP1 合并为无冲突通道, 统一并行处理, 3G MAP1 为冲突通道, 单独进行串行处理, 提高了吞吐率。

附图说明

20 图 1 为现有技术 Turbo 编码器的编码原理示意图;

图 2 为现有技术 Turbo 译码器的译码原理示意图;

图 3 为现有技术 Turbo 译码器的译码实现方式示意图;

图 4 为现有技术 MAP 流水线示意图;

图 5 为现有技术多模 Turbo 译码器的实现架构示意图;

25 图 6 为本发明实施例译码方法的基本处理流程示意图;

图 7 为本发明实施例 alpha 继承历史值初始化的原理示意图;

图 8 为本发明实施例 beta 继承历史值初始化的原理示意图;

图 9 为本发明实施例读写数据的示意图;

图 10 为本发明实施例译码方法的详细处理流程示意图;

5 图 11 为本发明实施例译码装置的组成结构示意图;

图 12 为本发明实施例译码装置的实现示意图。

具体实施方式

在本发明实施例一种译码方法的基本处理流程, 如图 6 所示, 包括以下步骤:

10 步骤 101, 在译码的前半窗阶段, 读取译码的输入数据, 并对读取的输入数据进行处理, 得到处理结果;

译码装置的第一处理模块在译码的前半窗阶段读取译码的输入数据;

1) 对于 3G 制式, 在对所述译码的输入数据进行交织处理 MAP1 阶段的第一个窗前, 先从缓存中读取两组译码的输入数据, 在前半窗阶段, 再从缓存中读取两组译码的输入数据, 获取四组译码的输入数据; 每次 MAP1
15 迭代前均有半个窗的预读阶段, 后半窗作为后一个窗的预读阶段;

这里, 所述每组译码的输入数据包括: 先验值 LE、系统数据 S、和校验值 P1; 如此, 通过提前半窗读的方式, 即在 3G MAP1 的每次迭代前增加一级提前预读流水, 从 4 比特的数据中任取 2 比特的数据进行提前预读并
20 缓存, 其余 2 比特在正常流程的前半窗读取, 并与提前预读的 2 比特组成完整的数据; 由于 3G MAP1 采用拷贝的方式来解决冲突, 读写不会同时存在于同一存储资源空间, 因此从根本上就不会发生读写冲突, 提前预读流水可以和其它窗的后半窗重合。这样, 通过增加少量的开销, 即可实现从同时读 4 个数据降低到同时读 2 个数据, 从而使相应的拷贝数也从 4 份降低
25 为 2 份, 存储资源可以完全共享 4G 软符号的存储资源, 达到降低存储资

源开销和提高共享资源利用率的目的;

2) 对于 3G 制式, 在对所述译码的输入数据进行非交织处理 MAP0 阶段直接读取四组译码的输入数据; 这里, 所述每组译码的输入数据包括: LE、S、和 P0;

5 3) 对于 4G 制式, 在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段, 均直接读取四组译码的输入数据; 这里, 所述每组译码的输入数据包括: LE、S、和 P0, 或 LE、S、和 P1。

对读取的输入数据进行处理是指将输入的数据进行 gamma 计算, 得到
10 gamma 值, 并将所述 gamma 值缓存至 gamma_ram; 这里, gamma 计算采用 (1,0) 的方案; 由 Turbo 算法从理论上推到的 gamma 计算的方程式, 为:

$$\bar{\gamma}_{2k,2k+2}(S_{2k}, S_{2k+2}) = \overset{\text{even}}{\chi_{2k}^s} [La(\chi_{2k}) + y_{2k}^s] + \chi_{2k}^p \cdot y_{2k}^p + \overset{\text{odd}}{\chi_{2k+1}^s} [La(\chi_{2k+1}) + y_{2k+1}^s] + \chi_{2k+1}^p \cdot y_{2k+1}^p \quad (1)$$

15 其中, $(\chi_{2k}^s, \chi_{2k+1}^s, \chi_{2k}^p, \chi_{2k+1}^p) = \{0000, 0001, \dots, 1111\}$;

$\bar{\gamma}_{2k,2k+2}(S_{2k}, S_{2k+2})$ 表示从状态 S_{2k} 到 S_{2k+2} 的 gamma 值;

$\chi_{2k}^s, \chi_{2k+1}^s$ 表示编码系统比特 SYS, $\chi_{2k}^p, \chi_{2k+1}^p$ 表示编码校验比特 P0 或 P1;

y_{2k}^s, y_{2k+1}^s 表示接收的软系统符号, y_{2k}^p, y_{2k+1}^p 表示接收的软校验符号;

20 $La(\chi_{2k}), La(\chi_{2k+1})$ 表示先验软信息 Le。

硬比特符号 x 在通信意义上仅有 +1, -1 之分, 而 0 表示无信号, ± 1 可以增大两个不同信号之间的区分度; 因此, 通常 gamma 的计算采用 (1, -1) 方案; gamma 计算方案比较值, 如表 1 所示:

$(\chi_{2k}^s, \chi_{2k}^p)$		gamma (1, -1)	gamma (1, 0)	

-1, -1	00	$-(La(\chi_{2k}) + y_{2k}^s) - y_{2k}^p$	0	$\gamma_1 = y_{2k}^p$ $\gamma_2 =$ $La(\chi_{2k}) + y_{2k}^s$
-1, 1	01	$-(La(\chi_{2k}) + y_{2k}^s) + y_{2k}^p$	y_{2k}^p	
1, -1	10	$(La(\chi_{2k}) + y_{2k}^s) - y_{2k}^p$	$La(\chi_{2k}) + y_{2k}^s$	
1, 1	11	$(La(\chi_{2k}) + y_{2k}^s) + y_{2k}^p$	$(La(\chi_{2k}) + y_{2k}^s) + y_{2k}^p$	

表 1

由表 1 可以看出, $\gamma(1,-1)$ 和 $\gamma(1,0)$ 两种算法的概率差相差一个整数倍数, 这是由于采用 γ 简化算法带来的结果; 如果采用浮点算法, 两种译码算法的结果一样; 但是如果采用定点算法, 由于定点精度问题, $\gamma(1,-1)$ 算法在精度上会有损失; 同时, 从实现角度而言, $\gamma(1,0)$ 算法也相对简化; 因此, 采用 $\gamma(1,0)$ 算法不仅能降低逻辑资源的开销, 提高译码性能, 而且由于前半窗需要缓存, 也能降低缓存存储资源的开销; 而且, 由于 γ 值在随后的无论是用于求硬比特符号, 还是用于求先验信息, 抑或用于求软符号信息, 均采用的是不同组合的概率差值, 因此, γ 采用 $(1,0)$ 方案计算, 并不会造成任何性能损失。

本发明实施例中, 若不是 3G 制式下的 MAP1 阶段的第一个窗, 在执行本步骤之前, 则需初始化 α 或 β ; 若是 3G 制式下的 MAP1 阶段的第一个窗, 则在缓存中读取两组译码的输入数据后, 再初始化 α 或 β ;

这里, 如果为首次对输入的数据进行译码, 即首次迭代, 则采用固定的默认值初始化 α 或 β ; 否则, 采用缓存的历史值初始化 α 或 β ; 其中, 缓存的历史值为上一次译码产生并缓存的值;

由于 Turbo 碰撞译码算法通过采用增加 overlap 训练窗大小的方法来提高译码性能, 因此, 用于训练所选择的初始值不仅决定训练窗 WIN 的大小, 而且决定其译码性能; 训练窗从理论上来说是无用的, 仅仅是为了训练, 而不会产生有效的译码输出; 因此, 本申请通过采用继承历史值来初始化 α 或 β , 在保证译码性能的前提下, 能有效地减小训练窗 WIN 的大小,

从而降低无用开销；而无用开销的减少，也必然会提高系统吞吐率和降低动态功耗。

alpha 继承历史值初始化的原理，如图 7 所示：由于 alpha 采用前向计算，各窗间可以平滑过渡，除第一个窗外的其它窗无需重叠训练，后窗可以
5 以直接采用前窗的计算结果做为训练结果继续处理，因此 alpha 仅各 PU 的第一个窗需要初始化。在第一次迭代的时候，采用传统的默认固定值初始化，并保存距离各 PU 末尾重叠窗 WIN 长度点的 alpha 中间计算值，用于下次迭代的初始化；除第一次迭代外的其他迭代，均采用上次迭代保存的中间值作为 alpha 的初始值，并保存本次计算的中间值以供下次迭代使用。

10 beta 继承历史值初始化的原理，如图 8 所示：由于 beta 由于采用反向计算，各窗间在数据上无连贯性，因此，各个窗均需要独立初始化。在第一次迭代的时候，各窗采用传统的默认固定值初始化，并保存距离各窗头部重叠窗 WIN 长度点的 beta 中间计算值，用于下次迭代的初始化；除第一次迭代外的其他迭代均采用上次迭代保存的中间值作为 beta 的初始值，并
15 保存本次计算的中间值以供下次迭代使用。

本发明实施例中，在执行步骤 101 之前，还包括：

步骤 100a，接收译码参数包，根据所述译码参数包获取译码参数；

译码装置中的第二处理模块接收外部发送的译码参数包，并解析所述译码参数包；如果解析所述译码参数包为 3G 制式，根据补零个数计算公式
20 计算 PadNum；

对于 3G 制式，由于 MAP0 采用顺序地址，地址间无冲突，因此，MAP0 可采用并行操作；但是，由于 3G 制式下交织器的无规律性，MAP1 读写数据时的交织地址容易产生冲突，因此 MAP1 无法并行操作；对于 4G 制式，交织器采用无冲突的二次置换多项式（Quadratic Polynomial Permutation，
25 QPP），因此，4G 制式下的 MAP0 和 MAP1 均能并行操作。因此，把 3G MAP0、

4G MAP0 和 4G MAP1 合并为无冲突通道，统一并行处理；而 3G MAP1 为冲突通道，采用固定窗长的原则单独进行串行处理。这样，既能最大限度的共享其逻辑资源，达到资源利用率的最大化；同时，由于并行处理 3G MAP0，也能极大提高 3G 系统的吞吐率。

- 5 4G 协议规定的 Turbo 码块大小 K 为在[40, 6144]区间的 188 种可能取值，且每种取值在各自的区间均为 N ($N=8,16,32,64$) 的整数倍，因此能容易的均分为 $PU \times WIN$ 等份，利于并行处理；而 3G 协议中规定的 Turbo 码块大小 K 可以是[40, 5114]的任意值，并不完全是 $PU \times WIN$ 的整数倍，为兼容 4G 的多 PU 并行处理，需要对 3G 的输入数据进行末尾补零对齐到与
- 10 4G 最接近的码块大小 K ；具体的补零个数计算公式如下：

$$PadNum = (8 - k \% 8) \% 8, k \in [40, 512] \quad (2)$$

$$(16 - k \% 16) \% 16, k \in (512, 1024]$$

$$(32 - k \% 32) \% 32, k \in (1024, 2048]$$

$$(64 - k \% 64) \% 64, k \in (2048, 5114];$$

- 15 再根据解码块大小 k 和 $PadNum$ 分别计算出 MAP0 和 MAP1 运算所需要的并行处理单元数量 ($PuNum$)、串行处理单元数量 ($WinNum$) 和串行处理单元大小 ($WinSize$)， K' 、 $PuNum$ 、 $WinNum$ 和 $WinSize$ 的关系，如表 2 所示：

$K'=k+ PuNum$	$PuNum$	$WinNum$	$WinSize$
[40, 376]	1	1	$K' \% 2$
(376, 752]	2	1	$K' \% 4$
(752, 1504]	4	1	$K' \% 8$
(1504, 3072]	8	1	$K' \% 16$
(3072, 6144]	8	2	$K' \% 32$

表 2

步骤 100b, 接收译码的输入数据, 根据 PadNum 对所述输入数据进行处理, 并存储处理后的数据;

这里, 译码装置的第二处理模块接收外部的译码输入数据, 解析所述输入数据中的 p0、p1 和 S, 根据所述 PadNum 的大小在所接收的数据尾部
5 补零对齐后存储至缓存; 同时, 所述第二处理模块根据 k 产生交织地址, 并将产生的交织地址缓存至 addr_ram, 所述交织地址用于 MAP1 阶段读写数据使用; 在执行该步骤后, 执行初始化 alpha 或 beta 的操作。

步骤 102, 在译码的后半窗阶段将所述处理结果进行译码, 得到译码结果;

10 这里, 译码装置中的译码模块对步骤 101 中计算得到的所述 gamma 值基于基 4 碰撞 MAP 算法进行前后向碰撞计算, 得到译码结果, 并将所述译码结果进行缓存;

其中, 所述译码结果包括: 硬比特信息、LE、及软符号信息;

相应的, 所述硬比特信息存储至 hd_ram, 所述 4G 校验比特 p1 软符号
15 存储至 p1_le_ram, 4G 校验比特 p0 软符号存储至 p0_le_ram, 4G 系统比特软符号存储至 llrs_scpy_ram, LE 存储至 le_ram;

对于非冲突通道, 则将四组译码结果并行写入 le_ram, 如果是冲突通道, 在写入译码结果的过程中若遇到地址冲突, 则将有冲突的地址和数据先缓存起至 delay_ram, 在没有地址冲突的时候, 将已经缓存的有冲突的地址和数据同其他译码结果一同写入 le_ram。
20

本发明实施例中, 为解决 4 比特数据的写冲突, 采用延迟写法, 由于 MAP 的译码结果数据仅发生在后半窗, 通过延迟可以扩展写到前半窗, 相当于每一时刻只写 2 比特数据, 而在无地址冲突的时候, 可以同时写入多比特数据, 从而, 在根本上消除写冲突的问题。

25 同时, 在本发明实施例中, 如图 9 所示, 在前半窗从共享存储资源读

取本窗所有需要的数据信，并对所述数据进行 gamma 计算后缓存，在后半窗仅从该缓存中读取相应的 gamma 值进行译码，并将译码结果回写到共享存储资源；如此，实现了共享存储资源的读/写完全分开，解决了读写冲突；同时，由于不需要从较大的共享存储资源二次重复读取数据和进行 gamma 值的二次计算，而仅从较小的缓存中直接获取 gamma 值降低了大 RAM 的读写概率和逻辑资源的翻转率，有效地降低了动态功耗。

步骤 103，根据所述译码结果确认译码结束时，封装并输出译码结果；

译码装置中的输出模块对所述译码结果中的硬比特信息进行循环冗余校验（Cyclic Redundancy Check, CRC），或将本次译码结果中的硬比特信息与上次迭代结果中的硬比特信息进行比较，依据迭代提前停止准则及 CRC 结果或比较结果确定迭代是否结束；如果迭代未结束，则重复执行步骤 101 至步骤 103；如果迭代结束，则将译码得到的硬比特信息或软比特信息封装、输出至外部；

需要说明的是，本发明实施例中所述迭代是指对输入的译码数据进行多次译码。

本发明实施例一种译码方法的详细处理流程，如图 10 所示，包括以下步骤：

步骤 201，接收译码参数包，根据所述译码参数包获取译码参数；

译码装置中的第二处理模块接收外部发送的译码参数包，并解析所述译码参数包；如果解析所述译码参数包为 3G 制式，根据补零个数计算公式计算 PadNum；

对于 3G 制式，由于 MAP0 采用顺序地址，地址间无冲突，因此，MAP0 可采用并行操作；但是，由于 3G 制式下交织器的无规律性，MAP1 读写数据时的交织地址容易产生冲突，因此 MAP1 无法并行操作；对于 4G 制式，交织器采用无冲突的 QPP，因此，4G 制式下的 MAP0 和 MAP1 均能并行操

作。因此，把 3G MAP0、4G MAP0 和 4G MAP1 合并为无冲突通道，统一并行处理；而 3G MAP1 为冲突通道，采用固定窗长的原则单独进行串行处理。这样，既能最大限度的共享其逻辑资源，达到资源利用率的最大化；同时，由于并行处理 3G MAP0，也能极大提高 3G 系统的吞吐率。

- 5 4G 协议规定的 Turbo 码块大小 K 为在[40, 6144]区间的 188 种可能取值，且每种取值在各自的区间均为 N ($N=8,16,32,64$) 的整数倍，因此能容易的均分为 $PU \times WIN$ 等份，利于并行处理；而 3G 协议中规定的 Turbo 码块大小 K 可以是[40, 5114]的任意值，并不完全是 $PU \times WIN$ 的整数倍，为兼容 4G 的多 PU 并行处理，需要对 3G 的输入数据进行末尾补零对齐到与
- 10 4G 最接近的码块大小 K ；具体的补零个数计算公式如下：

$$PadNum = (8 - k \% 8) \% 8, k \in [40, 512] \quad (2)$$

$$(16 - k \% 16) \% 16, k \in (512, 1024]$$

$$(32 - k \% 32) \% 32, k \in (1024, 2048]$$

$$(64 - k \% 64) \% 64, k \in (2048, 5114];$$

- 15 再根据解码块大小 k 和 $PadNum$ 分别计算出 MAP0 和 MAP1 运算所需要的并行处理单元数量 ($PuNum$)、串行处理单元数量 ($WinNum$) 和串行处理单元大小 ($WinSize$)， K' 、 $PuNum$ 、 $WinNum$ 和 $WinSize$ 的关系，如表 2 所示：

$K' = k + PuNum$	$PuNum$	$WinNum$	$WinSize$
[40, 376]	1	1	$K' \% 2$
(376, 752]	2	1	$K' \% 4$
(752, 1504]	4	1	$K' \% 8$
(1504, 3072]	8	21	$K' \% 16$
(3072, 6144]	8	12	$K' \% 32$

表 2

步骤 202, 接收译码的输入数据, 根据 PadNum 对所述输入数据进行处理, 并存储处理后的数据;

译码装置的第二处理模块接收外部的译码输入数据, 解析所述输入数据中的 p0、p1 和 S, 根据所述 PadNum 的大小在所接收的数据尾部补零对齐后存储至缓存; 同时, 所述第二处理模块根据 k 产生交织地址, 并将产生的交织地址缓存至 addr_ram, 所述交织地址用于 MAP1 阶段读写数据使用。

步骤 203, 判断是否需要进入提前预读阶段, 在判断结果为是时, 执行步骤 204, 在判断结果为否时, 执行步骤 205;

译码装置的第一处理模块判断为 3G 制式, 且在对所述译码的输入数据进行交织处理 MAP1 阶段的第一个窗时, 确认需要进入提前预读阶段, 否则, 不需要进入提前预读阶段。

步骤 204, 提前预读数据;

这里, 先从缓存中读取两组待译码的输入数据;

这里, 所述每组译码的输入数据包括: 先验值 LE、系统数据 S、和校验值 P1; 如此, 通过提前半窗读的方式, 即在 3G MAP1 的每次迭代前增加一级提前预读流水, 从 4 比特的数据中任取 2 比特的数据进行提前预读并缓存, 其余 2 比特在正常流程的前半窗读取, 并与提前预读的 2 比特组成完整的数据; 由于 3G MAP1 采用拷贝的方式来解决冲突, 读写不会同时存在于同一存储资源空间, 因此从根本上就不会发生读写冲突, 提前预读流水可以和其它窗的后半窗重合。这样, 通过增加少量的开销, 即可实现从同时读 4 个数据降低到同时读 2 个数据, 从而使相应的拷贝数也从 4 份降低为 2 份, 存储资源可以完全共享 4G 软符号的存储资源, 达到降低存储资源开销和提高共享资源利用率的目的。

步骤 205, 在译码的前半窗阶段, 读取译码的输入数据, 并对读取的输

入数据进行处理，得到处理结果；

这里，译码装置的第一处理模块在译码的前半窗阶段读取译码的输入数据；

1) 对于 3G 制式，在对所述译码的输入数据进行交织处理 MAP1 阶段的第一个窗，在前半窗阶段，从缓存中读取两组译码的输入数据，与步骤 204 中提前预读的两组数据共同组成四组译码的输入数据；这里，所述每组译码的输入数据包括：LE、S、和 P1；每次 MAP1 迭代前均有半个窗的预读阶段，后半窗作为后一个窗的预读阶段；

2) 对于 3G 制式，在对所述译码的输入数据进行非交织处理 MAP0 阶段直接读取四组译码的输入数据；这里，所述每组译码的输入数据包括：LE、S、和 P0；

3) 对于 4G 制式，在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段，均直接读取四组译码的输入数据；这里，所述每组译码的输入数据包括：LE、S、和 P0，或 LE、S、和 P1。

对读取的输入数据进行处理是指将输入的数据进行 gamma 计算，得到 gamma 值，并将所述 gamma 值缓存至 gamma_ram；这里，gamma 计算采用 (1,0) 的方案；由 Turbo 算法从理论上推导出 gamma 计算的方程式，为：

$$\bar{\gamma}_{2k,2k+2}(S_{2k}, S_{2k+2}) = \chi_{2k}^s [Ld(\chi_{2k}^s) + y_{2k}^s] + \chi_{2k}^p \cdot y_{2k}^p + \chi_{2k+1}^s [Ld(\chi_{2k+1}^s) + y_{2k+1}^s] + \chi_{2k+1}^p \cdot y_{2k+1}^p \quad (1)$$

其中， $(\chi_{2k}^s, \chi_{2k+1}^s, \chi_{2k}^p, \chi_{2k+1}^p) = \{0000, 0001, \dots, 1111\}$ ；

$\bar{\gamma}_{2k,2k+2}(S_{2k}, S_{2k+2})$ 表示从状态 S_{2k} 到 S_{2k+2} 的 gamma 值；

$\chi_{2k}^s, \chi_{2k+1}^s$ 表示编码系统比特 SYS， $\chi_{2k}^p, \chi_{2k+1}^p$ 表示编码校验比特 P0 或 P1；

y_{2k}^s, y_{2k+1}^s 表示接收的软系统符号， y_{2k}^p, y_{2k+1}^p 表示接收的软校验符号；

$La(\chi_{2k})$, $La(\chi_{2k+1})$ 表示先验软信息 Le 。

本发明实施例中采用 $\gamma(1,0)$ 算法进行 γ 计算。

本发明实施例中，若不是 3G 制式下的 MAP1 阶段的第一个窗，在执行本步骤之前，则需初始化 α 或 β ；若是 3G 制式下的 MAP1 阶段的第
5 一个窗，则在缓存中读取两组译码的输入数据后，再初始化 α 或 β ；

这里，如果为首次对输入的数据进行译码，即首次迭代，则采用固定的默认值初始化 α 或 β ；否则，采用缓存的历史值初始化 α 或 β ；其中，缓存的历史值为上一次译码产生并缓存的值； α 继承历史值初始化的原理，如图 7 所示， β 继承历史值初始化的原理，如图 8 所示，在
10 前述均有描述，这里不在赘述。

步骤 206，在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；

这里，译码装置中的译码模块对步骤 203 中计算得到的所述 γ 值基于基 4 碰撞 MAP 算法进行前后向碰撞计算，得到译码结果，并将所述译
15 码结果进行缓存；

其中，所述译码结果包括：硬比特信息、LE、及软符号信息；

相应的，所述硬比特信息存储至 hd_ram ，所述 4G 校验比特 $p1$ 软符号存储至 $p1_le_ram$ ，4G 校验比特 $p0$ 软符号存储至 $p0_le_ram$ ，4G 系统比特软符号存储至 $llrs_scopy_ram$ ，LE 存储至 le_ram ；

20 对于非冲突通道，则将四组译码结果并行写入 le_ram ，如果是冲突通道，在写入译码结果的过程中若遇到地址冲突，则将有冲突的地址和数据先缓存起至 $delay_ram$ ，在没有地址冲突的时候，将已经缓存的有冲突的地址和数据同其他译码结果一同写入 le_ram 。

本发明实施例中，为解决 4 比特数据的写冲突，采用延迟写法，由于
25 MAP 的译码结果数据仅发生在后半窗，通过延迟可以扩展写到前半窗，相

当于每一时刻只写 2 比特数据，而在无地址冲突的时候，可以同时写入多比特数据，从而，在根本上消除写冲突的问题。

步骤 207，判断是否所有窗均处理完毕，判断结果为是时，执行步骤 208，判断结果为否时，执行步骤 205；

5 步骤 208，根据所述译码结果判断译码是否结束，判断结果为是时，执行步骤 209，判断结果为否时，执行步骤 203；

这里，译码装置中的输出模块对所述译码结果中的硬比特信息进行循环冗余校验（Cyclic Redundancy Check, CRC），或将本次译码结果中的硬比特信息与上次迭代结果中的硬比特信息进行比较，依据迭代提前停止准则及 CRC 结果或比较结果确定迭代是否结束。

10

步骤 209，封装并输出译码结果；

译码装置中的输出模块将译码得到的硬比特信息或软比特信息封装、输出至外部；

需要说明的是，本发明实施例中所述迭代是指对输入的译码数据进行多次译码。

15

为实现上述译码方法，本发明实施例提供一种译码装置，所述装置的组成结构，如图 11 所示，包括：第一处理模块 10、译码模块 20、和输出模块 30；其中，

所述第一处理模块 10，配置为在译码的前半窗阶段读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；

20

所述译码模块 20，配置为在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；

所述输出模块 30，配置为根据所述译码结果确认译码结束时，封装并输出译码结果。

25 本发明实施例中，所述装置还包括：第二处理模块 40，配置为接收译

码参数包，根据所述译码参数包获取译码参数；

接收译码的输入数据，根据所述译码参数中的 PadNum 对所述输入数据进行处理，并存储处理后的数据。

5 本发明实施例中，所述第一处理模块 10，配置为对于 3G 制式，在对所述译码的输入数据进行交织处理阶段的第一个窗，先读取两组译码的输入数据，在前半窗阶段，再读取两组译码的输入数据，获取四组译码的输入数据；或，

对于 3G 制式，在对所述译码的输入数据进行非交织处理阶段直接读取四组译码的输入数据；或，

10 对于 4G 制式，在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段，均直接读取四组译码的输入数据。

本发明实施例中，所述第一处理模块 10，配置为对读取的输入数据进行 gamma 计算，得到 gamma 值。

15 本发明实施例中，所述译码模块 30，配置为对所述 gamma 值进行前后向碰撞计算，得到硬比特信息、LE、及软符号信息。

本发明实施例中，若不是 3G 制式下的 MAP1 阶段的第一个窗，在执行本步骤之前，则需初始化 alpha 或 beta；若是 3G 制式下的 MAP1 阶段的第一个窗，则在缓存中读取两组译码的输入数据后，再初始化 alpha 或 beta；

20 这里，如果为首次对输入的数据进行译码，即首次迭代，则采用固定的默认值初始化 alpha 或 beta；否则，采用缓存的历史值初始化 alpha 或 beta；其中，缓存的历史值为上一次译码产生并缓存的值。

25 本发明实施例中，所述第二处理模块 40 配置为接收外部的译码输入数据，解析所述输入数据中的 p0、p1 和 S，根据所述 PadNum 的大小在所接收的数据尾部补零对齐后存储至缓存；同时，所述第二处理模块根据 k 产生交织地址，并将产生的交织地址缓存至 addr_ram，所述交织地址用于

MAP1 阶段读写数据使用。

本发明实施例中，所述译码模块 30，配置为对 gamma 值基于基 4 碰撞 MAP 算法进行前后向碰撞计算，得到译码结果，并将所述译码结果进行缓存；

5 这里，对于非冲突通道，则将四组译码结果并行写入 le_ram，如果是冲突通道，在写入译码结果的过程中若遇到地址冲突，则将有冲突的地址和数据先缓存起至 delay_ram，在没有地址冲突的时候，将已经缓存的有冲突的地址和数据同其他译码结果一同写入 le_ram；

其中，所述译码结果包括：硬比特信息、LE、及软符号信息；

10 相应的，所述硬比特信息存储至 hd_ram，所述 4G 校验比特 p1 软符号存储至 p1_le_ram，4G 校验比特 p0 软符号存储至 p0_le_ram，4G 系统比特软符号存储至 llrs_scpy_ram，LE 存储至 le_ram；本发明实施例中译码装置的实现示意图，如图 12 所示。

本发明实施例中，为解决 4 比特数据的写冲突，采用延迟写法，由于
15 MAP 的译码结果数据仅发生在后半窗，通过延迟可以扩展写到前半窗，相当于每一时刻只写 2 比特数据，而在无地址冲突的时候，可以同时写入多比特数据，从而，在根本上消除写冲突的问题。

同时，在本发明实施例中，在前半窗从共享存储资源读取本窗所有需要的数据信，并对所述数据进行 gamma 计算后缓存，在后半窗仅从该缓存
20 中读取相应的 gamma 值进行译码，并将译码结果回写到共享存储资源；如此，实现了共享存储资源的读/写完全分开，解决了读写冲突；同时，由于不需要从较大的共享存储资源二次重复读取数据和进行 gamma 值的二次计算，而仅从较小的缓存中直接获取 gamma 值降低了大 RAM 的读写概率和逻辑资源的翻转率，有效地降低了动态功耗。

25 需要说明的是，在实际应用中，所述第一处理模块 10、译码模块 20、

和输出模块 30 和第二处理模块 40 执行的功能可由位于译码装置上的中央处理器（CPU）、或微处理器（MPU）、或数字信号处理器（DSP）、或可编程门阵列（FPGA）实现。

5 本发明实施例中，如果以软件功能模块的形式实现上述译码方法，并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备）执行本发明各个实施例所述方法的全部或部分。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read Only Memory, ROM）、磁碟或者光盘等各种可以存储程序代码的介质。这样，
10 本发明实施例不限制于任何特定的硬件和软件结合。

相应地，本发明实施例还提供一种计算机存储介质，该计算机存储介质中存储有计算机程序，该计算机程序用于执行本发明实施例的上述译码
15 方法。

以上所述仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

工业实用性

本发明实施例中在译码的前半窗阶段，读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；在译码的后半窗阶段，将所述处理结果进行译码，得到译码结果；根据所述译码结果确认译码结束时，封装并输出译码结果；如此，可通过前半窗阶段的读数据与后半窗阶段的写数据分离，解决了读写冲突的问题，降低了资源的功耗；同时通过对译码的输入数据进行数据对齐，将 3G MAP0、4G MAP0 和 4G MAP1 合并为无
20 冲突通道，统一并行处理，3G MAP1 为冲突通道，单独进行串行处理，提
25

高了吞吐率。

权利要求书

1、一种译码方法，所述方法包括：

在译码的前半窗阶段读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；

5 在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；
根据所述译码结果确认译码结束时，封装并输出译码结果。

2、根据权利要求1所述的方法，其中，所述确认接收的外部数据为前半窗数据之前，所述方法还包括：

接收译码参数包，根据所述译码参数包获取译码参数；

10 接收译码的输入数据，根据由所述译码参数计算得到的补零个数 PadNum 对所述输入数据进行处理，并存储处理后的数据。

3、根据权利要求1或2所述的方法，其中，所述读取译码的输入数据，包括：

15 对于 3G 制式，在对所述译码的输入数据进行交织处理阶段的第一个窗，先读取两组译码的输入数据，在前半窗阶段，再读取两组译码的输入数据，获取四组译码的输入数据；或，

对于 3G 制式，在对所述译码的输入数据进行非交织处理阶段直接读取四组译码的输入数据；或，

20 对于 4G 制式，在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段，均直接读取四组译码的输入数据。

4、根据权利要求1或2所述的方法，其中，所述对读取的输入数据进行处理，得到译码结果，包括：

对读取的输入数据进行 gamma 计算，得到 gamma 值。

25 5、根据权利要求4所述的方法，其中，所述将所述处理结果进行译码，包括：

对所述 gamma 值进行前后向碰撞计算，得到硬比特信息、先验信息、及软符号信息。

6、一种译码装置，所述装置包括：第一处理模块、译码模块、和输出模块；其中，

5 所述第一处理模块，配置为在译码的前半窗阶段读取译码的输入数据，并对读取的输入数据进行处理，得到处理结果；

所述译码模块，配置为在译码的后半窗阶段将所述处理结果进行译码，得到译码结果；

10 所述输出模块，配置为根据所述译码结果确认译码结束时，封装并输出译码结果。

7、根据权利要求 6 所述的装置，其中，所述装置还包括：第二处理模块，配置为接收译码参数包，根据所述译码参数包获取译码参数；

接收译码的输入数据，根据由所述译码参数计算得到的补零个数 PadNum 对所述输入数据进行处理，并存储处理后的数据。

15 8、根据权利要求 6 或 7 所述的装置，其中，所述第一处理模块，配置为对于 3G 制式，在对所述译码的输入数据进行交织处理阶段的第一个窗，先读取两组译码的输入数据，在前半窗阶段，再读取两组译码的输入数据，获取四组译码的输入数据；或，对于 3G 制式，在对所述译码的输入数据进行非交织处理阶段直接读取四组译码的输入数据；或，

20 对于 4G 制式，在对所述译码的输入数据进行非交织处理阶段及在对所述译码的输入数据进行交织处理阶段，均直接读取四组译码的输入数据。

9、根据权利要求 6 或 7 所述的装置，其中，所述第一处理模块，配置为对读取的输入数据进行 gamma 计算，得到 gamma 值。

25 10、根据权利要求 9 所述的装置，其中，所述译码模块，配置为对所述 gamma 值进行前后向碰撞计算，得到硬比特信息、先验信息、及软符号

信息。

11、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，该计算机可执行指令用于执行权利要求 1 至 5 任一项所述的译码方法。

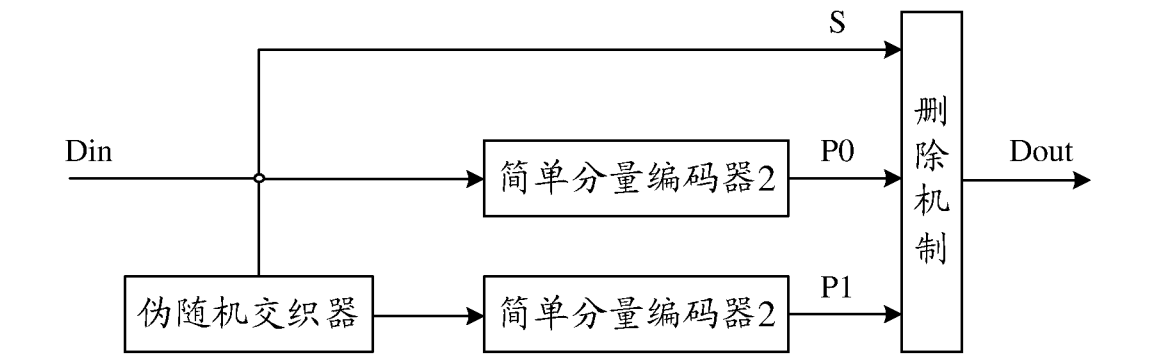


图 1

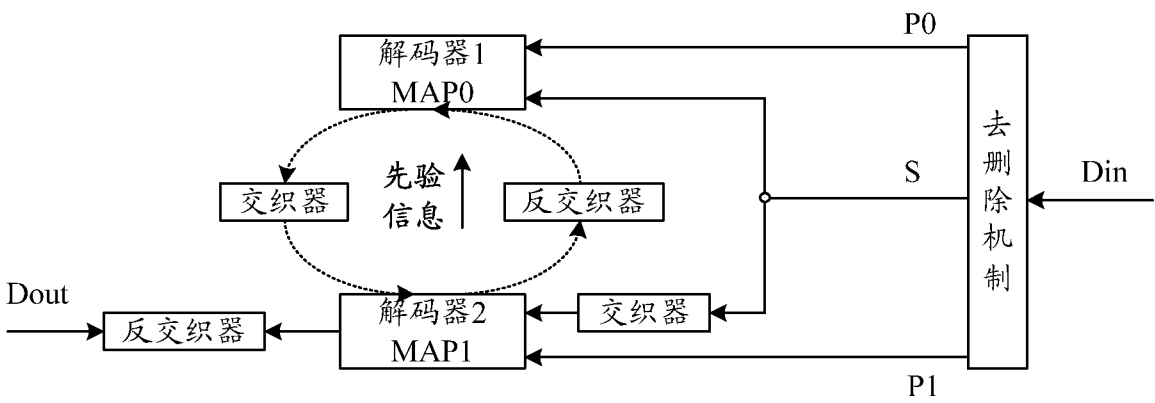


图 2

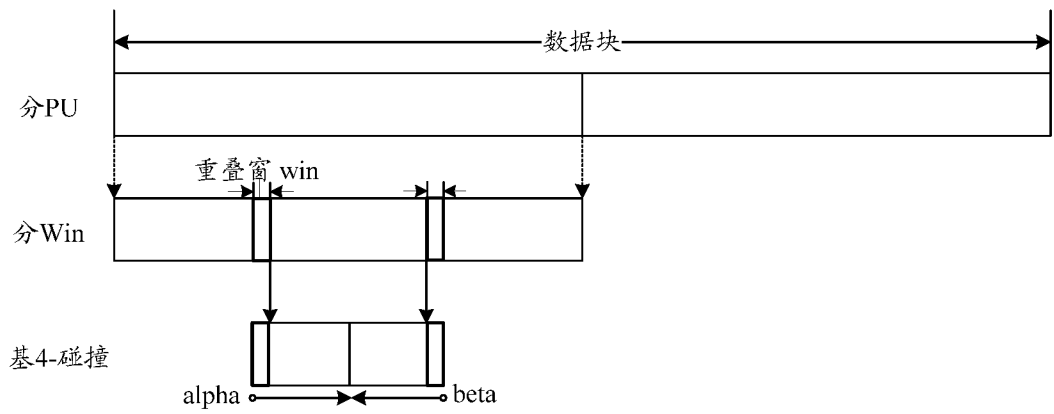


图 3

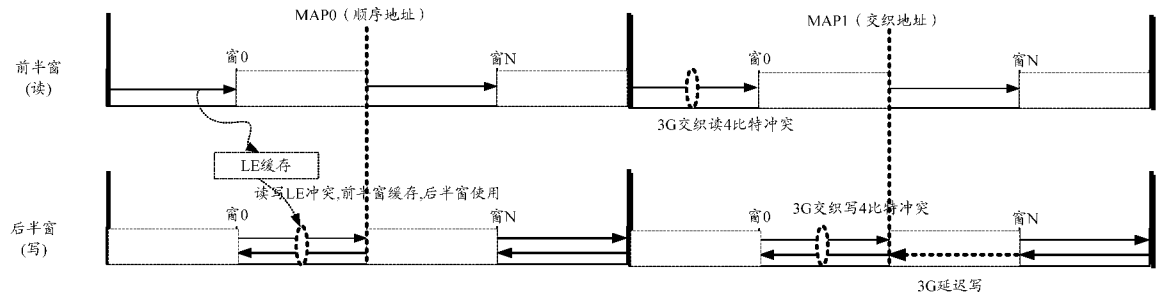


图 4

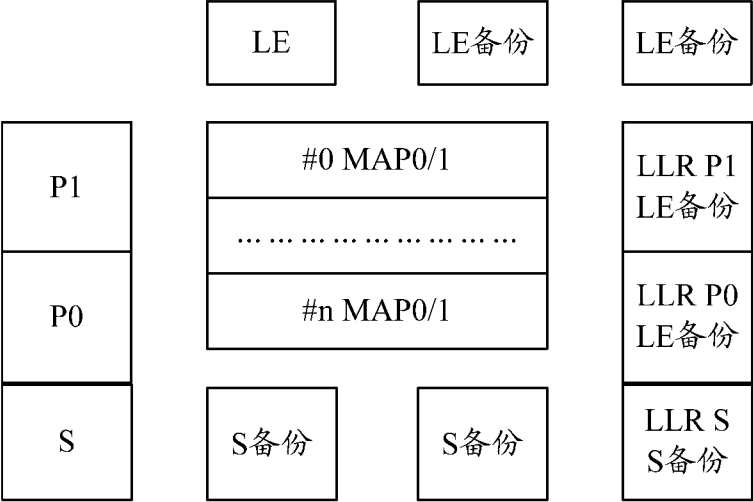


图 5

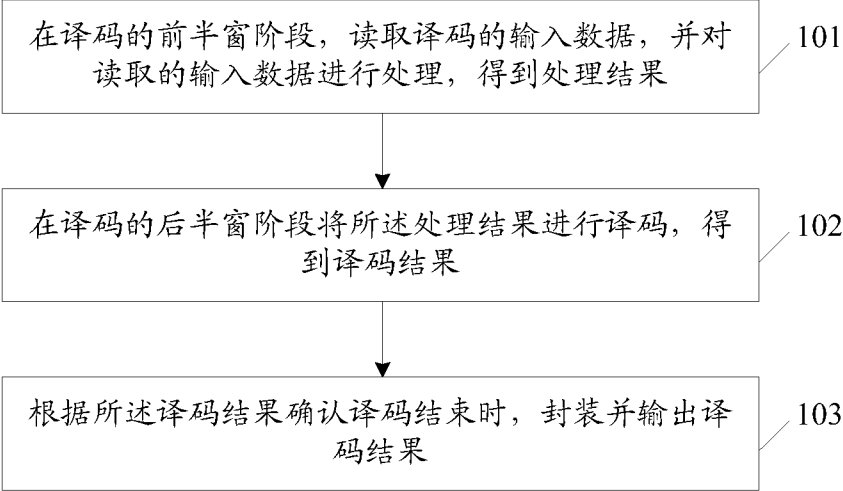


图 6

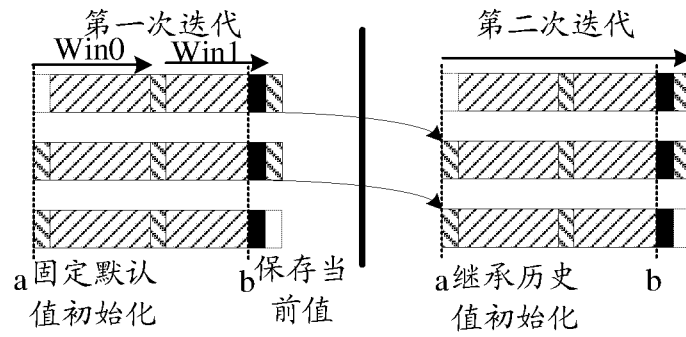


图 7

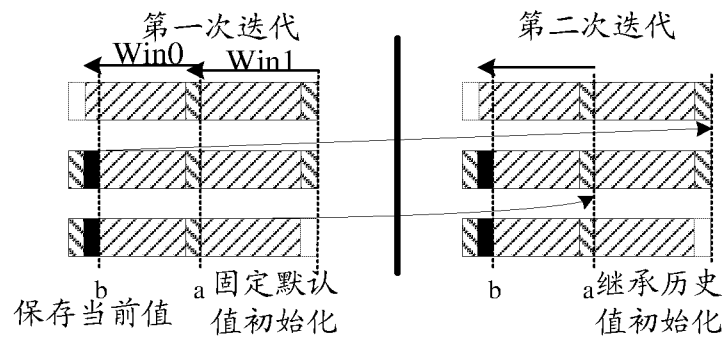


图 8

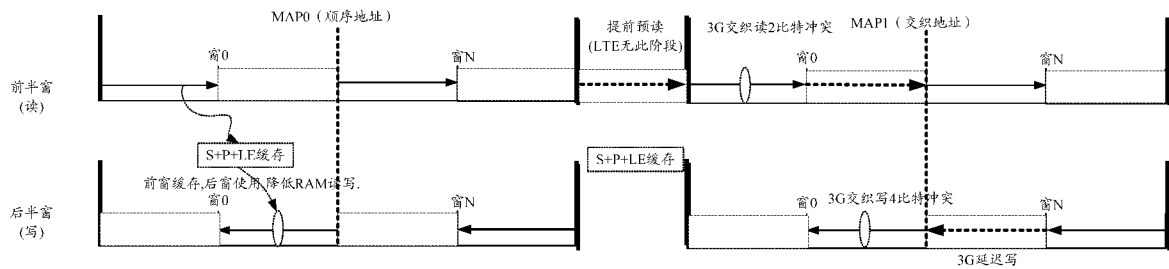


图 9

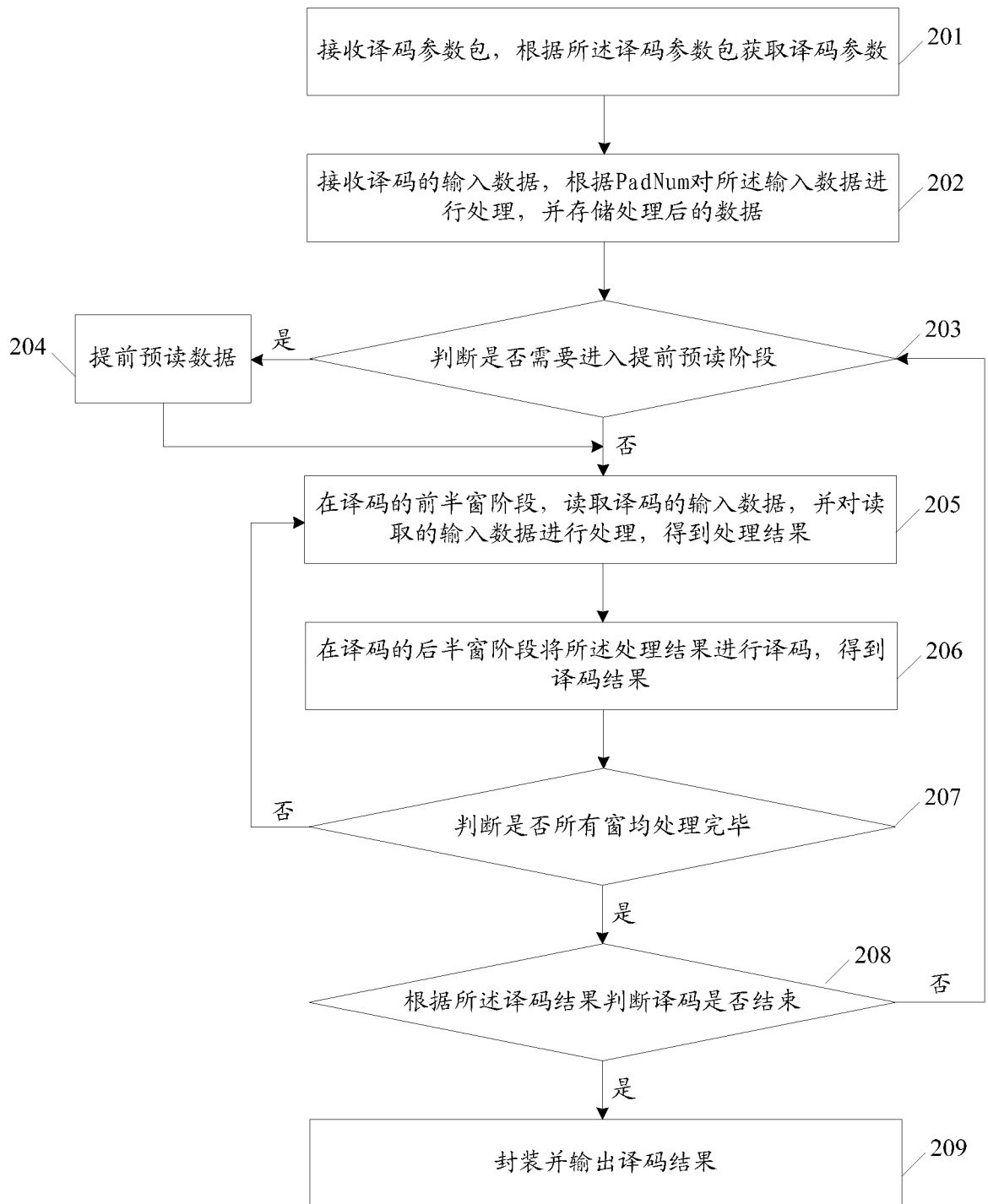


图 10

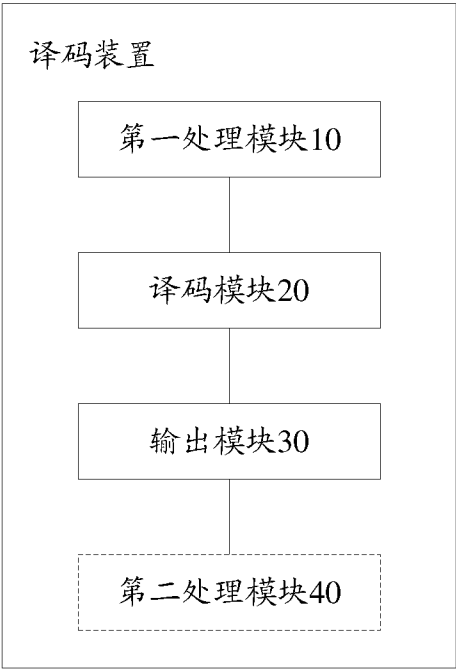


图 11

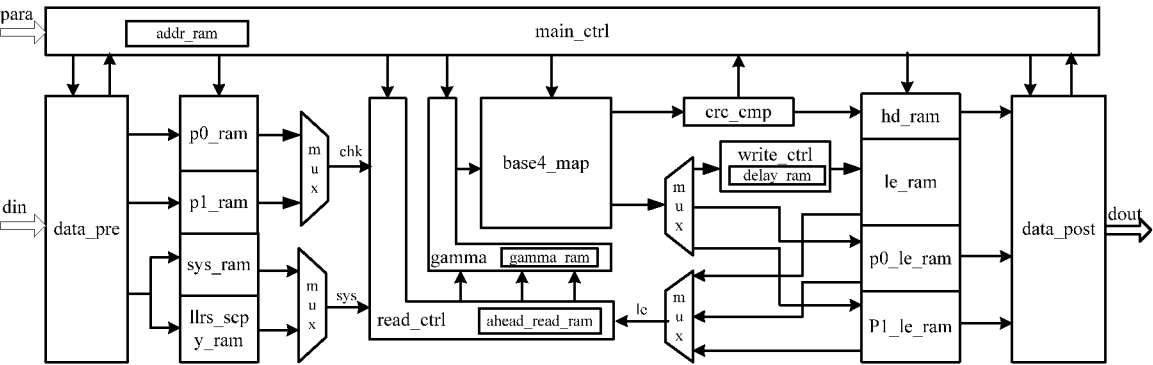


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/081993

A. CLASSIFICATION OF SUBJECT MATTER

H03M 13/29 (2006. 01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; WPI; EPODOC; CNKI: turbo, encode, decode, window, read, write, capsu+, collision, ZTE, HUAWEI, packaging, coding, conflict, align

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101515805 A (HUAWEI TECHNOLOGIES CO., LTD.) 26 July 2009 (26.07.2009) description, page 2, the fourth paragraph to the sixth paragraph, page 4, the second paragraph to page 5, the fourth paragraph, and figures 4 and 5	1, 4-6, 9-11
A	CN 101882933 A (BEIJING INNOFIDEI TECHNOLOGY CO., LTD.) 10 November 2010 (10.11.2010) the whole document	1-11
A	CN 103905067 A (ZTE CORP.) 02 July 2014 (02.07.2014) the whole document	1-11
A	CN 101969310 A (SHANGHAI JIAO TONG UNIVERSITY) 09 February 2011 (09.02.2011) the whole document	1-11
A	US 2008172591 A1 (BROADCOM CORP.) 17 July 2008 (17.07.2008) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 July 2016	Date of mailing of the international search report 19 August 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YU, Bai Telephone No. (86-10) 62413631

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/081993

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101515805 A	26 August 2009	None	
CN 101882933 A	10 November 2010	None	
CN 103905067 A	02 July 2014	JP 2016502369 A	21 January 2016
		US 2015381211 A1	31 December 2015
		WO 2014101562 A1	03 July 2014
		EP 2940876 A1	04 November 2015
CN 101969310 A	09 February 2011	None	
US 2008172591 A1	17 July 2008	HK 1122914 A1	21 April 2011
		EP 1947773 A1	23 July 2008
		KR 20080067987 A	22 July 2008
		TW 200845594 A	16 November 2008
		CN 101232289 A	30 July 2008
		US 2012054578 A1	01 March 2012
		US 20008172590 A1	17 July 2008

国际检索报告

国际申请号

PCT/CN2016/081993

A. 主题的分类

H03M 13/29(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;WPI;EPDOC;CNKI: 译码, 封装, 窗, 编码, 读, 写, 冲突, 对齐, 封装, 华为, 中兴, turbo, encode, decode, window, read, write, capsu+, collision, ZTE, HUAWEI

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101515805 A (华为技术有限公司) 2009年 8月 26日 (2009 - 08 - 26) 说明书第2页第4-6段, 第4页第2段到第5页第4段、图4, 5	1, 4-6, 9-11
A	CN 101882933 A (北京创毅视通科技有限公司) 2010年 11月 10日 (2010 - 11 - 10) 全文	1-11
A	CN 103905067 A (中兴通讯股份有限公司) 2014年 7月 2日 (2014 - 07 - 02) 全文	1-11
A	CN 101969310 A (上海交通大学) 2011年 2月 9日 (2011 - 02 - 09) 全文	1-11
A	US 2008172591 A1 (BROADCOM CORP.) 2008年 7月 17日 (2008 - 07 - 17) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 7月 30日

国际检索报告邮寄日期

2016年 8月 19日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

于白

传真号 (86-10)62019451

电话号码 (86-10)62413631

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/081993

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101515805	A	2009年 8月 26日	无			
CN	101882933	A	2010年 11月 10日	无			
CN	103905067	A	2014年 7月 2日	JP	2016502369	A	2016年 1月 21日
				US	2015381211	A1	2015年 12月 31日
				WO	2014101562	A1	2014年 7月 3日
				EP	2940876	A1	2015年 11月 4日
CN	101969310	A	2011年 2月 9日	无			
US	2008172591	A1	2008年 7月 17日	HK	1122914	A1	2011年 4月 21日
				EP	1947773	A1	2008年 7月 23日
				KR	20080067987	A	2008年 7月 22日
				TW	200845594	A	2008年 11月 16日
				CN	101232289	A	2008年 7月 30日
				US	2012054578	A1	2012年 3月 1日
				US	20008172590	A1	2008年 7月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)