

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年2月9日(09.02.2023)



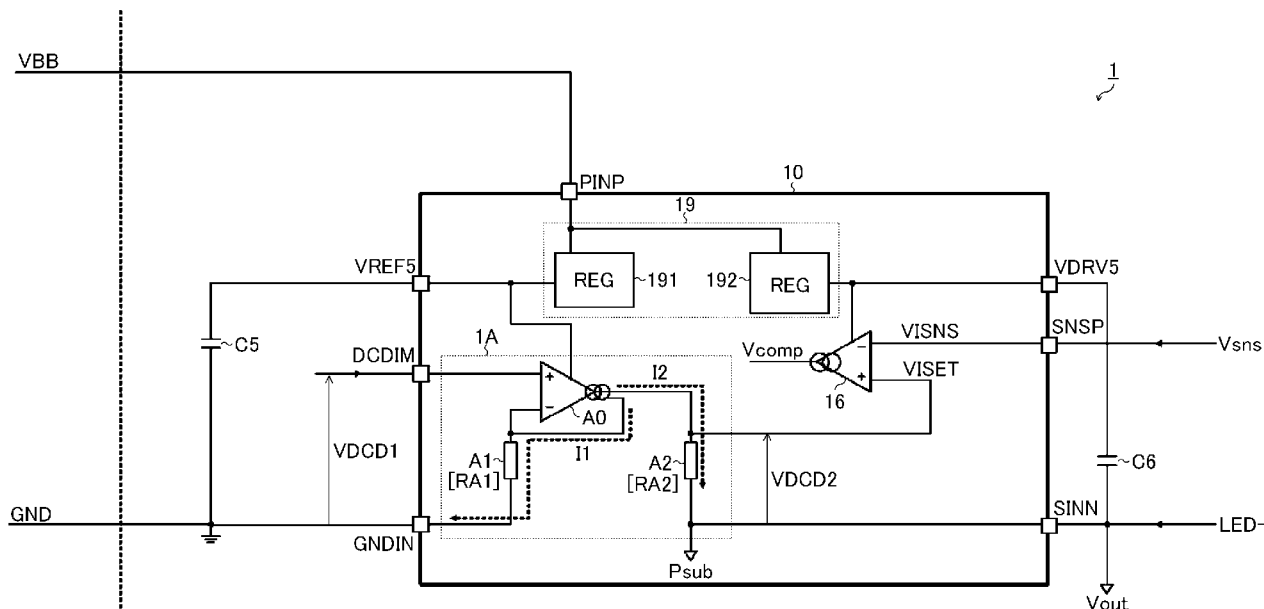
(10) 国際公開番号

WO 2023/013427 A1

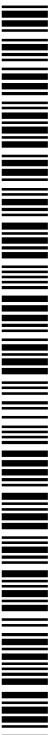
- (51) 国際特許分類:  
H03K 19/0175 (2006.01) H02M 3/155 (2006.01)  
H03K 19/08 (2006.01)
- (21) 国際出願番号: PCT/JP2022/028308
- (22) 国際出願日: 2022年7月21日(21.07.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-129528 2021年8月6日(06.08.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 青木 啓(AOKI Akira); 〒6158585 京都  
府京都市右京区西院溝崎町2-1番地 ローム  
株式会社内 Kyoto (JP). ▲高▼木 涼(TAKAGI  
Ryo); 〒6158585 京都府京都市右京区西院溝崎  
町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所  
(SANO PATENT OFFICE); 〒5400032 大阪府  
大阪市中央区天満橋京町2-6 天満橋八  
千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,

(54) Title: LEVEL SHIFTER, SEMICONDUCTOR DEVICE, SWITCHING POWER SUPPLY, AND LUMINESCENT DEVICE

(54) 発明の名称: レベルシフタ、半導体装置、スイッチング電源、発光装置



(57) Abstract: A level shifter 20 comprises: a current output amplifier A0 configured to output a first output current I1 and a second output current I2 from a first output end and a second output end, respectively; a first resistor A1 configured to be connected between the inverting input end (-) and the first output end of the current output amplifier A0 and the application end (GNDIN) of a grounding potential; and a second resistor A2 configured to be connected between the second output end of the current output amplifier A0 and an application end (SINN) having a negative potential lower than the grounding potential. A first analog signal VDCD1 with respect to the grounding potential is received at the non-inverting input end (+) of the current output amplifier A0, and a second analog signal VDCD2 with respect to the negative potential is outputted from one end of the second resistor A2.



WO 2023/013427 A1

KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))
- 

(57) 要約：レベルシフタ20は、第1出力端及び第2出力端からそれぞれ第1出力電流I1及び第2出力電流I2を出力するように構成された電流出力アンプA0と、電流出力アンプA0の反転入力端(-)及び第1出力端と接地電位の印加端(GNDIN)との間に接続されるように構成された第1抵抗A1と、電流出力アンプA0の第2出力端と接地電位よりも低い負電位の印加端(SINN)との間に接続されるように構成された第2抵抗A2を有し、接地電位を基準とした第1アナログ信号VDCD1を電流出力アンプA0の非反転入力端(+)で受け付け、負電位を基準とした第2アナログ信号VDCD2を第2抵抗A2の一端から出力する。

## 明 細 書

発明の名称：

レベルシフト、半導体装置、スイッチング電源、発光装置

### 技術分野

[0001] 本明細書中に開示されている発明は、レベルシフト、及び、これを用いた半導体装置、スイッチング電源並びに発光装置に関する。

### 背景技術

[0002] 従来、負電位を基準として動作する半導体装置（LED [light emitting diode] ドライバIC及びスイッチング電源ICなど）が広く一般に利用されている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げる事ができる。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2013-162311号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、負電位を基準として動作する半導体装置において、接地電位を基準とした信号を取り扱うためにはレベルシフトが必要となる。

[0006] 本明細書中に開示されている発明は、本願発明者らにより見出された上記課題に鑑み、接地電位を基準とした信号を負電位を基準とした信号に変換することができるレベルシフト、及び、これを用いた半導体装置、スイッチング電源並びに発光装置を提供することを目的とする。

#### 課題を解決するための手段

[0007] 例えば、本明細書中に開示されているレベルシフトは、第1出力端及び第2出力端からそれぞれ第1出力電流及び第2出力電流を出力するように構成

された電流出力アンプと、前記電流出力アンプの反転入力端及び前記第1出力端と接地電位の印加端との間に接続されるように構成された第1抵抗と、前記電流出力アンプの前記第2出力端と前記接地電位よりも低い負電位の印加端との間に接続されるように構成された第2抵抗を有し、前記接地電位を基準とした第1アナログ信号を前記電流出力アンプの非反転入力端で受け付け、前記負電位を基準とした第2アナログ信号を前記第2抵抗の一端から出力する。

[0008] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

### 発明の効果

[0009] 本明細書中に開示されている発明によれば、接地電位を基準とした信号を負電位を基準とした信号に変換することのできるレベルシフタ、及び、これを用いた半導体装置、スイッチング電源並びに発光装置ことが可能となる。

### 図面の簡単な説明

[0010] [図1]図1は、LED発光装置の全体構成を示す図である。

[図2]図2は、LEDドライバICの内部構成を示す図である。

[図3]図3は、インダクタ平均電流制御を示す図である。

[図4]図4は、LEDドライバICの要部（アナログ調光機能）を示す図である。

[図5]図5は、アナログ調光制御を示す図である。

[図6]図6は、レベルシフタの一構成例を示す図である。

### 発明を実施するための形態

[0011] <LED発光装置>

図1は、LED発光装置の全体構成を示す図である。本構成例のLED発光装置1は、スイッチング電源Xと、LED負荷Z（=スイッチング電源Xから出力電流I<sub>o</sub>の供給を受けて発光する発光素子の一例であり、本図では、直列に接続された複数のLED素子）と、を有する。

- [0012] スイッチング電源Xは、負極性の昇降圧DC/DCコンバータであり、LEDドライバIC10と、これに外付けされる種々のディスクリート部品（キャパシタC1~C7、インダクタL1、抵抗R1、センス抵抗Rs、及び、サーミスタTHM）を用いて構成されている。
- [0013] LEDドライバIC10は、LED負荷Zに出力電流Ioを供給するスイッチング電源Xの一部品として機能する半導体装置である。LEDドライバIC10は、IC外部との電氣的な接続を確立するための手段として、複数の外部端子（PINPピン、DSETピン、PBUSピン、DCDIMピン、VREF5ピン、GNDINピン、PINNピン、SWピン、BOOTピン、SNSPピン、SINNピン、VDRV5ピン、COMPピン、及び、裏面パッドEXP\_PADなど）を有している。
- [0014] PINPピンは、DC/DCの電源/小信号電源入力端子である。DSETピンは、PWM調光デューティ設定入力端子（GNDIN基準）である。PBUSピンは、異常検知入出力端子（GNDIN基準）である。DCDIMピンは、DC調光入力端子（GNDIN基準）である。VREF5ピンは、外部5V基準電圧端子（GNDIN基準）である。GNDINピンは、入力GND接続端子である。
- [0015] PINNピンは、DC/DCの負極性基準入力端子である。SWピンは、DC/DCのスイッチング出力端子である。BOOTピンは、DC/DCのブートストラップ容量接続端子である。SNSPピンは、LED電流検出端子（+）である。SINNピンは、小信号負極性基準入力端子/LED電流検出端子（-）である。VDRV5ピンは、内部5V基準電圧端子（SINN基準）である。COMPピンは、位相補償容量接続端子（SINN基準）である。
- [0016] PINPピンとキャパシタC1及びC2それぞれの第1端は、いずれも電源電圧VBBの印加端に接続されている。キャパシタC2の第2端、キャパシタC3の第1端、及び、裏面パッドEXP\_PADは、いずれもPINNピンに接続されている。SWピンは、インダクタL1及びキャパシタC4そ

れぞれの第1端に接続されている。キャパシタC4の第2端は、BOOTピンに接続されている。キャパシタC1の第2端、キャパシタC3の第2端、インダクタL1の第2端、及び、LED負荷ZのアノードLED+は、いずれも接地端（＝接地電位GNDの印加端）に接続されている。

[0017] 抵抗R1及びサーミスタTHMそれぞれの第1端は、いずれもDCDIMピンに接続されている。抵抗R1の第2端とキャパシタC5の第1端は、いずれもVREF5ピンに接続されている。サーミスタTHMの第2端、キャパシタC5の第2端、及び、GNDINピンは、いずれも接地端に接続されている。

[0018] SNSPピンとセンス抵抗Rsの第1端は、いずれもLED負荷ZのカソードLED-に接続されている。センス抵抗Rsの第2端、キャパシタC6並びにC7それぞれの第1端、及び、裏面パッドEXP\_PADは、いずれもSINNピン（＝出力電圧Voutの印加端）に接続されている。キャパシタC6の第2端は、VDRV5ピンに接続されている。キャパシタC7の第2端は、COMPピンに接続されている。

[0019] 上記構成要素のうち、インダクタL1及びキャパシタC3は、LEDドライバIC10に内蔵された上側スイッチ11H及び下側スイッチ11L（詳細は後述）とともに、スイッチング電源Xの出力段を形成している。この出力段は、LEDドライバIC10により駆動制御され、キャパシタC1の両端間に現れる正極性の入力電圧Vin (>GND) からキャパシタC3の両端間に現れる負極性の出力電圧Vout (<GND) を生成する。

[0020] LED負荷Zのアノード(LED+)は、接地電位GNDの印加端に接続されている。一方、LED負荷Zのカソード(LED-)は、センス抵抗Rsを介して出力電圧Voutの印加端に接続されている。このように接続されたLED負荷Zは、スイッチング電源Xから出力電流Ioの供給を受けて発光する。なお、センス抵抗Rsは、出力電流Ioをセンス電圧Vsnsに変換する電流／電圧変換素子として機能する。

[0021] <LEDドライバIC>

図2は、LEDドライバIC10の内部構成を示す図である。本構成例のLEDドライバIC10は、LED負荷Zの駆動手段として、上側スイッチ11Hと、下側スイッチ11Lと、上側ドライバ12Hと、下側ドライバ12Lと、コントローラ13と、オシレータ14と、電流センスアンプ15と、エラーアンプ16と、スロープ信号生成部17と、コンパレータ18と、ブートストラップ用のダイオードD1を内蔵する。もちろん、LEDドライバIC10には、上記以外の構成要素（各種保護回路等）を集積化してもよい。

[0022] 上側スイッチ11Hは、PINPピンとSWピンとの間に接続されており、上側ゲート信号GHに応じてオン／オフされる。なお、上側スイッチ11Hとしては、NMOSFET [N-channel type metal oxide semiconductor field effect transistor]などを好適に用いることができる。その場合、上側スイッチ11Hは、GH=H (=BOOT)であるときにオンして、GH=L (=SW)であるときにオフする。なお、上側スイッチ11Hとして、NMOSFETではなくPMOSFET [P-channel type MOSFET]を用いることも可能である。その場合には、ブートストラップ用のダイオードD1、キャパシタC4、及び、BOOTピンが不要となる。

[0023] 下側スイッチ11Lは、SWピンとPINNピンとの間に接続されており、下側ゲート信号GLに応じてオン／オフされる。なお、下側スイッチ11Lとしては、NMOSFETなどを好適に用いることができる。その場合、下側スイッチ11Lは、GL=H (=VDRV5)であるときにオンして、GL=L (=PINN)であるときにオフする。

[0024] このように接続された上側スイッチ11Hと下側スイッチ11Lは、SWピンから矩形波状のスイッチ電圧V<sub>sw</sub>を出力するハーフブリッジ出力段 (=スイッチング電源Xの出力段の一部)を形成している。つまり、上側スイッチ11Hが出力素子に相当し、下側スイッチ11Lが同期整流素子に相当する。なお、先出のインダクタL1、センス抵抗R<sub>s</sub>、及び、LED負荷Zは、上側スイッチ11Hに直列接続された形となる。また、本図では、同

期整流方式のハーフブリッジ出力段を挙げたが、ダイオード整流方式を採用する場合には、下側スイッチ11Lとしてダイオードを用いればよい。また、上側スイッチ11Hと下側スイッチ11Lは、LEDドライバIC10に外付けしても構わない。

[0025] 上側ドライバ12Hは、コントローラ13から入力される上側制御信号SHに基づいて上側ゲート信号GHを生成する。なお、上側ゲート信号GHのハイレベルは、BOOTピンに現れるブースト電圧 $V_{bst}$  ( $\doteq V_{sw} + V_{DRV5}$ )となる。一方、上側ゲート信号GHのローレベルは、SWピンに現れるスイッチ電圧 $V_{sw}$ となる。

[0026] 下側ドライバ12Lは、コントローラ13から入力される下側制御信号SLに基づいて下側ゲート信号GLを生成する。なお、下側ゲート信号GLのハイレベルは、基準電圧 $V_{DRV5}$ （内部電源電圧または別途の外部入力電圧）となる。一方、下側ゲート信号GLのローレベルは、PINNピンの端子電圧（負極性の出力電圧 $V_{out}$ ）となる。

[0027] コントローラ13は、例えば、セット信号SET及びリセット信号RSTの入力を受け付けるRSフリップフロップを含み、上側スイッチ11H及び下側スイッチ11Lを相補的にオン／オフするように上側制御信号SH及び下側制御信号SLを生成する。

[0028] より具体的に述べると、コントローラ13は、セット信号SETの立上りタイミングで上側スイッチ11Hをオンして下側スイッチ11Lをオフする一方、リセット信号RSTの立上りタイミングで上側スイッチ11Hをオフして下側スイッチ11Lをオンするように、上側制御信号SH及び下側制御信号SLを生成する。

[0029] ただし、本明細書中における「相補的」という文言は、上側スイッチ11H及び下側スイッチ11Lそれぞれのオン／オフ状態が完全に逆転している場合だけでなく、貫通電流を防止するための同時オフ期間（いわゆるデッドタイム）が設けられている場合も含むものとして、広義に理解されるべきである。

- [0030] オシレータ14は、所定のスイッチング周波数 $f_{sw}$ （例えば数百kHz）でセット信号SETを生成する。
- [0031] 電流センスアンプ15は、入力信号をレールトゥレールで増幅することのできるフローティング入力段を備えた差動出力アンプである。ここでの「フローティング」とは、接地電位GNDから浮いている（電位的に切り離されている）という意味である。
- [0032] 電流センスアンプ15の非反転入力端（+）は、SNSPピンに接続されている。電流センスアンプ15の反転入力端（-）は、SINNピンに接続されている。このように接続された電流センスアンプ15は、負電位（=出力電圧 $V_{out}$ ）を基準としたセンス電圧 $V_{sns}$ （ $=I_o \times R_{sns} + V_{out}$ ）を所定の利得Aで増幅することにより電流検出信号 $V_{ISNS}$ （ $=A \times V_{sns}$ ）を生成する。従って、電流検出信号 $V_{ISNS}$ は、センス抵抗 $R_s$ に流れる出力電流 $I_o$ の平均値が大きいほど高くなり、出力電流 $I_o$ の平均値が小さいほど低くなる。なお、電流検出信号 $V_{ISNS}$ には、任意のオフセット信号 $V_{ofs}$ （例えば数百mV）を付与してもよい。
- [0033] エラーアンプ16は、電流検出信号 $V_{ISNS}$ と電流設定信号 $V_{ISET}$ との差に応じた電流出力を行い、COMPピンに外付けされた位相補償用のキャパシタC7を充放電することにより、誤差信号 $V_{comp}$ を生成する。誤差信号 $V_{comp}$ は、電流検出信号 $V_{ISNS}$ が低いほど上昇し、逆に、電流検出信号 $V_{ISNS}$ が高いほど低下する。なお、エラーアンプ16は、PWM調光オフ時に誤差信号 $V_{comp}$ の信号レベルを保持する機能も備えている。
- [0034] スロープ信号生成部17は、セット信号SETに同期して出力電流 $I_o$ の交流成分（=インダクタ電流 $I_L$ のリプル成分）を含むスロープ信号 $V_{slope}$ を生成する。
- [0035] コンパレータ18は、反転入力端（-）に入力される誤差信号 $V_{comp}$ と、非反転入力端（+）に入力されるスロープ信号 $V_{slope}$ とを比較することにより、リセット信号RSTを生成する。リセット信号RSTは、V

$v_{comp} < V_{slope}$  であるときにハイレベルとなり、 $v_{comp} > V_{slope}$  であるときにローレベルとなる。従って、誤差信号  $v_{comp}$  が低いほどリセット信号  $RST$  の立上りタイミング（延いては上側スイッチ  $11H$  のオフタイミング）が早くなり、誤差信号  $v_{comp}$  が高いほどリセット信号  $RST$  の立上りタイミングが遅くなる。

[0036] なお、上記構成要素のうち、上側ドライバ  $12H$  及び下側ドライバ  $12L$ 、コントローラ  $13$ 、オシレータ  $14$ 、電流センスアンプ  $15$ 、エラーアンプ  $16$ 、スロープ信号生成部  $17$ 、及び、コンパレータ  $18$  は、スイッチング電源  $X$  の出力電流  $I_o$  に応じたセンス電圧  $V_{sns}$  と電流設定信号  $V_{SET}$  の入力を受け付けてスイッチング電源  $X$  の駆動制御（後述のインダクタ平均電流制御）を行う出力帰還制御部として機能する。この出力帰還制御部により、 $SW$  ピンから  $LED$  負荷  $Z$  に供給される出力電流  $I_o$  が所定の目標値と一致するように上側スイッチ  $11H$  及び下側スイッチ  $11L$  が相補的に駆動される。

[0037] <インダクタ平均電流制御>

図3は、 $LED$  ドライバ  $IC10$  によるインダクタ平均電流制御（定電流制御）を示す図であり、上から順に、インダクタ電流  $I_L$  とスイッチ電圧  $V_{sw}$  が描写されている。

[0038] スwitching電源  $X$  のオン時間  $T_{on}$ （＝上側スイッチ  $11H$  がオンであり下側スイッチ  $11L$  がオフである期間）には、スイッチ電圧  $V_{sw}$  がハイレベル（＝ $PINP$  ピンの端子電圧  $V_{PINP}$  よりも上側スイッチ  $11H$  のドレイン・ソース間電圧  $V_{DSH}$  だけ低い正電位）となる。このとき、 $PINP$  ピンから上側スイッチ  $11H$  を介して  $SW$  ピンに流れるインダクタ電流  $I_L$ （＝上側スイッチ電流  $I_{swH}$ ）は、インダクタ  $L1$  にエネルギーをチャージしつつ増大していく。

[0039] そして、インダクタ電流  $I_L$  が誤差信号  $v_{comp}$  に応じたピーク値  $I_{L\_pk}$  まで増大すると、 $v_{comp} < V_{slope}$  となり、リセット信号  $RST$  がハイレベルに立ち上がる。従って、スイッチング電源  $X$  がオフ時間  $T$

o f f (=上側スイッチ11Hがオフであり下側スイッチ11Lがオンである期間)に遷移する。スイッチング電源Xのオフ時間T o f fには、スイッチ電圧V s wがローレベル(=P I N Nピンの端子電圧V P I N Nよりも下側スイッチ11Lのドレイン・ソース間電圧V D S Lだけ低い負電圧)となる。このとき、P I N Nピンから下側スイッチ11Lを介してS Wピンに流れるインダクタ電流I L (=下側スイッチ電流I s w L)は、キャパシタC 3を負極性にチャージしつつ、インダクタL 1のエネルギー放出に伴って減少していく。

[0040] その後、スイッチング周波数f s wのセット信号S E Tがハイレベルに立ち上がると、スイッチング電源Xが再びオン時間T o nに遷移するので、インダクタ電流I Lが減少から増大に転じる。その結果、インダクタ電流I Lは、ピーク値I L\_\_p kとボトム値I L\_\_v a lとの間で増大と減少を繰り返すリップル波形となる。

[0041] なお、負極性の昇降圧D C / D Cコンバータとして振る舞うスイッチング電源Xでは、降圧D C / D Cコンバータと異なり、インダクタ電流I LがL E D負荷Zに流れる出力電流I oよりも大きくなる。

[0042] ここで、スイッチング電源XのオンデューティD o nは、入力電圧V i nと出力電圧V o u tにより、次の(1)式で表される。

$$[0043] \quad D o n \doteq V o u t / (V i n + V o u t) \quad \dots \quad (1)$$

[0044] また、インダクタ電流I Lの平均値I L\_\_a v eは、出力電流I oとオンデューティD o nにより、次の(2)式で定義される。

$$[0045] \quad I L\_a v e \doteq I o / (1 - D o n) \quad \dots \quad (2)$$

[0046] 従って、上記一連の動作が繰り返されることにより、L E DドライバI C 1 0では、インダクタ電流I Lの平均値I L\_\_a v e(延いては出力電流I o)が所定の目標値と一致するように、P W M [pulse width modulation]制御方式の出力帰還制御(定電流制御)が行われる。

[0047] なお、L E DドライバI C 1 0における出力帰還制御のトポロジは、必ずしも上記に限定されるものではなく、例えば、P W M制御方式に代えて、ポ

トム検出オン時間固定方式またはピーク検出オフ時間固定方式を採用してもよい。

[0048] ところで、LEDドライバIC10では、電流設定信号V<sub>ISET</sub>に応じてインダクタ電流I<sub>L</sub>の平均値I<sub>L<sub>ave</sub></sub>（延いては出力電流I<sub>o</sub>）を可変制御することができる。そこで、以下では、LEDドライバIC10のアナログ調光機能について詳述する。

[0049] <アナログ調光機能>

図4は、LEDドライバIC10の要部（アナログ調光部）を示す図である。本構成例のLEDドライバIC10は、アナログ調光部を形成するための回路要素として、レギュレータ19と、レベルシフタ1Aと、バッファ1Bと、コンパレータ1Cと、を含む。

[0050] レギュレータ19は、PINPピンに入力される電源電圧V<sub>BB</sub>から内部回路用電源及びアナログ調光/PWM調光設定用電源として、GNDINピンに印加される接地電位GNDを基準とした基準電圧V<sub>REF5</sub>（例えば5V）を生成する。

[0051] レベルシフタ1Aは、基準電圧V<sub>REF5</sub>の供給を受けて動作し、外部アナログ調光信号V<sub>DCD1</sub>を内部アナログ調光信号V<sub>DCD2</sub>にレベルシフトして出力する。

[0052] なお、外部アナログ調光信号V<sub>DCD1</sub>は、GNDINピン（＝接地電位GNDが印加される接地電位端子）とDCDIMピンとの間に印加される電圧信号であり、接地電位GNDを基準とした第1アナログ信号に相当する。

[0053] また、内部アナログ調光信号V<sub>DCD2</sub>は、PINNピン（＝負電位である出力電圧V<sub>out</sub>が印加される負電位端子）とレベルシフタ1Aの出力端との間に印加される電圧信号であり、負電位（＝出力電圧V<sub>out</sub>）を基準とした第2アナログ信号に相当する。

[0054] バッファ1Bは、内部アナログ調光信号V<sub>DCD2</sub>及びクランプ電圧V<sub>H</sub>（例えば2.2V）のいずれか低い方を電流設定信号V<sub>ISET</sub>としてエラーアンプ16に出力する。

- [0055] コンパレータ1Cは、非反転入力端(+)に入力される内部アナログ調光信号VDCD2と反転入力端(-)に入力される閾値電圧VL(例えば0.13V/0.17Vのヒステリシスあり)とを比較することにより、内部イネーブル信号ENを生成する。内部イネーブル信号ENは、 $VDCD2 < VL$ であるときにローレベル(=強制リセット時の論理レベル)となり、 $VDCD2 > VL$ であるときにハイレベル(=強制リセット解除時の論理レベル)となる。なお、スイッチング電源Xの強制リセット時には、出力電流Ioがオフされて全状態(異常フラグ)がリセットされる。
- [0056] なお、内部アナログ調光信号VDCD2は、外部アナログ調光信号VDCD1と比例した電圧信号としてもよい。特に、外部アナログ調光信号VDCD1と内部アナログ調光信号VDCD2は、同一値であってもよい。そのため、以下では、外部アナログ調光信号VDCD1と内部アナログ調光信号VDCD2を区別せず、単にアナログ調光信号VDCDと呼ぶ場合がある。
- [0057] 図5は、LEDドライバIC10によるアナログ調光制御を示す図であり、上から順番に、インダクタ電流IL、センス電圧Vsns、及び、電流設定信号VISETが描写されている。また、本図の横軸はアナログ調光信号VDCDを示している。
- [0058] LEDドライバIC10では、アナログ調光信号VDCDに応じて電流設定信号VISET(延いてはセンス電圧Vsns)をリニアに変動させることにより、インダクタ電流ILの平均値IL\_ave(延いては出力電流Io)を調整することができる。
- [0059] 本図に即して述べると、アナログ調光信号VDCDとしてオフセット信号Vofs以上の電圧を入力することにより、センス電圧Vsnsがリニアに増加していく。なお、 $VDCD \leq Vofs$ であるときには、 $Vsns = 0V$ となるので、LED負荷Zの調光度が0%(消灯状態)となる。一方、 $VDCD \geq VH$ であるときには、 $Vsns = (VH - Vofs) / A$ となるので、LED負荷Zの調光度が100%(フル点灯状態)となる。
- [0060] アナログ減光によりセンス電圧Vsnsを下げていくと、インダクタ電流

$I_L$ の平均値 $I_{L\_ave}$ が下がるので、インダクタ電流 $I_L$ のボトム値 $I_{L\_val}$ も下がる。ここで、 $I_{L\_val} < 0$ になると、スイッチング電源Xが電流連続モードから電流不連続モードに遷移する。このような場合でも、スイッチング電源の出力段を同期整流方式で駆動すれば、先述のインダクタ平均電流制御を安定して実施することが可能である。

[0061] 上記のように、アナログ調光信号VDCDに応じてエラーアンプ16のリファレンスとなる電流設定信号V<sub>ISET</sub>をリニア制御することにより、LED負荷Zのアナログ調光を実現することができる。

[0062] ただし、SINNピンに印加される負電位(=出力電圧V<sub>out</sub>)を基準とする小信号回路系(エラーアンプ16を含む)に対して、接地電位GNDを基準とする外部アナログ調光信号VDCD1を入力するためには、先出のレベルシフタ1Aが必要となる。

[0063] <レベルシフタ>

図6はレベルシフタ1Aの一構成例を示す図である。本構成例のレベルシフタ1Aは、電流出力アンプA0と、抵抗A1及びA2(抵抗値:RA1及びRA2)を含む。また、本図では、先に説明したレギュレータ19の構成要素として第1内部電源191と第2内部電源192が示されている。

[0064] 第1内部電源191は、PINPピンに入力される電源電圧VBBから内部回路用電源及びアナログ調光/PWM調光設定用電源として、GNDINピンに印加される接地電位GNDを基準とした基準電圧VREF5(例えば5V)を生成する。なお、基準電圧VREF5は、例えば電流出力アンプA0に供給される。

[0065] 第2内部電源192は、PINPピンに入力される電源電圧VBBから内部回路用電源及び内蔵MOSFET駆動用電源として、SINNピンに印加される負電位(=出力電圧V<sub>out</sub>)を基準とした基準電圧VDRV5(例えば5V)を生成する。なお、基準電圧VDRV5は、例えばエラーアンプ16に供給される。

[0066] 電流出力アンプA0の非反転入力端(+)は、DCDIMピン(=外部ア

ナログ調光信号VDCD1の印加端)に接続されている。電流出力アンプA0の反転入力端(-)及び第1出力端は、いずれも抵抗A1の第1端に接続されている。電流出力アンプA0の第2出力端は、抵抗A2の第1端(=内部アナログ調光信号VDCD2の印加端)に接続されている。抵抗A1の第2端は、GNDINピン(=接地電位GNDの印加端)に接続されている。抵抗A2の第2端は、SINNピン(=接地電位GNDよりも低い負電位の印加端)に接続されている。SINNピンは、LEDドライバIC10を形成するp型半導体基板と電氣的に導通されている。

[0067] なお、本図では、説明の便宜上、抵抗A2の第1端がエラーアンプ16の非反転入力端(+)に直接接続されている例を挙げたが、先出の図4で示したように、バッファ1Bを介在させても構わない。

[0068] このように接続された電流出力アンプA0は、第1出力端及び第2出力端からそれぞれ第1出力電流I1及び第2出力電流I2を出力する。なお、電流出力アンプA0は、非反転入力端(+)と反転入力端(-)がイマジナリショートするように動作するので、 $I1 = VDCD1 / RA1$ が成立する。

[0069] また、電流出力アンプA0は、第1出力電流I1をカレントミラーで複製することにより、第2出力電流I2を生成する。すなわち、第2出力電流I2は、第1出力電流I1に比例する。特に、第2出力電流I2は、第1出力電流I1と同値であってもよい。

[0070] 第2出力電流I2は、抵抗A2を介してSINNピンに流し込まれる。従って、抵抗A2の第1端から引き出される内部アナログ調光信号VDCD2は、第2出力電流I2に応じた電圧信号(=I2×RA2)となる。従って、 $I1 = I2$ かつ $RA1 = RA2$ であれば、 $VDCD1 = VDCD2$ となる。

[0071] ただし、内部アナログ調光信号VDCD2は、外部アナログ調光信号VDCD1に比例していればよい。すなわち、 $I1 \neq I2$ または $RA1 \neq RA2$ であってもよい。

[0072] 上記したように、本構成例のレベルシフタ1Aは、GNDIN基準の外部

アナログ調光信号VDCD1を電流出力アンプA0の非反転入力端(+)で受け付け、抵抗A2の両端間電圧が外部アナログ調光信号VDCD1と一致するように第1出力電流I1及び第2出力電流I2をそれぞれ生成することにより、SINN基準の内部アナログ調光信号VDCD2を抵抗A2の第1端から出力する。

[0073] このような構成であれば、GNDIN基準の外部アナログ調光信号VDCD1を、SINN基準の内部アナログ調光信号VDCD2として高精度にレベルシフトすることができる。従って、外部アナログ調光信号VDCD1に応じてエラーアンプ16のリファレンスとなる電流設定信号VSETをリニア制御することにより、LED負荷Zを精度良くアナログ調光することが可能となる。

[0074] <総括>

以下では、これまでに説明してきた種々の実施形態について総括的に述べる。

[0075] 例えば、本明細書中に開示されているレベルシフタは、第1出力端及び第2出力端からそれぞれ第1出力電流及び第2出力電流を出力するように構成された電流出力アンプと、前記電流出力アンプの反転入力端及び前記第1出力端と接地電位の印加端との間に接続されるように構成された第1抵抗と、前記電流出力アンプの前記第2出力端と前記接地電位よりも低い負電位の印加端との間に接続されるように構成された第2抵抗を有し、前記接地電位を基準とした第1アナログ信号を前記電流出力アンプの非反転入力端で受け付け、前記負電位を基準とした第2アナログ信号を前記第2抵抗の一端から出力する構成(第1の構成)とされている。

[0076] なお、上記第1の構成によるレベルシフタにおいて、前記第2出力電流は、前記第1出力電流に比例する構成(第2の構成)にしてもよい。

[0077] また、上記第1または第2の構成によるレベルシフタにおいて、前記第1抵抗及び前記第2抵抗は、いずれも同一の抵抗値を持つ構成(第3の構成)にしてもよい。

- [0078] また、本明細書中に開示されている半導体装置は、前記接地電位が印加されるように構成された接地電位端子と、前記負電位が印加されるように構成された負電位端子と、上記第1～第3いずれかの構成によるレベルシフトと、を有し、スイッチング電源の一部品として機能する構成（第4の構成）とされている。
- [0079] なお、上記第4の構成による半導体装置は、前記スイッチング電源の出力電流に応じたセンス電圧と前記第2アナログ信号に応じた電流設定信号の入力を受け付けて前記スイッチング電源の駆動制御を行うように構成された出力帰還制御部をさらに有する構成（第5の構成）にしてもよい。
- [0080] また、上記第5の構成による半導体装置において、前記出力帰還制御部は、前記負電位を基準とした前記センス電圧を増幅して電流検出信号を生成するように構成された電流センスアンプと、前記電流検出信号と前記電流設定信号との差分に応じた誤差信号を生成するように構成されたエラーアンプと、所定のスイッチング周波数でセット信号を生成するように構成されたオシレータと、前記セット信号に同期して前記出力電流の交流成分を含むスロープ信号を生成するように構成されたスロープ信号生成部と、前記誤差信号と前記スロープ信号とを比較してリセット信号を生成するように構成されたコンパレータと、前記セット信号及び前記リセット信号に応じて制御信号を生成するように構成されたコントローラと、前記制御信号に応じて前記スイッチング電源の出力段を駆動するように構成されたドライバと、を含む構成（第6の構成）にしてもよい。
- [0081] また、本明細書中に開示されているスイッチング電源は、正極性の入力電圧から負極性の出力電圧を生成するように構成された出力段と、前記出力電流をセンス電圧に変換するように構成されたセンス抵抗と、上記第4～第6いずれかの構成による半導体装置と、を有する構成（第7の構成）とされている。
- [0082] なお、上記第7の構成によるスイッチング電源において、前記出力段は、前記入力電圧の印加端と前記出力電圧の印加端との間に直列接続されて矩形

波状のスイッチ電圧を生成するように構成された上側スイッチ及び下側スイッチと、前記スイッチ電圧の印加端と前記接地電位の印加端との間に接続されるように構成されたインダクタと、前記出力電圧の印加端と前記接地電位の印加端との間に接続されるように構成されたキャパシタと、を含む構成（第8の構成）にしてもよい。

[0083] また、本明細書中に開示されている発光装置は、上記第7または第8の構成によるスイッチング電源と、前記出力電流の供給を受けて発光するように構成された発光素子と、を有する構成（第9の構成）とされている。

[0084] なお、上記第9の構成による発光装置において、前記発光素子は、アノードが前記接地電位の印加端に接続されてカソードが前記出力電圧の印加端に接続されるように構成された発光ダイオードを含む構成（第10の構成）にしてもよい。

[0085] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

## 符号の説明

- [0086]
- |     |                    |
|-----|--------------------|
| 1   | LED発光装置            |
| 10  | LEDドライバIC（半導体装置）   |
| 11H | 上側スイッチ（NMOSFET）    |
| 11L | 下側スイッチ（NMOSFET）    |
| 12H | 上側ドライバ             |
| 12L | 下側ドライバ             |
| 13  | コントローラ（RSフリップフロップ） |
| 14  | オシレータ              |

- 15 電流センスアンプ
- 16 エラーアンプ
- 17 スロープ信号生成部
- 18 コンパレータ
- 19 レギュレータ
- 191 第1内部電源
- 192 第2内部電源
- 1A レベルシフタ
- 1B バッファ
- 1C コンパレータ
- A0 電流出力アンプ
- A1、A2 抵抗
- C1～C7 キャパシタ
- D1 ダイオード
- L1 インダクタ
- R1 抵抗
- R<sub>s</sub> センス抵抗
- THM サーミスタ
- X スイッチング電源
- Z LED負荷

## 請求の範囲

- [請求項1] 第1出力端及び第2出力端からそれぞれ第1出力電流及び第2出力電流を出力するように構成された電流出力アンプと、  
前記電流出力アンプの反転入力端及び前記第1出力端と接地電位の印加端との間に接続されるように構成された第1抵抗と、  
前記電流出力アンプの前記第2出力端と前記接地電位よりも低い負電位の印加端との間に接続されるように構成された第2抵抗と、  
を有し、  
前記接地電位を基準とした第1アナログ信号を前記電流出力アンプの非反転入力端で受け付け、前記負電位を基準とした第2アナログ信号を前記第2抵抗の一端から出力する、レベルシフタ。
- [請求項2] 前記第2出力電流は、前記第1出力電流に比例する、請求項1に記載のレベルシフタ。
- [請求項3] 前記第1抵抗及び前記第2抵抗は、いずれも同一の抵抗値を持つ、請求項1または2に記載のレベルシフタ。
- [請求項4] 前記接地電位が印加されるように構成された接地電位端子と、  
前記負電位が印加されるように構成された負電位端子と、  
請求項1～3のいずれか一項に記載のレベルシフタと、  
を有し、  
スイッチング電源の一部品として機能するように構成された、半導体装置。
- [請求項5] 前記スイッチング電源の出力電流に応じたセンス電圧と前記第2アナログ信号に応じた電流設定信号の入力を受け付けて前記スイッチング電源の駆動制御を行うように構成された出力帰還制御部をさらに有する、請求項4に記載の半導体装置。
- [請求項6] 前記出力帰還制御部は、  
前記負電位を基準とした前記センス電圧を増幅して電流検出信号を生成するように構成された電流センスアンプと、

前記電流検出信号と前記電流設定信号との差分に応じた誤差信号を生成するように構成されたエラーアンプと、

所定のスイッチング周波数でセット信号を生成するように構成されたオシレータと、

前記セット信号に同期して前記出力電流の交流成分を含むスロープ信号を生成するように構成されたスロープ信号生成部と、

前記誤差信号と前記スロープ信号とを比較してリセット信号を生成するように構成されたコンパレータと、

前記セット信号及び前記リセット信号に応じて制御信号を生成するように構成されたコントローラと、

前記制御信号に応じて前記スイッチング電源の出力段を駆動するように構成されたドライバと、

を含む、請求項5に記載の半導体装置。

[請求項7]

正極性の入力電圧から負極性の出力電圧を生成するように構成された出力段と、

前記出力電流をセンス電圧に変換するように構成されたセンス抵抗と、

請求項4～6のいずれか一項に記載の半導体装置と、

を有する、スイッチング電源。

[請求項8]

前記出力段は、

前記入力電圧の印加端と前記出力電圧の印加端との間に直列接続されて矩形波状のスイッチ電圧を生成するように構成された上側スイッチ及び下側スイッチと、

前記スイッチ電圧の印加端と前記接地電位の印加端との間に接続されるように構成されたインダクタと、

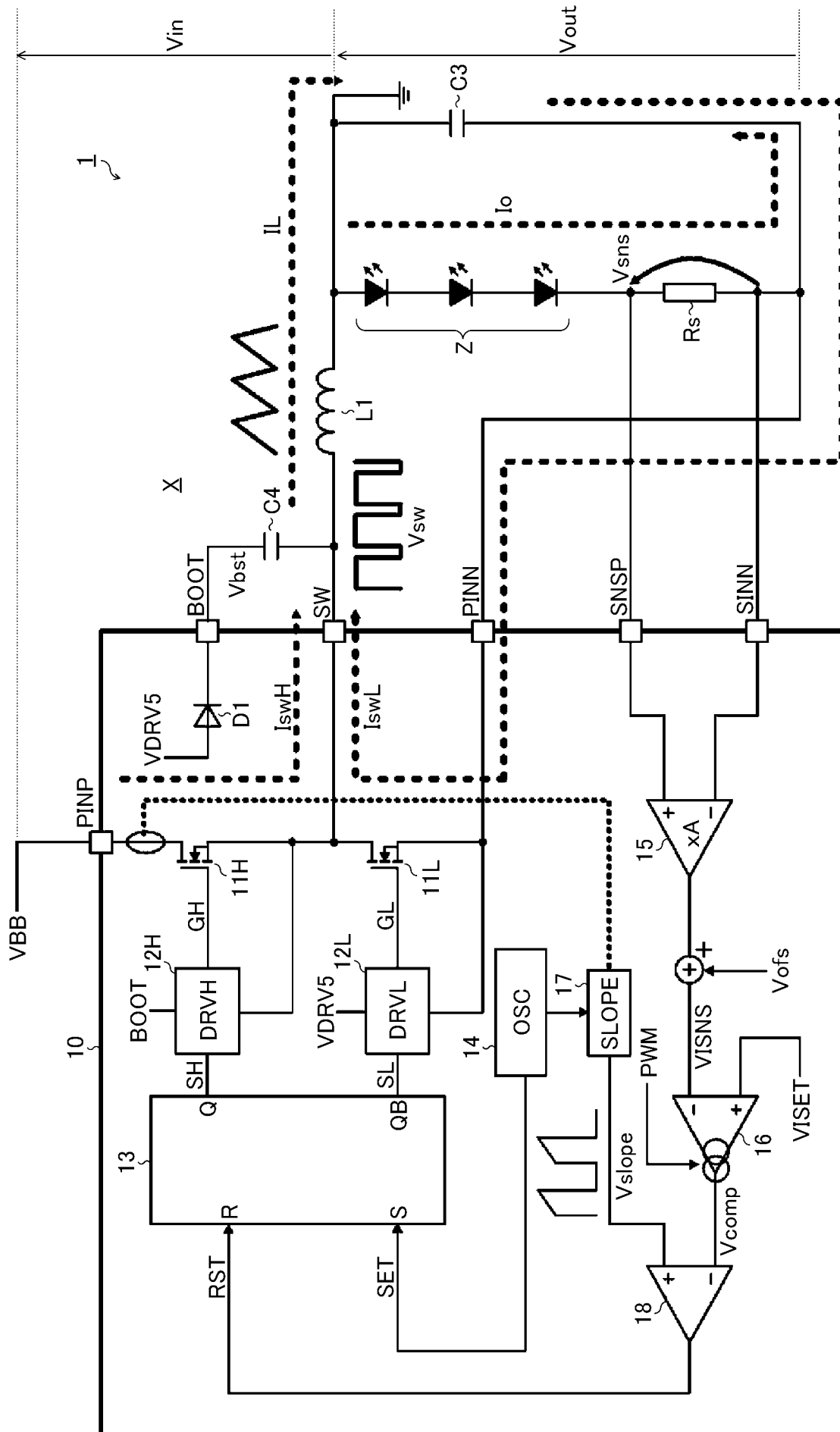
前記出力電圧の印加端と前記接地電位の印加端との間に接続されるように構成されたキャパシタと、

を含む、請求項7に記載のスイッチング電源。

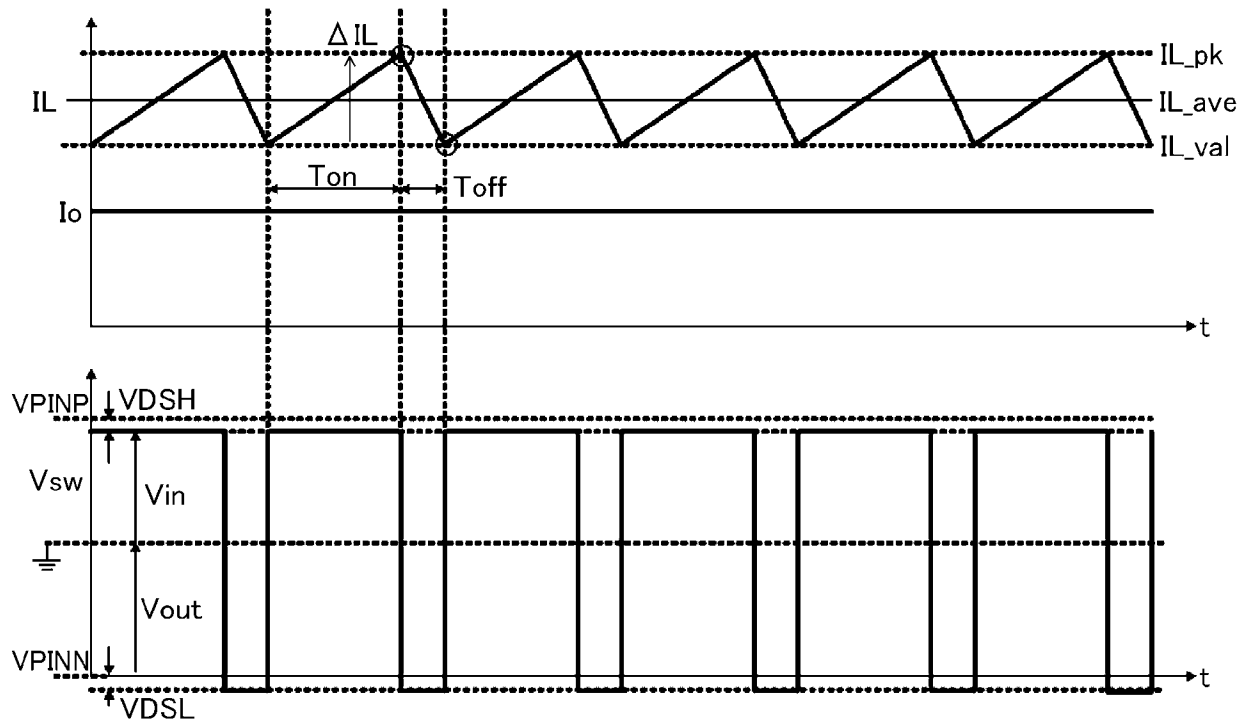
- [請求項9]           請求項7または8に記載のスイッチング電源と、  
前記出力電流の供給を受けて発光するように構成された発光素子と  
、  
を有する、発光装置。
- [請求項10]          前記発光素子は、アノードが前記接地電位の印加端に接続されてカ  
ソードが前記出力電圧の印加端に接続されるように構成された発光ダ  
イオードを含む、請求項9に記載の発光装置。



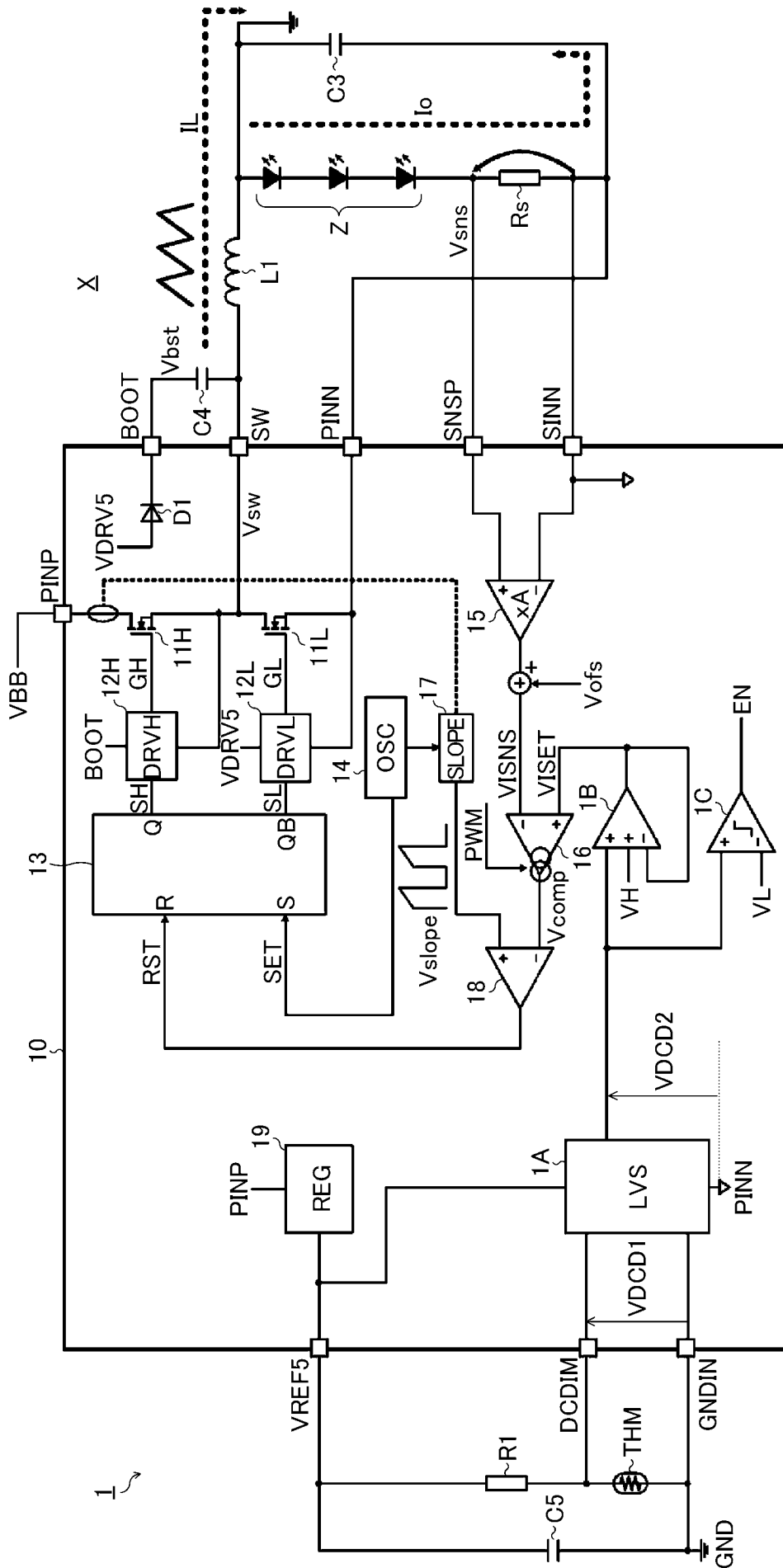
[2]



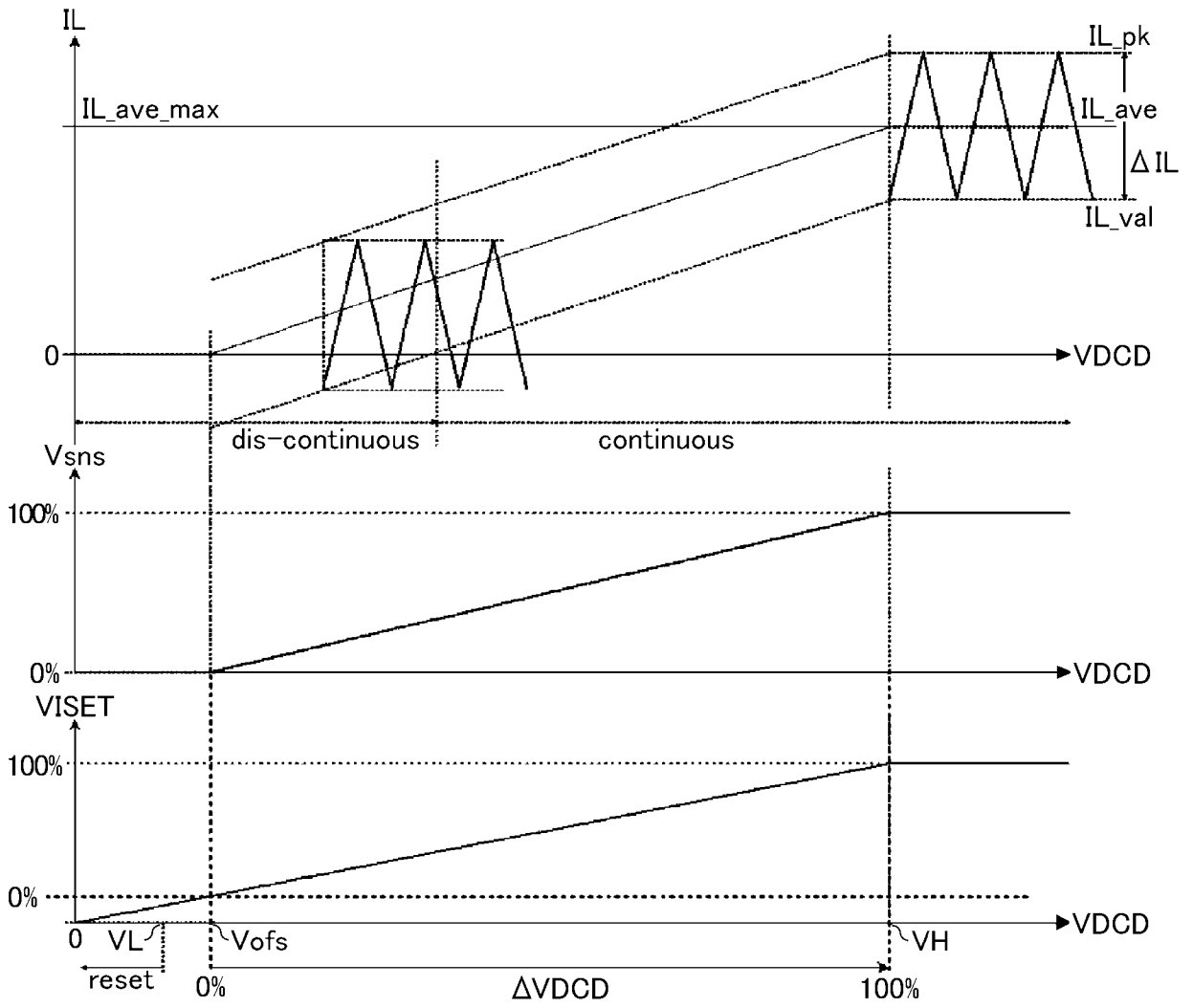
[図3]



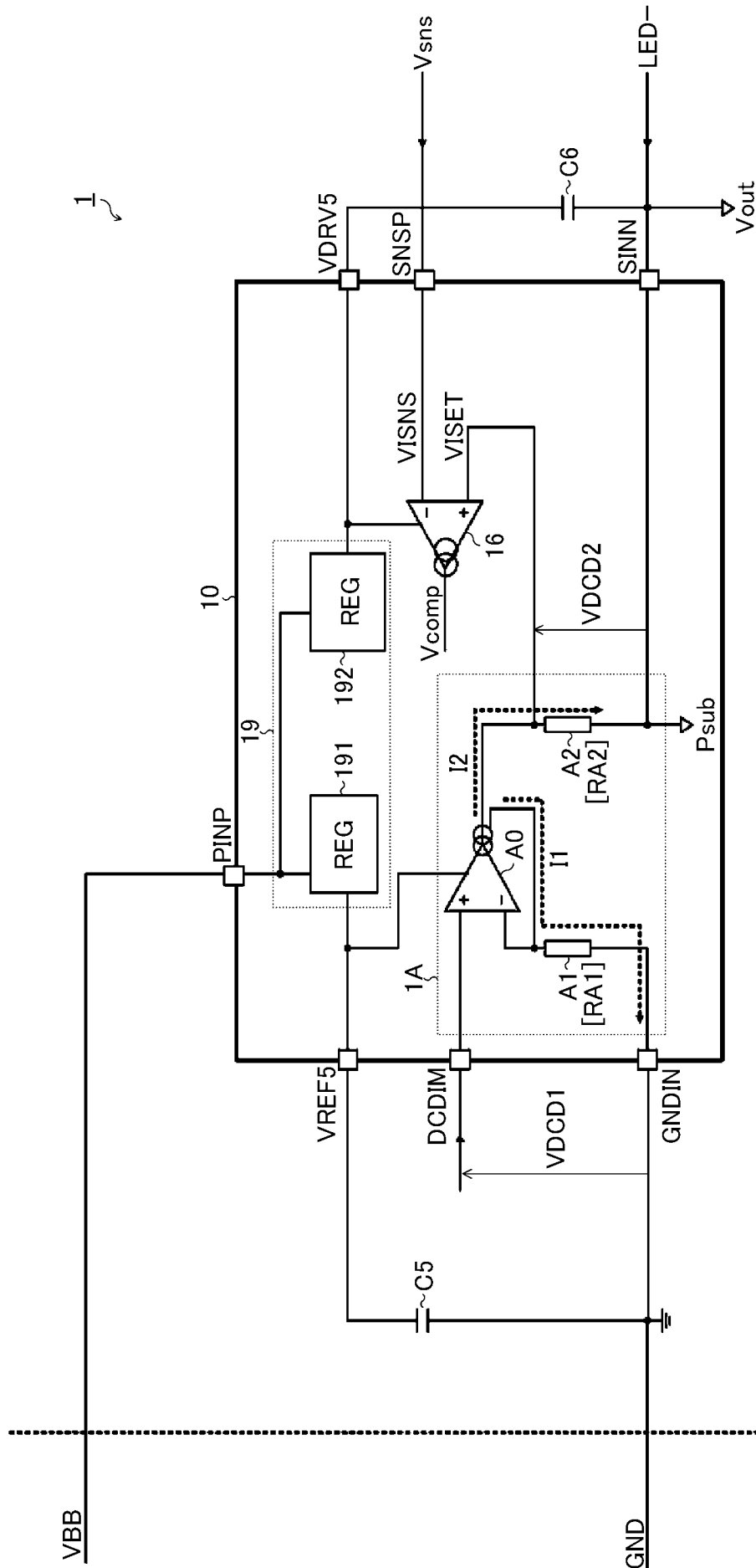
[図4]



[図5]



[図6]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/028308

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H03K 19/0175</i> (2006.01)i; <i>H03K 19/08</i> (2006.01)i; <i>H02M 3/155</i> (2006.01)i FI: H03K19/0175 210; H02M3/155 H; H03K19/08		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03K19/0175; H03K19/08; H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-146021 A (RENESAS ELECTRONICS CORP.) 29 August 2019 (2019-08-29) entire text, all drawings	1-10
A	WO 2019/146641 A1 (ROHM CO., LTD.) 01 August 2019 (2019-08-01) entire text, all drawings	1-10
A	JP 2012-34569 A (TOSHIBA LIGHTING & TECHNOLOGY CORP.) 16 February 2012 (2012-02-16) entire text, all drawings	1-10
A	US 4147940 A (WESTINGHOUSE ELECTRIC CORP.) 03 April 1979 (1979-04-03) entire text, all drawings	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>12 October 2022</b>		Date of mailing of the international search report <b>25 October 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/028308**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-146021	A	29 August 2019	US 2019/0260363 A1 entire text, all drawings	
				EP 3531424 A1	
				CN 110176925 A	
WO	2019/146641	A1	01 August 2019	US 2021/0100082 A1 entire text, all drawings	
				DE 112019000328 T5	
				CN 111670609 A	
JP	2012-34569	A	16 February 2012	US 2011/0316494 A1 entire text, all drawings	
				EP 2400641 A2	
				CN 102299621 A	
US	4147940	A	03 April 1979	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 19/0175(2006.01)i; H03K 19/08(2006.01)i; H02M 3/155(2006.01)i FI: H03K19/0175 210; H02M3/155 H; H03K19/08		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K19/0175; H03K19/08; H02M3/155 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-146021 A (ルネサスエレクトロニクス株式会社) 29.08.2019 (2019-08-29) 全文全図	1-10
A	WO 2019/146641 A1 (ローム株式会社) 01.08.2019 (2019-08-01) 全文全図	1-10
A	JP 2012-34569 A (東芝ライテック株式会社) 16.02.2012 (2012-02-16) 全文全図	1-10
A	US 4147940 A (WESTINGHOUSE ELECTRIC CORP.) 03.04.1979 (1979-04-03) 全文全図	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	12.10.2022	国際調査報告の発送日 25.10.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  工藤 一光 5W 9274  電話番号 03-3581-1101 内線 3576	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/028308

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-146021	A	29.08.2019	US	2019/0260363	A1	
				全文全図			
				EP	3531424	A1	
				CN	110176925	A	
WO	2019/146641	A1	01.08.2019	US	2021/0100082	A1	
				全文全図			
				DE	112019000328	T5	
				CN	111670609	A	
JP	2012-34569	A	16.02.2012	US	2011/0316494	A1	
				全文全図			
				EP	2400641	A2	
				CN	102299621	A	
US	4147940	A	03.04.1979	(ファミリーなし)			