[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/00
H01L 21/768

[12] 发明专利说明书

[21] ZL 专利号 98118563.0

[45] 授权公告日 2004 年 4 月 14 日

[11] 授权公告号 CN 1146017C

[22] 申请日 1998.9.3 [21] 申请号 98118563.0
[30] 优先权
[32] 1997.12.10 [33] JP [31] 339942/1997
[71] 专利权人 三菱电机株式会社
地址 日本东京都
[72] 发明人 冨田和朗
审查员 唐跃强

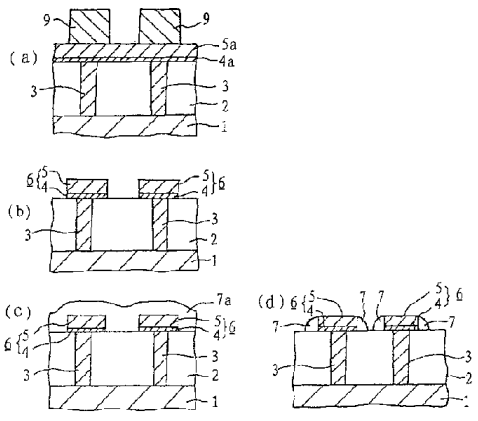
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 杨 凯 叶恺东

权利要求书 1 页 说明书 8 页 附图 3 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

在层间绝缘膜上经图形刻蚀的上层布线上进一步形成上层时可获得良好的覆盖率。通过在层间绝缘膜上经图形刻蚀的上层布线的侧面密接地形成由绝缘性物质构成的侧壁，减缓上层布线与层间绝缘膜之间的台阶差的梯度。通过使包含上层布线与侧壁表面的上层的层叠面变得平坦，进一步改善在上层上形成的更上层的层覆盖率。



ISSN1008-4274

1·一种半导体器件，其特征在于具有：

在衬底上层叠的层间绝缘膜；

在上述层间绝缘膜上经图形刻蚀的上层布线；以及

密接于上述上层布线的侧面上而形成的侧壁，上述侧壁由绝缘材料构成，上述侧壁的上端和上述上层布线的表面的高度相同；

其中上层布线为势垒金属和导电布线图形的层叠结构，上述势垒金属与贯穿层间绝缘膜的接触点相连。

2·根据权利要求1所述的半导体器件，其特征在于还包括：

单元板，它通过介电膜层叠在包含上层布线和侧壁表面的区域上；

一电容器，它由上述上层布线、上述介电膜和上述单元板构成。

3·根据权利要求1或2所述的半导体器件，其特征在于：贯穿层间绝缘膜的接触点的第一区与上层布线重叠，在低于上述第一区表面的形成位置形成一表面，在与上述上层布线不重叠的上述接触点的第二区上产生凹部，侧壁的一部分被上述凹部填埋。

4·一种半导体器件的制造方法，其特征在于包括下列工序：

在衬底上层叠层间绝缘膜的工序；

在上述层间绝缘膜的表面上对上层布线进行图形刻蚀的工序；

在包含上述上层布线表面的上述层间绝缘膜表面上层叠绝缘膜的工序；以及

对上述绝缘膜进行各向异性刻蚀而获得密接在上述上层布线侧面的侧壁的工序，上述侧壁的上端和上述上层布线的表面的高度相同；；

其中还包括在包含上层布线及侧壁的表面的区域上层叠介电膜的工序和在上述介电膜表面上形成单元板的工序，获得由上述上层布线、上述介电膜和上述单元板构成的电容器。

半导体器件及其制造方法

技术领域

本发明涉及一种能提高半导体器件的上层的层覆盖率的半导体器件及其制造方法。

背景技术

图 6 是一个半导体器件的剖面图，在特开平 8-306664 号公报中已有说明。图 6 中，上层布线 105 在接触点 103 之上，布线宽度差不多等于接触点直径，接触点 103 贯穿在半导体衬底 101 上的层间绝缘膜 102 而形成，密接层图形 104 在上层布线 105 与接触点 103 之间形成，其图形宽度大于布线宽度。

密接层图形 104 与相当于上层布线 105 和侧壁 107 底面的面积密接，侧壁 107 密接在上层布线 105 和保护图形 106 的侧面，保护图形 106 在上层布线 105 之上经图形刻蚀而形成。

这样形成的半导体器件中，使密接层图形 104 的宽度大于上层布线 105 的布线宽度。因而，即使在上层布线 105 和接触点 103 之间的重叠错位，也能形成很好的连接。

图 6 所示的半导体器件中，由绝缘膜构成的保护图形 106 层叠在上层布线 105 之上，密接在层间绝缘膜 102 表面上的侧壁 107 的水平方向的尺寸，通过增加侧面的垂直方向的尺寸获得，因为侧壁 107 就密接在侧面，由此增加重叠错位的修正范围。

然而，如果上层布线 105 和保护图形 106 的总厚度越增加，层间绝缘膜 102 跟上层布线 105 和保护图形 106 之间的表面台阶差就越大。结果就难以形成复盖率很好的上层。

此外，图 6 所示的半导体器件中，在并列配置多条上层布线 105 的情况下，如果将布线间距离缩成最短，则布线通过密接层图形 104 会短路。为避免这一问题，可以考虑一种方法，使布线之间有足够的间隔。但半导体器件又难以获得高集成度。

发明内容

本发明为解决上述问题而提出，其目的在于得到一种良好的半导体

器件，它可以形成复盖率良好的上层，其中包括表面台阶差减小了的上层布线，并连续配置多条上层布线，即使布线间的距离减到最小尺寸，布线之间也不会短路。

因此，根据本发明，提供了一种半导体器件，其特征在于具有：在衬底上层叠的层间绝缘膜；在上述层间绝缘膜上经图形刻蚀的上层布线；以及密接于上述上层布线的侧面上而形成的侧壁，上述侧壁由绝缘材料构成，上述侧壁的上端和上述上层布线的表面的高度相同；其中上层布线为势垒金属和导电布线图形的层叠结构，上述势垒金属与贯穿层间绝缘膜的接触点相连。

上述的半导体器件还可以包括：单元板（cell plate），它通过介电膜层叠在包含上层布线和侧壁表面的区域上；一电容器，它由上述上层布线、上述介电膜和上述单元板构成。

其中，贯穿层间绝缘膜的接触点的第一区与上层布线重叠，在低于上述第一区表面的形成位置形成一表面，在与上述上层布线不重叠的上述接触点的第二区上产生凹部，侧壁的一部分被上述凹部填埋。

根据本发明的另一个方面，提供了一种半导体器件的制造方法，其特征在于包括下列工序：在衬底上层叠层间绝缘膜的工序；在上述层间绝缘膜的表面上对上层布线进行图形刻蚀的工序；在包含上述上层布线表面的上述层间绝缘膜表面上层叠绝缘膜的工序；以及对上述绝缘膜进行各向异性刻蚀而获得密接在上述上层布线侧面的侧壁的工序，上述侧壁的上端和上述上层布线的表面的高度相同；其中还包括在包含上层布线及侧壁的表面的区域上层叠介电膜的工序和在上述介电膜表面上形成单元板的工序，获得由上述上层布线、上述介电膜和上述单元板构成的电容器。

根据本发明制造的半导体器件，绝缘侧壁在上层布线侧面形成，这样可减小上层布线与层间绝缘膜之间的绝对台阶差。而且可以减缓台阶差部分的梯度。结果，在包含上层布线与侧壁表面的层间绝缘膜上就可形成具有很好复盖率的上层。再者，侧壁是由绝缘膜构成的，因而也可防止邻近布线之间短路。其中，上层布线和半导体衬底可以通过层间绝缘膜上形成的接触点进行电连接。而且上层布线是由布线图形和在布线图形底面上成膜的势垒金属所构成，这样，接触点和上层布线可以连接得很好。

其中，当上层布线作为存储节点，介电膜和单元板层叠在上层布线上而形成电容器时，因为上层布线侧面的侧壁表面缓慢倾斜，且表面平坦，故能以良好的覆盖率进行成膜。

根据本发明的半导体器件，即使在上层布线和贯穿层间绝缘膜的接触点之间形成重叠错位，从而在接触点的上部位产生凹部，通过用侧壁填埋该凹进部分也可减小表面台阶差，且表面可以平坦。结果，能以良好的复盖率形成配置在上层布线上的上层。

根据本发明的半导体器件制造方法，在上层布线形成之后，通过在上层布线侧面上形成绝缘性侧壁的工序，可使表面平坦。这样一来，在下一个工序层叠的上层的层覆盖率可得到改进。其中，将上层布线用作电容器的存储节点，能以良好的复盖率将介电膜层叠在由上层布线和存储节点构成的平坦表面上。

附图说明

图 1 示出本发明第一实施例的半导体器件。

图 2 示出本发明第一实施例的半导体器件制造工序。

图 3 示出本发明第二实施例的半导体器件。

图 4 示出本发明第三实施例的半导体器件。

图 5 示出本发明第四实施例的半导体器件。

图 6 示出现有技术。

具体实施方式

第一实施例

本发明的第一实施例叙述如下。

图 1 示出根据本发明第一实施例形成的半导体器件的剖面结构，其中，在衬底上的层间绝缘膜表面上对上层布线进行图形刻蚀，在上层布线的上表面形成复盖率良好的上层。

图 1 中，1 代表半导体衬底，2 代表半导体衬底 1 上层叠的层间绝缘膜，3 代表由贯穿层间绝缘膜 2 形成的导电材料构成的接触点，4 代表势垒金属，在层间绝缘膜 2 上对其进行图形刻蚀，并配置成与接触点 3 相接，5 代表在势垒金属 4 的上层层叠的布线图形。上层布线 6 由势垒金属 4 和布线图形 5 构成。

另外，上层布线 6 的侧面由绝缘材料构成的侧壁 7 所复盖。由于形成侧壁 7，上层布线 6 和层间绝缘膜 2 之间的表面台阶差成为平缓的斜

坡。结果，就可在上层布线 6 的表面上形成复盖率良好的上层 8。

图 1 所示的制造半导体器件的方法将参考图 2 来描述。

首先，如图 2（a）所示，在半导体衬底 1 的表面区形成有源元件。然后，层叠层间绝缘膜 2，它由约为 6000 埃厚的二氧化硅膜构成。此后，形成贯穿层间绝缘膜 2 的接触孔，以部分地暴露有源元件表面。继之，通过层叠填埋掺杂多晶硅，这样就获得接触点 3。留在层间绝缘膜 2 表面的掺杂多晶硅用 CMP 研磨（化学机械抛光）除去。

然后，在层间绝缘膜 2 的表面形成势垒金属层 4a。势垒金属层 4a 由约为 500 埃厚的氮化钛膜和 300 埃厚的钛膜层叠膜构成。另外， 在势垒金属层 4a 的表面上层叠约为 1000 埃厚的钨层 5 a。此后，在钨层 5 a 的表面形成一形状相当于上层布线 6 的抗蚀剂图形 9。

如图 2（b）所示，用抗蚀剂图形 9 作为刻蚀掩模，对钨层 5 a 和势垒金属层 4a 依次进行各向异性刻蚀，刻蚀上层布线 6 的图形。刻蚀之后除去抗蚀剂图形 9。

然后，如图 2（c）所示，层叠厚约为 1500 埃的 TEOS （四乙原硅酸盐）氧化膜 7 a。

如图 2（d） 所示，对 TEOS 氧化膜 7 a 用 RIE（反应离子刻蚀）法进行刻蚀，获得密接在上层布线 6 的侧面的侧壁 7。

侧壁 7 的表面从上层布线 6 的上表面缓慢倾斜到层间绝缘膜 2 的表面。

侧壁 7 的最大垂直方向尺寸相当于上层布线 6 的膜厚，所以与图 6 所示的现有技术相比，垂直方向尺寸可以减少保护性图形 106 的膜厚，这样既可减小表面台阶差，又可减小侧壁 7 的表面倾斜角，由此而能获得平坦的表面。

其次，在上层布线 6、侧壁 7 和层间绝缘膜 2 的表面上层叠上层 8 时，由于该上层 8 的层叠面就比较平坦，从而可进行覆盖率好的成膜。

另外，如图 1 和图 2 所示，在多条上层布线 6 接近配置，而且把布线间距离设定为最小的情况下，如果用导电材料形成侧壁 7，就存在通过侧壁引起布线短路的不良情况，但是，对于第一实施例的半导体器件，侧壁 7 由绝缘材料构成，故毋须担心短路。

由导电材料构成的密接层图形不与侧壁 7 的底面密接，所以，也毋须担心布线短路问题。

根据以上说明，侧壁 7 是由 TEOS 氧化膜构成的绝缘膜构成，但同样可用其他非导电材料，例如也可用氮化硅膜、氮化硅膜和氧化硅膜的复合膜。

对于布线图形 5 也同样，不限于钨，掺杂的多晶硅、Pt、WSi、TiSi、MoSi、Al、AlCu 等，或其层叠膜同样可以采用。

构成接触点 3 的导电材料可由掺杂多晶硅构成外，同样也可由 TiN、Ti、Pt、Ru、RuO_2、WSi、TiSi、MoSi、Al、AlCu 等或其层叠膜构成。

第二实施例

本发明第二实施例的半导体器件叙述如下。

在第一实施例中，仅示出通过在上层布线 6 的侧面形成绝缘性侧壁 7 而谋求表面平坦化之例，而第二实施例的特征在于：将上层布线 6 用作构成 DRAM 存储单元的电容器存储节点，通过介电膜在上层布线 6 上形成单元板。

图 3 为本发明第三实施例的半导体器件的剖面图，图中，10 表示层叠在上层布线 6 的表面上的介电膜，11 表示介电膜 10 的表面上层叠的单元板，由上层布线 6、介电膜 10 和单元板 11 构成电容器 12。此外，与为了说明而已经使用的符号相同的符号表示同一或相当的部分。

图 3 所示的半导体器件是根据实施例 1 的图 2 的制造流程，在形成上层布线 6 与侧壁 7 之后，通过在其表面层叠厚约为 500 埃的 BST（BaSrTiO）膜构成的介电膜 10，再层叠 1000 埃左右的 Pt 作为单元板 11 而获得的；由上层布线 6 及介电膜 10 与单元板 11 构成电容器 12。

如图 3 所示，上层布线 6 用作电容器 12 的存储节点时，在上层布线 6 的侧面形成侧壁 7，表面可做到平坦，故介电膜 10 能以良好的复盖率成膜。

如第一实施例所述，即使邻接的上层布线 6 间的距离为最小，因侧壁 7 由绝缘材料构成，故不存在两者短路的问题。而且也不在侧壁 7 的下部形成导电密接层图形，对此也不用担心短路。

如上所述，采用 BST（BaSrTiO）膜作介电膜 10，这不过仅为一例，除此之外，也可采用如氧化膜、氮化膜、氧化膜与氮化膜的复合膜，而且，还可采用氧化钽（Ta_2O_3）或（Ba,Sr）TiO_3 等高介电膜，以及 $BaTiO_3$、$SrTiO_3$、$PbTiO_3$、$LiNbO_3$、PZT、PLZT 等强介电膜。

第三实施例

第一及第二实施例中已叙述，贯穿层间绝缘膜 2 配置的接触点 3 与上层布线 6 没有重叠错位，接触点 3 的上表面完全与上层布线 6 的底面连接。

本发明第三实施例中叙述接触点3与上层布线6的重叠有错位的情况。

图 4（a）为本发明第三实施例的半导体器件剖面图。因为上层布线 6 与接触点 3 的重叠有错位，所以，接触点 3 的上表面有一部分与上层布线 6 不重合。

图 4（a）中，符号 13 为构成上层布线 6 的导电膜，表示在由钨构成的布线图形 5 上表面层叠的势垒金属层，14 表示接触点 3 的上部由刻蚀而成的凹部，形成由绝缘膜构成的侧壁 7 以便填埋这一凹部。此外，与为了说明而已使用的符号相同的符号表示同一或相当的部分。

如图 4（b）所示，凹部 14 在接触点 3 的上表面，在与上层布线 6 不重合的区域挖掘而成。

到图 4（b）为止的制造方法示于如下，贯穿半导体衬底 1 上的层间绝缘膜 2 开设接触孔，然后层叠用作势垒金属 4 及布线图形 5 的钨，填埋接触孔，获得接触点 3。在成为布线图形 5 的钨的表面再层叠势垒金属层 13。其次，用形状相当于上层布线 6 的掩模图形刻蚀在层间绝缘膜 2 的表面上层叠的多层导电膜图形。在该掩模图形形成时，在接触点 3 与掩模图形的重合产生错位的情况下，如图 4（b）所示，对相当于错位的部分进行过刻蚀，从而形成凹部 14。

如图 4（b）所示，由于形成凹部 14，在形成了上层布线 6 的阶段的表面台阶差增大了凹部 14 的深度的部分。如果在这一阶段打算形成上层的话，则复盖率变差。

因此，与第一实施例的情况相同，形成由绝缘膜构成的侧壁 7 以使表面平坦，同时，用绝缘膜填埋凹部 14 以便减小表面台阶差。结果可使上层 8 的复盖率改善，从而获得如图 4（a）所示的半导体器件。

这样，即便接触点 3 与上层布线 6 的重合产生错位，由于绝缘材料构成的侧壁 7 密接在上层布线 6 的侧面而形成，所以表面可做到平坦，同时，也填埋了在接触点 3 的上部产生的凹部 14，这就可减小表面台阶差。

因为侧壁7是由绝缘材料构成，所以邻接的上层布线6的间隔即便为最小，也毋须担心两者通过侧壁7短路。能可靠地实现多条上层布线6之间的绝缘。

再者，在第三实施例中，示出了同时进行贯穿层间绝缘膜2的接触孔的填埋和构成上层布线6的多层导电膜的层叠之例，然而，显而易见，如同第一实施例一样，在接触点3形成后，采用其他工序照样可层叠成为上层布线6的多层导电膜。

第四实施例

本发明的第四实施例叙述如下。

第四实施例的半导体器件跟第三实施例一样，是示出接触点3与上层布线6的重合产生错位的例子。与第二实施例一样，是示出用上层布线6作为构成电容器的存储节点之例。由在其他工序中层叠的导电材料构成接触点3与上层布线6。

用本发明第四实施例制作的半导体器件示于图5（a）。

图5（a）中，与为了说明而已经使用的符号相同的符号表示同一或相当的部分。挖去接触点3上表面的一部分，形成凹部14，填埋凹部14形成侧壁7。

在第四实施例中，也跟第三实施例一样，通过形成填埋凹部14的侧壁7来消除上层布线6和凹部14的底面之间的绝对台阶差，而且，上层布线6的上表面与层间绝缘膜2的上表面之间的台阶差部分的梯度就可减缓，这样，表面就能平坦。

从而，具有下述效果：能以良好的覆盖率形成介电膜10及单元板11，能得到具有良好形状的电容器12。

另外，侧壁7由绝缘材料构成，故邻近的上层布线6的间隔即使做得最小，也不用担心两者通过侧壁7而短路，能可靠地实现上层布线6之间的绝缘。

上述图5（a）中示出了接触点3的上表面与层间绝缘膜2的表面的高度相等，这些面构成一个平坦的面之例。而图5（b）所示的情况则不一样，构成接触点3的导电材料与构成层间绝缘膜2的材料的刻蚀选择比不同，有时在接触孔填埋后进行内刻蚀时，对接触点3的上表面进行过刻蚀，使之低于层间绝缘膜2的上表面。

在这种情况下，如果接触点3与上层布线6的重合产生错位，则在

接触点3的部分区域也形成凹部14，上层布线6的上表面与凹部14的底面间的台阶差进一步加大。然而，由于上层布线6的侧面形成侧壁7而可能减小台阶差，而且，因为能使表面更加平坦，故能以良好的复盖率形成介电膜10与单元板11等的上层。

图5（b）中示出了上层布线6作为构成电容器12的单元板，不用说，用作其他布线时也会有同样的效果。

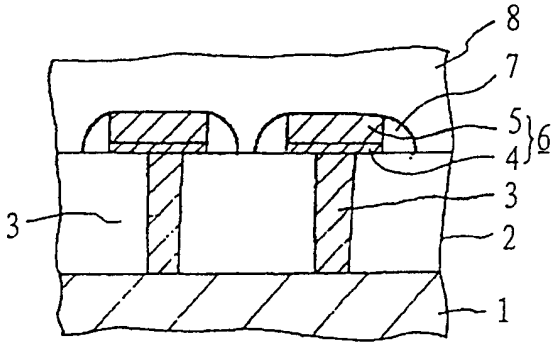

8
7
5
4
6
3
3
2
1

图 1

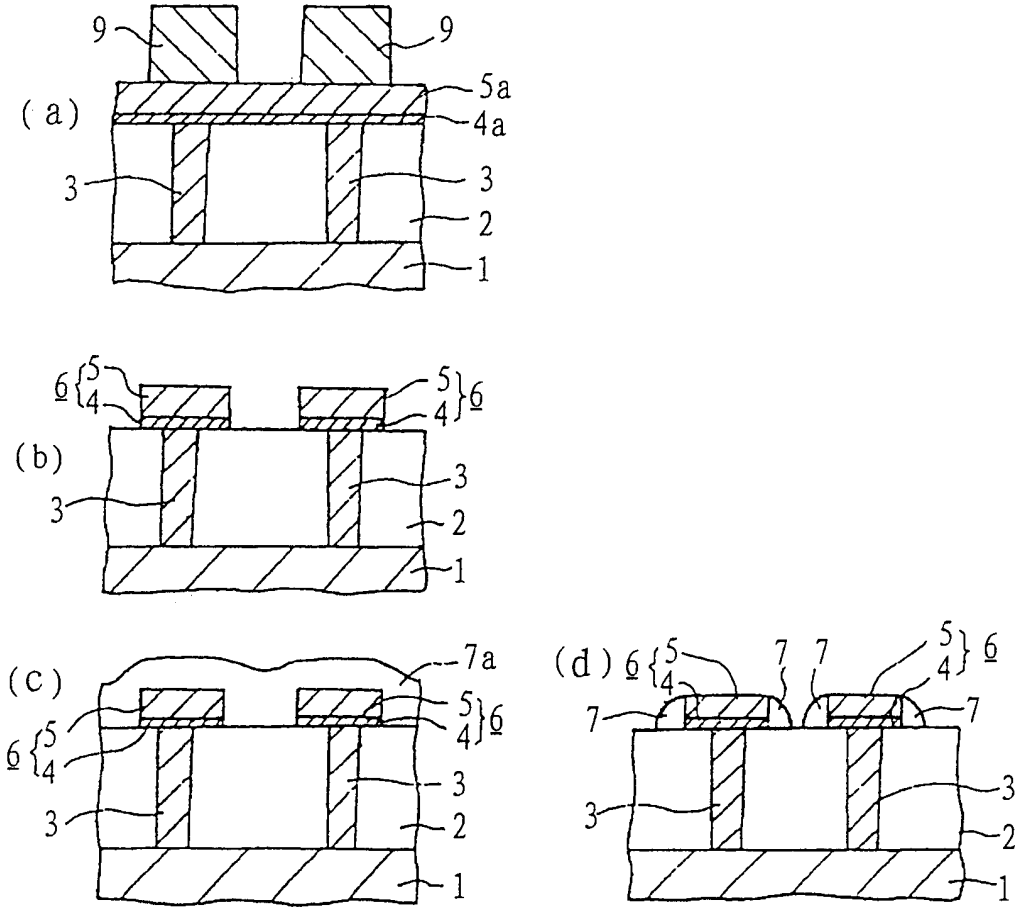

(a)
9
9
5a
4a
3
3
2
1
(b)
6
5
4
5
4
6
3
3
2
1
(c)
7a
5
4
6
6
5
4
3
3
2
1
(d)
6
5
4
7
7
5
4
6
7
7
3
3
2
1

图 2

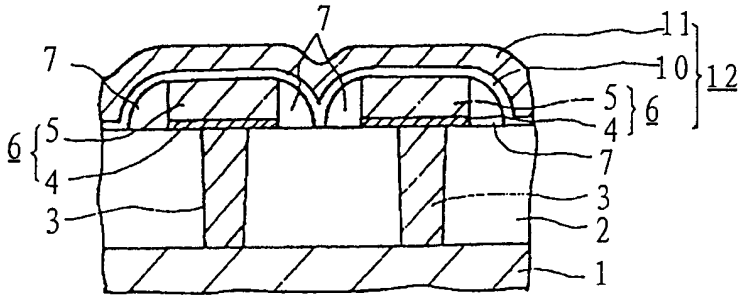

7
11
7
10
12
5
6
6
5
4
4
7
3
3
2
1

图 3

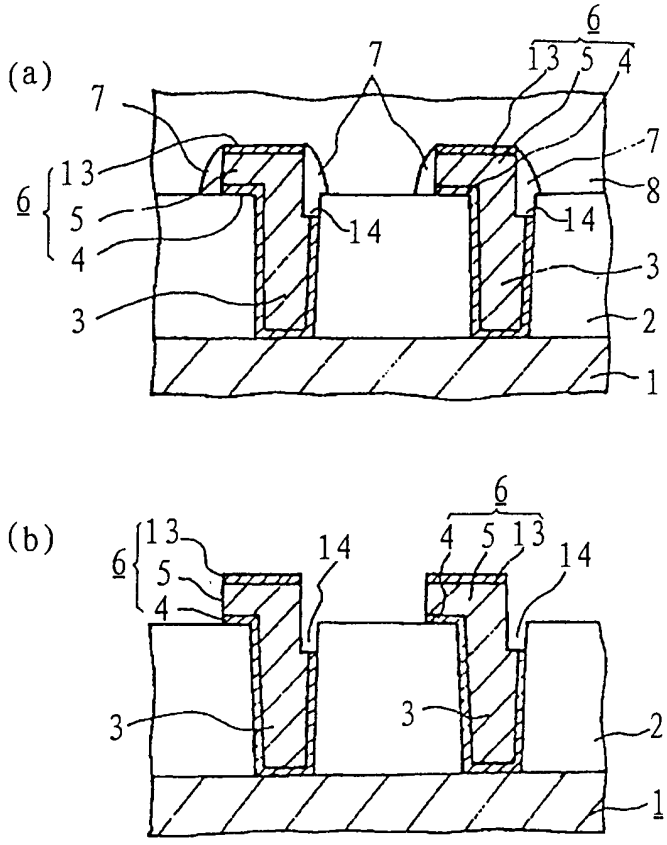

(a)
6
13 5 4
7
7
7
13
8
6
5
14
14
4
3
3
2
1
(b)
6
13
14
4 5 13
14
6
5
4
3
3
2
1

图 4

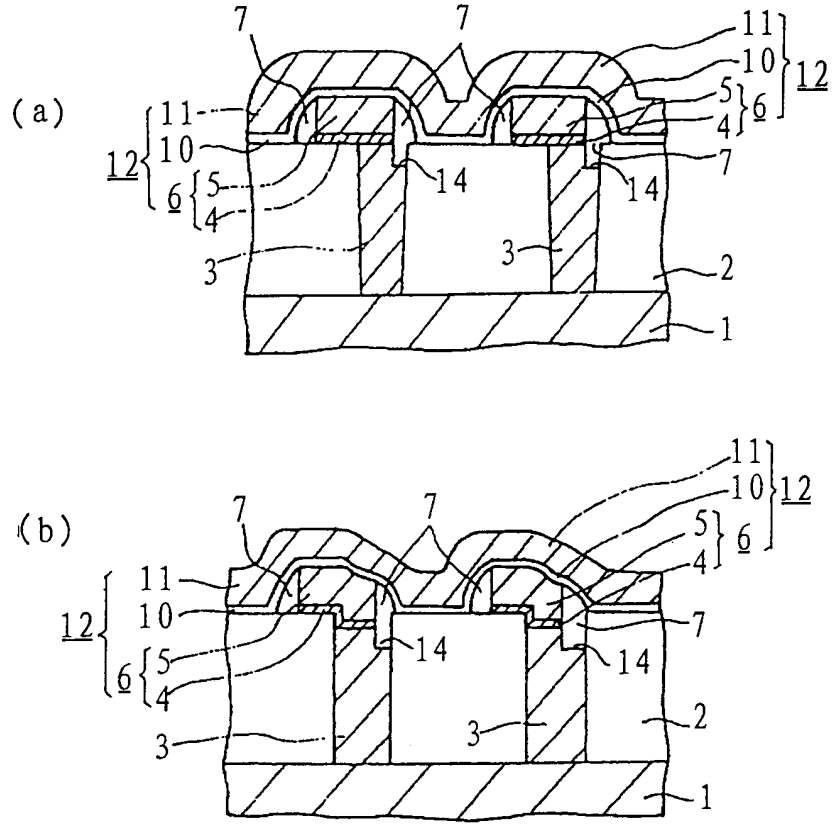

(a)
7
7
11
10
12
5
6
4
11
10
12
6
5
4
14
14
7
3
3
2
1
(b)
7
7
11
10
12
5
6
4
11
10
12
6
5
4
14
14
7
3
3
2
1

图 5

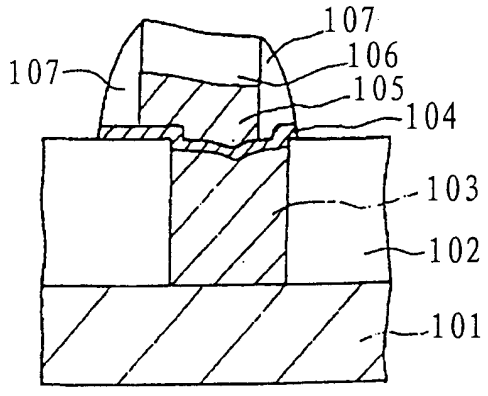

107
106
107
105
104
103
102
101

图 6