

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年1月20日(2005.1.20)

【公表番号】特表2004-517543(P2004-517543A)

【公表日】平成16年6月10日(2004.6.10)

【年通号数】公開・登録公報2004-022

【出願番号】特願2002-554970(P2002-554970)

【国際特許分類第7版】

H 0 3 K 19/173

H 0 1 L 21/82

【F I】

H 0 3 K 19/173 1 0 1

H 0 1 L 21/82 A

【手続補正書】

【提出日】平成14年9月24日(2002.9.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

書換え可能ゲートアレイであって、
 プログラム可能な相互接続構造と、
 複数の論理モジュールとを有し、各々の前記論理モジュールが、
 複数の入力リードおよび出力リードを有し、前記入力リードが前記論理モジュールより延在した前記プログラム可能相互接続構造へと延在する第1の組み合わせ論理回路と、
 複数の入力リードおよび出力リードを有し、前記入力リードが前記論理モジュールより延在した前記プログラム可能相互接続構造へと延在する第2の組み合わせ論理回路と、
 第1データ入力リード、第2データ入力リード、選択入力リード、および出力リードを有する第1のマルチプレクサであって、前記第1のデータ入力リードが前記論理モジュール内の前記第1の組み合わせ論理回路の前記出力リードへと接続され、前記第2のデータ入力リードが前記論理回路内の前記第2の組み合わせ論理回路の前記出力リードと接続され、前記出力リードが前記論理モジュールより延在し、また前記プログラム可能相互接続構造へと延在する第1のマルチプレクサと、
 第1データ入力リード、第2データ入力リード、選択入力リード、および出力リードを有する第2のマルチプレクサであって、前記第2のマルチプレクサの前記第1のデータ入力リードが前記論理モジュール内の前記第2の組み合わせ論理回路の前記出力リードへと接続される第2のマルチプレクサと、
 データ入力リード、クロック入力リード、およびデータ出力リードを有する第1の順次論理素子であって、前記順次論理素子の前記データ入力リードが前記第1のマルチプレクサの前記出力リードに接続され、前記データ出力リードが前記論理モジュールより延在した前記プログラム可能相互接続構造へと延在する第1の順次論理素子と、
 データ入力リード、クロック入力リード、およびデータ出力リードを有する第2の順次論理素子であって、前記第2の順次論理素子の前記データ入力リードが前記第2のマルチプレクサの前記出力リードへと接続され、前記第2の順次論理素子の前記データ出力リードが前記論理モジュールより延在し、また前記プログラム可能内部接続構造へと延在する第2の順次論理素子とを有することを特徴とする書換え可能ゲートアレイ。

【請求項 2】

前記第 1 の組み合わせ論理回路が、5 本の入力リードを有し、前記入力リードのうち 4 本が前記論理モジュールより延在し、また前記プログラム可能相互接続構造へと延在することを特徴とする請求項 1 に記載の書換え可能ゲートアレイ。

【請求項 3】

前記第 1 の組み合わせ論理回路が、出力リードを有する第 1 の入力 AND ゲートと、出力リードを有する第 2 の入力 AND ゲートと、前記第 1 の 2 入力 AND ゲートの前記出力リードに接続された第 1 のデータ入力リードと、前記第 2 の 2 入力 AND ゲートの前記出力リードに接続された第 2 のデータ入力リードと、選択入力リード及び出力リードとを含む第 3 のマルチプレクサであって、前記出力リードが前記第 1 のマルチプレクサの前記データ入力リードに接続される第 3 のマルチプレクサとを有することを特徴とする請求項 1 に記載の書換え可能ゲートアレイ。

【請求項 4】

前記論理モジュールが更に、第 1 のデータ入力リード、第 2 のデータ入力リード、選択データ入力リードおよび出力リードを有する第 4 のマルチプレクサを有し、前記出力リードが前記第 3 のマルチプレクサの前記選択された入力リードへと接続されていることを特徴とする請求項 3 に記載の書換え可能ゲートアレイ。

【請求項 5】

前記論理モジュールが、更に前記第 4 のマルチプレクサの第 1 のデータ入力リードに接続された出力リードを有する第 1 の 6 入力 AND ゲートを有することを特徴とする請求項 4 に記載の書換え可能ゲートアレイ。

【請求項 6】

前記論理モジュールが、更に複数の入力リードおよび出力リードを有する第 3 の組み合わせ論理回路を有し、前記入力リードは前記論理モジュールより延在しまた前記プログラム可能相互接続構造へと延在し、前記出力リードは前記第 1 の組み合わせ論理回路および前記第 2 の組み合わせ論理回路の前記入力リードと接続され、また前記論理モジュールより延在しまた前記プログラム可能相互接続構造へと延在することを特徴とする請求項 1 に記載の書換え可能ゲートアレイ。

【請求項 7】

前記論理モジュールが、更に複数の入力リードおよび出力リードを有する第 4 の組み合わせ論理回路を含み、前記入力リードが前記論理モジュールより延在しまた前記プログラム可能相互接続構造へと延在し、前記出力リードが前記第 1 のマルチプレクサの前記選択入力リードへと接続され、加えて前記論理モジュールより延在しまた前記プログラム可能相互接続構造へと延在することを特徴とする請求項 6 に記載の書換え可能ゲートアレイ。

【請求項 8】

前記第 3 の組み合わせ論理回路が第 1 の 6 入力 AND ゲートであり、前記第 4 の組み合わせ論理回路が第 2 の 6 入力 AND ゲートであることを特徴とする請求項 7 に記載の書換え可能ゲートアレイ。

【請求項 9】

前記第 1 の 6 入力 AND ゲートの少なくとも 1 つの入力リードおよび前記第 2 の 6 入力 AND ゲートの少なくとも 1 つの入力リードが、前記プログラム可能相互接続構造内のクロックバスへとプログラム可能に接続されることを特徴とする請求項 8 に記載の書換え可能ゲートアレイ。

【請求項 10】

前記第 2 のデータ入力リードおよび前記第 2 のマルチプレクサの前記選択入力リードが、前記論理モジュールより延在し、また前記プログラム可能相互接続構造へと延在することを特徴とする請求項 1 に記載の書換え可能ゲートアレイ。

【請求項 11】

プログラム可能な特定用途向け IC のためのロジックセルであって、前記ロジックセルが

、
複数の入力リードおよび出力リードを有する組み合わせ論理回路と、
データ入力リード、クロック入力リード、およびデータ出力リードを有する第1の順次論理素子であって、前記第1の順次論理素子の前記データ入力リードが前記組み合わせ論理回路の前記出力リードへと選択的に接続されており、前記第1の順次論理素子の前記データ出力リードが前記論理モジュールより延在しまた前記プログラム可能相互接続構造へと延在する第1の順次論理素子と、
データ入力リード、クロック入力リード、およびデータ出力リードを有する第2の順次論理素子であって、前記第2の順次論理素子の前記データ入力リードが前記組み合わせ論理回路の前記出力リードに選択的に接続され、前記第2の順次論理素子の前記データ出力リードが前記論理モジュールより延在し、また前記プログラム可能相互接続構造へと延在する第2の順次論理素子を有することを特徴とするロジックセル。

【請求項12】

更に、
前記組み合わせ論理回路の前記出力リードを前記第1の順次論理素子の前記データ入力リードへと選択的に接続させるための第1手段と、
前記組み合わせ論理回路の前記出力リードを前記第2の順次論理素子の前記データ入力リードへと選択的に接続させるための第2手段とを含む請求項11に記載のロジックセル。

【請求項13】

前記第1手段が第1マルチプレクサであり、前記第2手段が第2マルチプレクサであることを特徴とする請求項12に記載のロジックセル。

【請求項14】

プログラム可能デバイスであって、
プログラム可能相互接続構造と、
複数の論理モジュールとを有し、
前記論理モジュールの各々が少なくとも1つの出力リードと、少なくとも1つの出力リードおよび前記プログラム可能相互接続構造との間に接続されたドライバとを有し、前記ドライバが、
入力リードおよび出力リードを有するインバータであって、前記インバータの前記入力リードが前記論理モジュールの前記出力リードへと接続されているインバータと、
第1端子、第2端子、およびゲート端子を有する保護トランジスタであって、前記第1端子が前記インバータの前記出力リードへと接続され、前記第2端子が前記プログラム可能相互接続構造へと接続されている保護トランジスタと、
前記ゲートに接続された第1の電荷ポンプと、
前記第1の電荷ポンプおよび前記保護トランジスタの前記ゲート端子へと接続された第2の電荷ポンプとを有することを特徴とするプログラム可能デバイス。

【請求項15】

前記保護トランジスタおよび前記インバータの間にトランジスタが配置されず、前記保護トランジスタおよび前記プログラム可能相互接続構造の間にトランジスタが配置されないことを特徴とする請求項14に記載のプログラム可能デバイス。

【請求項16】

プログラム可能デバイスであって、
論理セルのアレイと、
前記論理セルに接続されたプログラム可能相互接続構造と、
I/O回路とを有し、前記I/O回路が、
I/Oパッドと、
前記プログラム可能相互接続構造に接続された入力端子、及び前記I/Oパッドと前記プログラム可能相互接続構造とに接続された出力端子を有する出力レジスタとを有し、
前記I/O回路が更に、
前記前記出力レジスタの前記出力端子に接続された第1のデータ端子、前記出力レジスタ

の前記入力端子に直接接続された第2のデータ端子、及び前記I/Oパッドに接続されたアウトプット端子を有するマルチプレクサを含むことを特徴とするプログラム可能デバイス。

【請求項17】

プログラム可能デバイスであって、
論理セルのアレイと、

前記論理セルに接続されたプログラム可能相互接続構造と、
I/O回路とを有し、前記I/O回路が、
I/Oパッドと、

前記プログラム可能相互接続構造に接続された入力端子、及び前記I/Oパッドと前記プログラム可能相互接続構造とに接続された出力端子を有する出力レジスタとを有し、
前記I/O回路が更に、

前記出力レジスタの前記出力端子に接続された入力端子、前記I/Oパッドに接続された出力端子、及びイネーブル端子を有するバッファと、

前記プログラム可能相互接続構造に直接接続された入力端子と前記バッファの前記イネーブル端子に接続された出力端子とを有する出力イネーブルレジスタとを含むことを特徴とするプログラム可能デバイス。

【請求項18】

前記I/O回路が更に、

前記出力イネーブルレジスタの前記出力端子へと接続された第1のデータ端子、前記出力イネーブルレジスタの前記入力端子へと接続された第2のデータ端子、および前記バッファの前記入力端子へと接続された出力端子を有するマルチプレクサを含むことを特徴とする請求項18に記載のプログラム可能デバイス。

【請求項19】

プログラム可能デバイスであって、
論理セルのアレイと、

前記論理セルに接続されたプログラム可能相互接続構造と、
I/O回路とを有し、前記I/O回路が、
I/Oパッドと、

前記プログラム可能相互接続構造に接続された入力端子、及び前記I/Oパッドと前記プログラム可能相互接続構造とに接続された出力端子を有する出力レジスタとを有し、
前記I/O回路が更に、

調節可能なスルーレートを有するバッファを含み、前記バッファが前記出力レジスタの前記出力端子に接続された入力端子と、前記I/Oパッドへと接続された出力端子と、前記プログラム可能相互接続構造へと接続されたスルーレート制御端子とを有することを特徴とするプログラム可能デバイス。

【請求項20】

前記バッファが、

前記出力レジスタの出力端子へと接続された入力端子と、前記I/Oパッドへと接続された出力端子とを有する少なくとも1つのインバータであって、抵抗素子を介して電圧源および大地電圧へと接続されているインバータと、

前記スルーレートコントロール端子へと接続された入力端子および出力端子を有する論理ゲートと、

前記少なくとも1つのインバータと前記大地電圧との間で前記抵抗素子と平行に配置された第1のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記抵抗素子より抵抗率が低い第1のトランジスタとを有することを特徴とする請求項19に記載のプログラム可能デバイス。

【請求項21】

前記バッファが更に、

前記出力レジスタの前記出力端子へと接続された入力端子と前記I/Oパッドへと接続さ

れた出力端子とを有する第2のインバータであって、第2の抵抗素子を介して電圧源へと接続され、また大地電圧へと接続される第2のインバータと、
前記第2の抵抗素子と平行に前記第2のインバータおよび前記電圧源の間に配置された第2のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記第2の抵抗素子と比較して抵抗率が低い第2のトランジスタとを含むことを特徴とする請求項20に記載のプログラム可能デバイス。

【請求項22】

前記抵抗素子が、前記第1のトランジスタと比較して小さな第3のトランジスタであり、前記第2の抵抗素子が前記第2のトランジスタと比較して小さな第4のトランジスタであり、前記第3のトランジスタおよび第4のトランジスタが前記バッファをイネーブルおよびディスエーブルすることを特徴とする請求項21に記載のプログラム可能デバイス。

【請求項23】

プログラム可能デバイスであって、

ロジックセルのアレイと、

前記ロジックセルに接続されたプログラム可能な相互接続構造と、

I/O回路とを有し、前記I/O回路が、

I/Oパッドと、

前記I/Oパッドへと接続された入力端子および前記プログラム可能相互接続構造へと接続された出力端子を有する入力レジスタと、

前記プログラム可能相互接続構造へと接続された入力端子と、前記I/Oパッドへと接続された出力端子とを有する出力レジスタと、

前記出力レジスタの前記出力端子および前記I/Oパッドの間に配置されたバッファであって、前記出力レジスタの前記出力端子に接続された入力端子および前記I/Oパッドに対し接続された出力端子、およびイネーブル端子を含むバッファと、

前記プログラム可能相互接続構造に接続された入力端子、および前記バッファの前記イネーブル端子に接続された出力端子を有する出力イネーブルレジスタとを含むことを特徴とするプログラム可能デバイス。

【請求項24】

前記出力レジスタの前記出力端子が、また前記プログラム可能相互接続構造へと接続されることを特徴とする請求項23に記載のプログラム可能デバイス。

【請求項25】

前記I/O回路が更に、

調節可能なスルーレートを有するバッファを含み、前記バッファが前記出力レジスタの前記出力端子に接続された入力端子と、前記I/Oパッドへと接続された出力端子と、前記プログラム可能相互接続構造へと接続されたスルーレート制御端子とを有することを特徴とする請求項23に記載のプログラム可能デバイス。

【請求項26】

前記バッファが、

前記出力レジスタの出力端子へと接続された入力端子と、前記I/Oパッドへと接続された出力端子とを有する少なくとも1つのインバータであって、抵抗素子を介して電圧源および大地電圧へと接続されているインバータと、

前記スルーレートコントロール端子へと接続された入力端子および出力端子を有する論理ゲートと、

前記少なくとも1つのインバータと前記大地電圧との間で前記抵抗素子と平行に配置された第1のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記抵抗素子より抵抗率が低い第1のトランジスタとを有することを特徴とする請求項25に記載のプログラム可能デバイス。

【請求項27】

前記バッファが更に、

前記出力レジスタの前記出力端子へと接続された入力端子と前記I/Oパッドへと接続さ

れた出力端子とを有する第2のインバータであって、第2の抵抗素子を介して電圧源へと接続され、また大地電圧へと接続される第2のインバータと、
前記第2の抵抗素子と平行に前記第2のインバータおよび前記電圧源の間に配置された第2のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記第2の抵抗素子と比較して抵抗率が低い第2のトランジスタとを含むことを特徴とする請求項26に記載のプログラム可能デバイス。

【請求項28】

前記抵抗素子が前記第1のトランジスタより小さな第3のトランジスタであり、また前記第2の抵抗素子が前記第2のトランジスタより小さな第4のトランジスタであることを特徴とする請求項27に記載のプログラム可能デバイス。

【請求項29】

更に境界スキャン回路を有し、前記境界スキャン回路が前記入力レジスタ、前記出力レジスタ、及び前記I/O回路の前記出力イネーブルレジスタを用いることを特徴とする請求項23に記載のプログラム可能デバイス。

【請求項30】

前記入力レジスタがイネーブル端子を有し、前記出力イネーブルレジスタがイネーブル端子を有し、前記プログラム可能デバイスが更に、
前記入力レジスタの前記イネーブル端子にプログラム可能に接続され、前記出力イネーブルレジスタの前記イネーブル端子にプログラム可能に接続された少なくとも1つのI/O制御パッドを有することを特徴とする請求項23に記載のプログラム可能デバイス。

【請求項31】

前記入力レジスタがリセット端子を有し、前記出力イネーブルレジスタがリセット端子を有し、前記出力レジスタがリセット端子を有し、前記少なくとも1つのI/O制御パッドが前記入力レジスタ、前記出力イネーブルレジスタ、及び前記出力レジスタの前記リセット端子にプログラム可能に接続されることを特徴とする請求項30に記載のプログラム可能デバイス。

【請求項32】

前記入力レジスタがクロック端子を有し、前記出力イネーブルレジスタがクロック端子を有し、前記出力レジスタがクロック端子を有し、前記少なくとも1つのI/O制御パッドが前記入力レジスタ、前記出力イネーブルレジスタ、及び前記出力レジスタの前記クロック端子へとプログラム可能に接続されることを特徴とする請求項30に記載のプログラム可能デバイス。

【請求項33】

更に、配線クロックバスと、

前記少なくとも1つのI/O制御パッドへとプログラム可能に接続された第1のデータ端子と、前記配線クロックにプログラム可能に接続された第2のデータ端子と、前記入力レジスタ、前記出力レジスタ及び前記出力イネーブルレジスタの前記クロック端子へと接続された出力端子とを有するマルチプレクサを含むことを特徴とする請求項32に記載のプログラム可能デバイス。

【請求項34】

前記少なくとも1つのI/O制御パッドが、前記出力イネーブルレジスタの前記入力端子へとプログラム可能に接続されることを特徴とする請求項30に記載のプログラム可能デバイス。

【請求項35】

プログラム可能デバイスであって、

ロジックセルのアレイと、

前記ロジックセルに接続されたプログラム可能な相互接続構造と、

I/O回路とを有し、前記I/O回路が、

I/Oパッドと、

前記プログラム可能相互接続構造へ接続された入力端子及び出力端子を有する出力レジス

たと、

調整可能なスルーレートを有するバッファであって、前記出力レジスタの前記出力端子へと接続された入力端子と、前記 I / O パッドへと接続された出力端子と、前記プログラム可能な相互接続構造へと接続されたスルーレートコントロール端子とを含むバッファとを有することを特徴とするプログラム可能デバイス。

【請求項 36】

前記バッファが、

前記出力レジスタの出力端子へと接続された入力端子と、前記 I / O パッドへと接続された出力端子とを有する少なくとも 1 つのインバータであって、抵抗素子を介して電圧源および大地電圧へと接続されているインバータと、

前記スルーレートコントロール端子へと接続された入力端子および出力端子を有する論理ゲートと、

前記少なくとも 1 つのインバータと前記大地電圧との間で前記抵抗素子と平行に配置された第 1 のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記抵抗素子より抵抗率が低い第 1 のトランジスタとを有することを特徴とする請求項 35 に記載のプログラム可能デバイス。

【請求項 37】

前記バッファが更に、

前記出力レジスタの前記出力端子へと接続された入力端子と前記 I / O パッドへと接続された出力端子とを有する第 2 のインバータであって、第 2 の抵抗素子を介して電圧源へと接続され、また大地電圧へと接続される第 2 のインバータと、

前記第 2 の抵抗素子と平行に前記第 2 のインバータおよび前記電圧源の間に配置された第 2 のトランジスタであって、前記論理ゲートの前記出力端子へと接続されたゲートを有し、前記第 2 の抵抗素子と比較して抵抗率が低い第 2 のトランジスタとを含むことを特徴とする請求項 36 に記載のプログラム可能デバイス。

【請求項 38】

前記抵抗素子が前記第 1 のトランジスタより小さな第 3 のトランジスタであり、前記第 2 の抵抗素子が前記第 2 のトランジスタより小さな第 4 のトランジスタであり、前記第 3 のトランジスタ及び前記第 4 のトランジスタが前記バッファをイネーブル及びディスエーブルすることを特徴とする請求項 37 に記載のプログラム可能デバイス。

【請求項 39】

プログラム可能デバイスであって、

ロジックセルのアレイと、

前記ロジックセルに接続されたプログラム可能な相互接続構造と、

I / O 回路とを有し、前記 I / O 回路が、

I / O パッドと、

前記プログラム可能相互接続構造へと接続された入力ターミナル及び出力ターミナルを有する入力レジスタと、

前記 I / O パッドに接続された第 1 のデータ端子、第 2 のデータ端子、及び前記入力レジスタの前記入力端子に接続された出力端子とを有するマルチプレクサと、

前記 I / O パッドに接続された第 1 の入力端子、基準電圧源に接続された第 2 の入力端子、及び前記マルチプレクサの前記第 2 のデータ端子へと接続された出力端子とを有するディファレンシャルトランジスタを含むことを特徴とするプログラム可能デバイス。

【請求項 40】

前記ディファレンシャルトランジスタの前記第 2 の入力端子が、少なくとも 2 つの基準電圧源へとプログラム可能に接続され得ることを特徴とする請求項 39 に記載のプログラム可能デバイス。

【請求項 41】

前記 I / O 回路が複数の電圧源にプログラム可能に接続されることを特徴とする請求項 40 に記載のプログラム可能デバイス。

【請求項 4 2】

前記マルチプレクサが前記プログラム可能相互接続構造に接続された選択端子を有することを特徴とする請求項 4 0 に記載のプログラム可能デバイス。

【請求項 4 3】

前記マルチプレクサの前記出力端子が、また前記プログラム可能相互接続構造に接続されることを特徴とする請求項 3 9 に記載のプログラム可能デバイス。

【請求項 4 4】

書換え可能ゲートアレイであって、

1 / 4 区分に分割されたロジックセルのアレイと、

クロックパッドと、

前記クロックパッドに接続されたクロックネットワークとを有し、前記クロックネットワークが各 1 / 4 区分のおよその中心へ向けて延在するクロックバスを有し、ロジックセルの前記アレイの各 1 / 4 区分を二等分することを特徴とする書換え可能ゲートアレイ。

【請求項 4 5】

前記クロックネットワークが、

前記クロックパッドに接続され、前記 1 / 4 区分の間で水平方向に延在する第 1 のクロックバスと、

各々が前記第 1 のクロックバスに接続され 1 / 4 区分の前記およその中心部に対し垂直な方向に延在する複数の第 2 のクロックバスと、

各々が 1 / 4 区分内に配置され、前記複数の第 2 のクロックバスの 1 つに接続され、前記 1 / 4 区分を二等分する水平方向に延在する複数の第 3 のクロックバスと、

前記第 3 のクロックバスの各々に接続された複数の第 4 のクロックバスであって、第 4 のクロックバスの第 1 の部分が第 1 の方向で前記第 3 のクロックバスより垂直に延在し、第 4 のクロックバスの第 2 の部分が前記第 1 の方向とは反対の第 2 の方向で前記第 3 のクロックバスより垂直に延在する第 4 のクロックバスとを有することを特徴とする請求項 4 4 に記載の書換え可能ゲートアレイ。

【請求項 4 6】

第 4 のクロックバスの前記第 1 の部分における各々のバスが、第 1 の複数のロジックセルにプログラム可能に接続されてもよく、第 4 のクロックバスの前記第 2 の部分における各々のバスが第 2 の複数のロジックセルにプログラム可能に接続されてもよいことを特徴とする請求項 4 5 に記載の書換え可能ゲートアレイ。

【請求項 4 7】

前記第 1 の複数のロジックセル及び前記第 2 の複数のロジックセルが、同数のロジックセルを有することを特徴とする請求項 4 6 に記載の書換え可能ゲートアレイ。

【請求項 4 8】

前記第 2 のクロックバスの各々が、前記第 3 のクロックバスの概ね中心で接続されることを特徴とする請求項 4 5 に記載の書換え可能ゲートアレイ。

【請求項 4 9】

更に前記クロックパッドより前記第 1 のクロックバスへ延在する第 5 のクロックバスを含み、前記第 5 のクロックバスが前記第 1 のクロックバスの概ね中心に接続されることを特徴とする請求項 4 5 に記載のプログラム可能ゲートアレイ。

【請求項 5 0】

更に、

前記第 1 のクロックバスに接続された入力端子、前記第 4 のクロックバスの 1 つに接続されたフィードバック端子、及び前記第 1 のクロックバスに平行な第 2 の第 1 クロックバスに接続された出力端子を有する位相同期ループ回路と、

各々が前記第 2 の第 1 クロックバスへと接続され前記複数の第 2 クロックバスの 1 つと平行である第 2 の複数の第 2 クロックバスと、

複数のマルチプレクサとを含み、各々のマルチプレクサが前記複数の第 2 のクロックバスの 1 つをレシーブする第 1 のデータ端子と、前記複数の第 2 のクロックバスの 1 つをレシ

ープする第2のデータ端子と、前記複数の第3クロックバスの1つに接続された出力端子とを有することを特徴とする請求項44に記載の書換え可能ゲートアレイ。

【請求項51】

前記位同期ループ回路が、

前記第1のクロックバスに接続された入力端子及び出力端子を有する第1のプログラム可能1/n回路と、

前記第1のプログラム可能1/n回路の前記出力端子に接続された第1の入力端子と、第2の入力端子及び出力端子を有する位相検出器と、

前記位相検出器の前記出力端子に接続された入力端子及び出力端子を有するローパスフィルタと、

前記ローパスフィルタの前記出力端子に接続された入力端子及び出力端子を有する電圧制御発振器と、

前記電圧制御発振器の前記出力端子に接続された入力端子と、前記第1のクロックバスと平行で前記第2の第1クロックバスと接続された出力端子とを有する第2のプログラム可能1/n回路と、

前記第4のクロックバスの前記1つに接続されたフィードバック端子及び前記位相検出器の前記第2の入力端子に接続された出力端子とを有する第3のプログラム可能1/n回路とを有することを特徴とする請求項50に記載の書換え可能ゲートアレイ。

【請求項52】

第1のプログラム可能1/n回路が、

第1のデータ端子、第2のデータ端子、第3のデータ端子、及び前記位相検出器の前記第1の入力端子に接続された出力端子とを有するマルチプレクサであって、前記第1のデータ端子が前記第1のクロックバスと接続されているマルチプレクサと、

1/2回路あって、前記第2のデータ端子が前記1/2回路を介して前記第1のクロックバスへと接続されている回路と、

1/4回路であって、前記第3のデータ端子が前記1/4回路を介して前記第1のクロックバスへと接続されている回路とを有する請求項51に記載の書換え可能ゲートアレイ。

【請求項53】

前記第3のプログラム可能1/n回路であって、

第1のデータ端子、第2のデータ端子、第3のデータ端子、及び前記位相検出器の前記第2の入力端子へと接続された出力端子を有する第2のマルチプレクサであって、前記第1のデータ端子が前記第4のクロックバスの1つに接続されている第2のマルチプレクサと、

第2の1/2回路であって、前記第2のデータ端子が前記第2の1/2回路を介して前記第4のクロックバスの前記1つへと接続される第2の1/2回路と、

第2の1/4回路であって、前記第3のデータ端子が前記1/4回路を介して前記第4のクロックバスの前記1つに接続される第2の1/4回路とを有することを特徴とする請求項52に記載の書換え可能ゲートアレイ。

【請求項54】

前記第2のプログラム可能な1/4回路が、

第1のデータ端子、第2のデータ端子、及び前記第1のクロックバスと平行な前記第2の第1クロックバスに接続された出力端子を有するマルチプレクサであって、前記第1のゲート端子が前記電圧制御発振器の前記出力端子に接続されるマルチプレクサと、

1/2回路であって、前記第2のデータ端子が前記1/2回路を介して前記電圧制御発振器に接続される区分とを有することを特徴とする請求項51に記載の書換え可能ゲートアレイ。

【請求項55】

前記クロックパッドが専用クロックパッドであり、前記クロックネットワークが各1/4区分に対する専用のクロック信号を提供することを特徴とする請求項44に記載の書換え可能ゲートアレイ。

【請求項 56】

書換え可能ゲートアレイであって、

ロジックセルのアレイと、

前記ロジックセルにプログラム可能に接続されたクロックネットワークであって、選択されたロジックセルにクロック信号を提供するクロックネットワークと、

前記クロックネットワークに接続された位相同期ループ回路とを有し、前記位相同期ループ回路は、

前記クロック信号を受信し、前記クロックネットワークに接続された入力端子及び出力端子を有する第1のプログラム可能な1/n回路と、

前記第1のプログラム可能な1/n回路の前記出力端子に接続された第1の入力端子と、第2の入力端子及び出力端子を有する位相検出器と、

前記位相検出器の前記出力端子に接続された入力端子及び出力端子を有するローパスフィルタと、

前記ローパスフィルタの前記出力端子に接続された入力端子及び出力端子を有する電圧制御発振器と、

前記電圧制御発振器の前記出力端子に接続された入力端子と、前記クロックネットワークに接続された出力端子とを有する第2のプログラム可能な1/n回路と、

前記クロックネットワークに接続されたフィードバック端子及び前記位相検出器の前記第2の入力端子に接続された出力端子とを有する第3のプログラム可能な1/n回路とを有することを特徴とする書換え可能ゲートアレイ。

【請求項 57】

前記第1のプログラム可能な1/n回路が、

第1のデータ端子、第2のデータ端子、第3のデータ端子、及び前記位相検出器の前記第1の入力端子に接続された出力端子とを有するマルチプレクサであって、前記第1のデータ端子が前記クロックネットワークと接続されているマルチプレクサと、

1/2回路であって、前記第2のデータ端子が前記1/2回路を介して前記クロックネットワークへ接続されている区分と、

1/4回路であって、前記第3のデータ端子が前記1/4回路を介して前記クロックネットワークへ接続されている区分とを有する請求項56に記載の書換え可能ゲートアレイ。

【請求項 58】

前記第3のプログラム可能な1/n回路であって、

第1のデータ端子、第2のデータ端子、第3のデータ端子、及び前記位相検出器の前記第2の入力端子へと接続された出力端子を有する第2のマルチプレクサであって、前記第1のデータ端子が前記クロックネットワークに接続されている第2のマルチプレクサと、

第2の1/2回路であって、前記第2のデータ端子が前記第2の1/2回路を介して前記クロックネットワークへと接続される第2の1/2回路と、

第2の1/4回路であって、前記第3のデータ端子が前記1/4回路を介して前記クロックネットワークへと接続される第2の1/4回路とを有することを特徴とする請求項56に記載の書換え可能ゲートアレイ。

【請求項 59】

前記第2のプログラム可能な1/n回路が、

第1のデータ端子、第2のデータ端子、及び前記第2のクロックネットワークに接続された出力端子を有するマルチプレクサであって、前記第1のゲート端子が前記電圧制御発振器の前記出力端子に接続されるマルチプレクサと、

1/2回路であって、前記第2のデータ端子が前記1/2回路を介して前記電圧制御発振器に接続される区分とを有することを特徴とする請求項56に記載の書換え可能ゲートアレイ。

【請求項 60】

書換え可能ゲートアレイであって、

ロジックセルのアレイと、

前記ロジックセルの接続をプログラミングするアンチヒューズを有する配線リソースであって、前記ロジックセルのアレイ及び配線リソースが少なくとも第1のサブセクション及び第2のサブセクションに分割される配線リソースと、各サブセクションに接続された複数の水平プログラミングセルであって、水平プログラミングセルの第1のセットが前記第1のサブセクションに接続され、水平プログラミングセルの第2のセットが前記第2のサブセクションに接続される水平プログラミングセルと、複数の垂直プログラミングセルであって、垂直プログラミングセルの第1のセットが前記第1のサブセクションに接続され、垂直プログラミングセルの第2のセットが前記第2のサブセクションに接続される垂直プログラミングセルと、複数の電源バスであって、電源バスの第1のセットが水平プログラミングセルの前記第1のセットに接続され、電源バスの第2のセットが水平プログラミングセルの前記第2のセットに接続され、電源バスの第3のセットが前記垂直プログラミングセルの第1のセットに接続され、電源バスの第4のセットが前記垂直プログラミングセルの第2のセットに接続される電源バスとを有する書換え可能ゲートアレイ

【請求項61】

水平プログラミングセルの前記第1のセットが、前記第1のサブセクションを概ね二等分し、前記電源バスの前記第1のセットの第1サブセットが第1の方向にアンチヒューズをプログラムするのに用いられ、電源バスの前記第1のセットの第2サブセットが前記第1の方向とは反対向きの第2の方向にアンチヒューズをプログラムするのに用いられ、水平方向プログラミングセルの前記第1のセットが前記第1のサブセクションを概ね二等分し、電源バスの前記第3のセットの第1サブセットが前記第1の方向と直交する第3の方向にアンチヒューズをプログラムするのに用いられ、電源バスの前記第3のセットの第2サブセットは前記第3の方向と反対向きの第4の方向にアンチヒューズをプログラムするのに用いられることを特徴とする請求項60に記載の書換え可能ゲートアレイ。

【請求項62】

8本の電源バスが存在し、また電源バスの第1のセットには4本の電源バスが存在し、電源バスの第2のセットには4本の電源バスが存在し、前記電源バスの第1のセット及び前記電源バスの第2のセットは少なくとも1つの異なった電源バスを有することを特徴とする請求項60に記載の書換え可能ゲートアレイ。

【請求項63】

電源バスの前記第3のセット内には4本の電源バスが存在し、電源バスの前記第4のセット内には4本の電源バスが存在し、電源バスの前記第3のセット及び第4のセットは少なくとも3つの異なる電源バスを有することを特徴とする請求項62に記載の書換え可能ゲートアレイ。

【請求項64】

電源バスの前記第1のセット及び第3のセットが少なくとも1つの異なった電源バスを有し、また電源バスの前記第2のセット及び第4のセットが少なくとも1つの異なった電源バスを有することを特徴とする請求項63に記載の書換え可能ゲートアレイ。

【請求項65】

更に、ロジックセルの前記アレイ及び配線リソースの第3のサブセクション及び第4のサブセクションと、前記第3のサブセクションに接続された水平方向プログラミングセルの第3のセット、及び前記第4のサブセクションに接続された水平方向プログラミングセルの第4のセットと、前記第3のサブセクションに接続された水平方向プログラミングセルの第3のセット、及び前記第4のサブセクションに接続された水平方向プログラミングセルの第4のセットと、水平方向プログラミングセルの前記第3のセットに接続された電源バスの第5のセットと、水平方向プログラミングセルの前記第4のセットに接続された電源バスの第6のセット

と、垂直プログラミングセルの前記第 3 のセットに接続された電源バスの第 7 のセットと、垂直プログラミングセルの前記第 4 のセットに接続された電源バスの第 8 のセットとを有する請求項 6 2 に記載の書換え可能ゲートアレイ。

【請求項 6 6】

水平方向プログラミングセル及び垂直方向プログラミングセルの各々のセットが、ロジックセル及び配線リソースのサブセクションを概ね二等分することを特徴とする請求項 6 5 に記載の書換え可能ゲートアレイ。

【請求項 6 7】

書換え可能ゲートアレイであって、

1 / 4 区分に分割されたロジックセルのアレイと、

各 1 / 4 区分に接続され、また二等分する水平方向プログラミングセルのセットと、

各 1 / 4 区分に接続され、また二等分する垂直プログラミングセルのセットであって、一対の水平プログラミングセル及び垂直プログラミングセルが更に各 1 / 4 区分を 1 / 4 区分を更に 4 分割した区分に分割する垂直プログラミングセルと、

複数の電源バスとを有し、水平プログラミングセルの各セット及び垂直プログラミングセルの各セットが電源バスの異なるセットに接続されることを特徴とする書換え可能ゲートアレイ。

【請求項 6 8】

8 本の電源バスが存在し、水平プログラミングセルの各々のセット及び垂直プログラミングセルの各々のセットが、4 本の電源バスの異なるセットに接続されることを特徴とする請求項 6 7 に記載の書換え可能ゲートアレイ。

【請求項 6 9】

水平プログラミングセルの各々のセットが、少なくとも 1 つの異なる電源バスを有する電源バスの異なるセットに接続されることを特徴とする請求項 6 8 に記載の書換え可能ゲートアレイ。

【請求項 7 0】

垂直プログラミングセルの各々のセットが、少なくとも 1 つの異なる電源バスを有する電源バスの異なるセットに接続されることを特徴とする請求項 6 8 に記載の書換え可能ゲートアレイ。

【請求項 7 1】

水平プログラミングセルの各々のセットが第 1 の方向で電源バスの第 1 のサブセットを提供し、第 1 の方向と逆の第 2 の方向で電源バスの第 2 サブセットを提供することを特徴とする請求項 6 8 に記載の書換え可能ゲートアレイ。

【請求項 7 2】

前記第 1 のサブセットが 2 本の電源バスを有し、前記第 2 のサブセットが異なる 2 本の電源バスを有することを特徴とする請求項 7 1 に記載の書換え可能ゲートアレイ。

【請求項 7 3】

垂直プログラミングセルの各々のセットが前記第 1 の方向と直行する第 3 の方向で電源バスの第 3 サブセットを提供し、前記第 3 の方向とは反対の第 4 の方向で電源バスの第 4 サブセットを提供することを特徴とする請求項 7 1 に記載の書換え可能ゲートアレイ。

【請求項 7 4】

前記第 3 のサブセットが 2 本の電源バスを有し、前記第 4 のサブセットが異なる 2 本の電源バスを有することを特徴とする請求項 7 3 に記載の書換え可能ゲートアレイ。

【請求項 7 5】

プログラム可能デバイスであって、

少なくとも 1 つのアンチヒューズと、

前記アンチヒューズにスイッチング可能に接続された高電圧プログラミング源と、

前記アンチヒューズにスイッチング可能に接続された低電圧プログラミング源と、

前記高電圧プログラミング源と前記アンチヒューズとの間に配置された第 1 の N M O S トランジスタと、

前記高電圧プログラミング源及び前記アンチヒューズの間配置された第1のPMOSトランジスタであって、前記第1のNMOSトランジスタと平行なPMOSトランジスタと、
前記第1のNMOSトランジスタ及び前記第1のPMOSトランジスタに接続された制御回路であって、前記第1のNMOSトランジスタ及び前記第1のPMOSトランジスタを概ね同時にスイッチングし、オン、オフさせる制御回路を有するプログラム可能デバイス。

【請求項76】

更に、
前記高電圧プログラミング源と前記アンチヒューズとの間に配置された第2のNMOSトランジスタと、
前記高電圧プログラミング源及び前記アンチヒューズの間配置された第2のPMOSトランジスタであって、前記第1のNMOSトランジスタと平行なPMOSトランジスタと、
前記第2のNMOSトランジスタ及び前記第2のPMOSトランジスタに接続された制御回路であって、前記第2のNMOSトランジスタ及び前記第2のPMOSトランジスタを概ね同時にスイッチングし、オン、オフさせる制御回路を有することを特徴とする請求項70に記載のプログラム可能デバイス。

【請求項77】

前記制御回路が、前記高電圧プログラミング源によって提供された電圧と概ね等しい、前記第1のNMOSトランジスタにおけるゲート電圧を提供することを特徴とする請求項70に記載のプログラミング可能デバイス。

【請求項78】

更に、前記高電圧プログラミング源及び前記アンチヒューズの間直列に配置された複数のNMOSトランジスタと、各々が対応するNMOSトランジスタと並列関係をなす複数のPMOSトランジスタを含むことを特徴とする請求項70に記載のプログラミング可能デバイス。

【請求項79】

更に、前記低電圧プログラミング源及び前記アンチヒューズの間直列に配置された複数のNMOSトランジスタと、各々が対応するNMOSトランジスタと並列関係をなす複数のPMOSトランジスタを含むことを特徴とする請求項70に記載のプログラミング可能デバイス。

【請求項80】

プログラム可能デバイス内でアンチヒューズをプログラミングする方法であって、
第1のNチャンネルトランジスタを介して、前記アンチヒューズを高電圧プログラミング源へスイッチング可能に接続させる過程と、
前記第1のNチャンネルトランジスタに平行な第1のPチャンネルトランジスタを介して、前記アンチヒューズを前記高電圧プログラミング源へとスイッチング可能に接続する過程と、
第2のNチャンネルトランジスタを介して、前記アンチヒューズを低電圧プログラミング源へとスイッチング可能に接続する過程と、
前記第1のNチャンネルトランジスタと平行な第2のPチャンネルトランジスタを介して、前記アンチヒューズを前記低電圧プログラミング源へとスイッチング可能に接続させる過程とを含む方法。

【請求項81】

更に、
第1の複数のシリアルNチャンネルトランジスタを介して、前記アンチヒューズを前記高電圧プログラミング源へとスイッチング可能に接続させる過程と、
各々が前記第1の複数のシリアルNチャンネルトランジスタと平行な関係にある第1の複数のシリアルPチャンネルトランジスタを介して、前記アンチヒューズを前記高電圧プログラ

ミング源へとスイッチング可能に接続させる過程と、
第2の複数のシリアルNチャンネルトランジスタを介して、前記アンチヒューズを前記低電圧プログラミング源へとスイッチング可能に接続させる過程と、
各々が前記第2の複数のシリアルNチャンネルトランジスタと平行な関係にある第2の複数のシリアルPチャンネルトランジスタを介して、前記アンチヒューズを前記低電圧プログラミング源へとスイッチング可能に接続させる過程とを含む請求項80に記載の方法。

【請求項82】

更に、前記第2の複数のシリアルNチャンネルトランジスタと直列をなす第3のNチャンネルトランジスタを介して、前記アンチヒューズを前記低電圧プログラミング源へとスイッチング可能に接続させる過程を含む請求項80に記載の方法。

【請求項83】

前記第1の複数のシリアルNチャンネルトランジスタ内に3つのNチャンネルトランジスタが存在し、前記第1の複数のシリアルPチャンネルトランジスタ内に3つのPチャンネルトランジスタが存在し、前記第2の複数のシリアルNチャンネルトランジスタ内に2つのNチャンネルトランジスタが存在し、また前記第2の複数のシリアルPチャンネルトランジスタ内に2つのPチャンネルトランジスタが存在することを特徴とする請求項82に記載の方法。

【請求項84】

プログラム可能デバイスであって、
ロジックセルのアレイと、
前記ロジックセルに接続されたプログラム可能相互接続構造と、
I/O回路と、
少なくとも1つのI/O制御パッドと、
前記少なくとも1つのI/O制御パッドに接続された第1のデータ端子と前記プログラム可能相互接続構造に接続された第2のデータ端子と、前記I/O回路及び前記プログラム可能相互接続構造に接続されたアウトプット端子とを有するマルチプレクサを含むプログラム可能デバイス。

【請求項85】

前記I/O回路が、
I/Oパッドと、
前記I/Oパッドと接続されたインプット端子と、前記I/O制御パッドに接続されたイネーブル端子と、前記プログラム可能相互接続構造に接続されたアウトプット端子とを有する入力レジスタと、
前記プログラム可能相互接続構造に接続された入力端子と、前記I/Oパッドに接続されたアウトプット端子とを有する出力レジスタと、
前記出力レジスタの前記出力端子と前記I/Oパッドとの間に配置されたバッファであって、前記出力レジスタの前記出力端子に接続された入力端子と前記I/Oパッドに接続された出力端子と、イネーブル端子とを有するバッファと、
前記プログラム可能相互接続構造に接続された入力端子と、前記I/O制御パッドに接続されたイネーブル端子と、前記バッファの前記イネーブル端子に接続された出力端子とを有する出力イネーブルレジスタとを含むことを特徴とする請求項84に記載のプログラム可能デバイス。