



Patent dodatkowy
do patentu _____

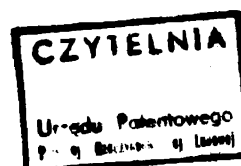
Zgłoszono: 05.07.77 (P. 199383)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 29.01.79

Opis patentowy opublikowano: 15.07.1982

Int. Cl.² G01R 23/20



Twórcy wynalazku: Zbigniew Zieliński, Marek Gonera, Janusz Włodarczyk, Iwar Janowicz Bilinskij, Arnold K. Mikelson, Andrej A. Skageris

Uprawniony z patentu: Przemysłowy Instytut Elektroniki przy Naukowo-Produkcyjnym Centrum Półprzewodników, Warszawa (Polska)

Cyfrowy stochastyczny miernik współczynnika zniekształceń nieliniowych

1

Dziedzina techniki. Przedmiotem wynalazku jest cyfrowy stochastyczny miernik współczynnika zniekształceń nieliniowych przeznaczony do pomiaru współczynnika zniekształceń nieliniowych wzmacniaczy, czwórników i filtrów.

Miernik może znaleźć zastosowanie w badaniach przyrządów radioelektrycznych.

Stan techniki. Znany jest analogowy miernik współczynnika zniekształceń nieliniowych z opisu patentowego ZSRR nr 464855, który składa się ze wzmacniacza szerokopasmowego, połączonego z aktywnymi filtrami nastrojonymi na częstotliwość pierwszej harmonicznej badanego sygnału, z układu porównania napięć, ze wzmacniacza prądu stałegoysterowującego woltomierz oraz ze źródła napięcia odniesienia.

Znany jest układ do pomiaru zniekształceń nieliniowych z polskiego opisu patentowego nr 97644, w którym wyjście detektora sygnału wejściowego jest połączone z drugim wejściem cyfrowego miernika stosunku napięć, przy czym pierwsze jego wejście jest połączone z wyjściem detektora wartości skutecznej harmonicznych, z kolei zaś wejście detektora jest połączone z wyjściem dodatkowego dzielnika, zaś jego wejście jest połączone z wyjściem wzmacniacza o regulowanym wzmocnieniu połączonym z wyjściem selektywnego członu, podczas gdy miernik skokowo steruje wzmocnieniem wzmacniacza i określa tłumienie dodatkowego dzielnika.

2

Znany jest również cyfrowy miernik współczynnika zniekształceń nieliniowych z opisu patentowego ZSRR nr 470759 zawierający dodatkowy obwód elektryczny składający się z szeregowo połączonych, dzielnika kodów liczbowych, bloku porównania i drugiego układu przeniesienia połączonego z sumatorem i głównym układem przeniesienia oraz z punktem połączenia obejmującym drugi układ kluczowania, przetwornik A/C i trzecie wejście głównego układu przeniesienia, przy czym dzielnik kodów liczbowych włączony jest między sumatorem i pierwszym układem kluczowania a blok porównania między drugim wejściem dzielnika i pierwszego układu kluczowania, a także wyjściem układu mnożenia kodów liczbowych.

Te znane mierniki cyfrowe posiadają niedogodności polegające po pierwsze, na ograniczonej szybkości działania, szczególnie przy niskich częstotliwościach sygnału pomiarowego uwarunkowanej tym, że w każdym okresie sygnału pomiarowego określana jest wartość tego sygnału tylko w jednym punkcie, a po drugie, na złożoności aparaturowej wywołanej istnieniem wielobitowych cyfrowych układów mnożących, po trzecie, na dodatkowym błędzie wynikającym z możliwej nieodpowiedniości faktycznego wzorcowego sygnału badanego względem wartości cyfrowych, założonych a priori w układzie zadawania wartości sinusoidalnych i kosinusoidalnych.

W układzie miernika według wynalazku wejście

pierwsze przetwornika analogowo-cyfrowego oraz wejście powielacza częstotliwości i wejście bloku sterowania połączone są z wejściem sinusoidalnego sygnału wymuszającego.

Wyjście powielacza częstotliwości połączone jest z pierwszym wejściem generatora impulsów strobuujących. Wyjście bloku sterowania połączone jest z wejściem drugim generatora impulsów strobuujących, wejściem drugim przetwornika analogowo-cyfrowego, wejściem pamięci stałej, pierwszym układem zgodności i wejściem pierwszym bloku obliczeń. Wyjście generatora impulsów strobuujących połączone jest z wejściem drugim układu zgodności, z wejściami pierwszymi dwóch rejestrów przesuwających, z wejściem trzecim przetwornika analogowo-cyfrowego i z wejściem generatora liczb pseudolosowych.

Wyjście układu zgodności połączone jest z wejściami pierwszymi dwóch dyskryminatorów, których wejścia drugie przez wzmacniacz i filtr częściowego wytłumienia pierwszej harmonicznej połączone są z wejściem sygnału mierzonego, wejście trzecie pierwszego dyskryminatora połączone jest z wyjściem przetwornika cyfrowo-analogowego i przez rezystor wzorcowy z wejściem trzecim drugiego dyskryminatora i z wyjściem generatora prądu, wyjścia obu dyskryminatorów połączone są bezpośrednio z pierwszymi i drugim wejściami dwóch sumatorów, pierwszego i drugiego i przez dwa rejestry przesuwające z pierwszym i drugim wejściem trzeciego sumatora. Wyjście generatora liczb pseudolosowych połączone jest z wejściem przetwornika cyfrowo-analogowego i z trzecim wejściem pierwszego sumatora, którego wyjście połączone jest z wejściem drugim bloku obliczeń. Wyjście przetwornika analogowo-cyfrowego połączone jest z wejściami trzecimi sumatorów, drugiego i trzeciego, do których wejść czwartych przyłączone są odpowiednio wyjścia pamięci stałej.

Wyjścia sumatorów, drugiego i trzeciego przez dwa kwadratory połączone są z wejściami sumatora czwartego, którego wyjście przyłączone jest do wejścia trzeciego bloku obliczeń.

W odniesieniu do znanego stanu techniki zastosowanie w mierniku według wynalazku kwantowania stochastycznego pozwoliło na wyeliminowanie wielobitowych układów mnożących liczb binarnych. W każdym okresie zachodzi wielokrotne określanie estymatora sygnału pomiarowego.

Cyfrowe wartości funkcji sinus i cosinus, konieczne do dyskretnego przekształcenia Fouriera, określane są w wyniku przetwarzania analogowo-cyfrowego sygnału wymuszającego w sposób ciągły. Wyniki modelowania za pomocą maszyny cyfrowej i obliczania błędu metody przedstawionego miernika wskazują, że dzięki wprowadzonym w nim nowym układom i sprzężeniom ma on znacznie większą szybkość działania, mniejszy błąd pomiaru i szersze pasmo częstotliwości sygnału mierzonego w porównaniu z rozwiązaniami znanymi dotychczas.

Przykład wykonania wynalazku. Przedmiot wynalazku jest przedstawiony w przykładzie wykonania, przedstawionym na rysunku w układzie blokowym.

Cyfrowy stochastyczny miernik współczynnika zniekształceń nieliniowych składa się z powielacza częstotliwości 1, bloku sterowania 2 i przetwornika analogowo-cyfrowego 3, których wejścia połączone są z wejściem wymuszającego sygnału sinusoidalnego $x(t)$. Wejście I generatora impulsów strobuujących 4 jest połączone z wyjściem powielacza częstotliwości 1, a wejście II z wyjściem bloku sterowania 2 oraz z wejściem II przetwornika analogowo-cyfrowego 3 i z wejściem pamięci stałej 5, oraz z wejściem I układu zgodności 6 i z wejściem I bloku obliczeń 7.

Wyjście generatora impulsów strobuujących 4 połączone jest z wejściem II układu zgodności 6, z wejściem III przetwornika analogowo-cyfrowego 3, z wejściami I rejestrów przesuwających 8 i 9, i z wejściem generatora liczb pseudolosowych 10.

Wyjście układu zgodności 6 połączone jest z wejściami I dyskryminatorów 11 i 12, których wejścia II poprzez wzmacniacz 13 i filtr częściowego wytłumienia pierwszej harmonicznej 14 połączone są z wejściem sygnału mierzonego $y(t)$.

Wejście III dyskryminatora 12 połączone jest z wyjściem przetwornika cyfrowo-analogowego 15 i przez rezystor 16 z wejściem III dyskryminatora 11 i z wyjściem generatora prądu 17.

Wyjścia dyskryminatorów 11 i 12 połączone są bezpośrednio z wejściami I i II sumatorów 18 i 19, a przez rejestry przesuwające 8 i 9 z wejściami I i II sumatora 20.

Wyjście generatora liczb pseudolosowych 10 połączone jest z wejściem przetwornika cyfrowo-analogowego 15 i z wejściem III sumatora 18, którego wyjście przyłączone jest do wejścia II bloku obliczeń 7.

Wyjście przetwornika analogowo-cyfrowego 3 jest połączone z III wejściami sumatorów 19 i 20 a do IV wejść tych sumatorów przyłączone są I i II wyjścia pamięci stałej 5.

Wyjścia sumatorów 19 i 20 są połączone przez kwadratory 21 i 22 z wejściami sumatora 23, którego wyjście połączone jest z III wejściem bloku obliczeń 7.

Przedstawiony miernik działa w następujący sposób. Estymator $\hat{K}_H$ współczynnika zniekształceń nieliniowych sygnału mierzonego $y(t)$ określany jest zgodnie z wzorem

$$\hat{K}_H = \frac{1}{\alpha} \sqrt{\frac{\hat{P}_a - \hat{P}_{a_1}}{\hat{P}_{a_1}}}$$

gdzie: $\hat{P}_a$ i $\hat{P}_{a_1}$ — odpowiednie estymatory średniej mocy przetworzonego sygnału mierzonego $y(t)$ i średniej mocy pierwszej harmonicznej tego sygnału, α — współczynnik wytłumienia pierwszej harmonicznej w filtrze 14 i równoważny mu współczynnik wzmocnienia wzmacniacza 13.

Wymuszający sygnał sinusoidalny $x(t)$ o częstotliwości f_x wchodzi na wejście powielacza częstotliwości 1, na wyjściu którego pojawia się ciąg impulsów o częstotliwości nf_x , gdzie n — żądana liczba próbek w każdym okresie sygnału mierzonego $y(t)$ mającego częstotliwości $f_y = f_x$. Ten strumień impulsów wchodzi na wejście I generatora impulsów strobuujących 4 i synchronizuje jego pracę.

Sygnał $x(t)$ wchodzi także na wejście bloku sterowania 2, który generuje impulsy w momentach przechodzenia sygnału $x(t)$ przez zero, określa początek i koniec pomiaru drogą zliczania liczby próbek i określa kolejność pracy przetwornika analogowo-cyfrowego 3, generatora impulsów strobuujących 4, pamięci stałej 5, układu zgodności 6 i bloku obliczeń 7. W stanie wyjściowym generator impulsów strobuujących 4 jest zablokowany, wszystkie sumatory i rejestry są wolne.

Proces pomiaru zaczyna się w momencie zmiany polaryzacji sygnału wymuszającego z ujemnej na dodatnią, przy czym blok sterowania 2 inicjuje działanie przetwornika analogowo-cyfrowego 3, generatora impulsów strobuujących 4 i układu zgodności 6, daje rozkaz do pamięci stałej 5 wydzielania poprawek γ_1 i γ_2 odpowiednio dla sumatorów 19 i 20 i wstrzymuje działanie bloku obliczeń 7. W tym momencie impuls strobuujący z wyjścia generatora impulsów strobuujących 4 przez układ zgodności 6 przechodzi na wejścia dyskryminator-sygnału mierzonego $y(t) = y_1$, którego wyższe harmoniki 11 i 12, które dokonują porównania wielkości sygnału mierzonego $y(t) = y_1$, którego wyższe harmoniczne wzmocnione są a razy w układach 14 i 13 z sygnałami pomocniczymi odpowiednio $U_0(+) = q\xi_1$ i $U_0(-) = q(\xi_1^{-1})$ występującymi na wejściach III dyskryminatorów, przy czym sygnał $U_0(-)$ tworzy się bezpośrednio na wyjściu przetwornika cyfrowo-analogowego 15, a sygnał $U_0(+)$ tworzony jest z sygnału $U_0(-)$ drogą dodania spadku napięcia o wielkości q na rezystorze wzorcowym 16, zgodnie z wzorem

$$q = R \cdot I_{GP}$$

gdzie, I_{GP} — prąd wytwarzany w generatorze prądu 17. Wyjściowy sygnał przetwornika cyfrowo-analogowego 15 jest jednoznacznie przyporządkowany liczbie pseudolosowej ξ_1 , podawanej z wyjścia generatora liczb pseudolosowych 10.

Sygnały wyjściowe dyskryminatorów 11 i 12 podawane są na wejścia I i II sumatorów 18 i 19 i poprzez wejścia II zapisywane są w pierwszych komórkach rejestrów 8 i 9 mających długość m komórek każdy. Równocześnie impuls strobuujący z wyjścia generatora impulsów strobuujących 4 pobiera próbkę sygnału wymuszającego $x(t) = x_1$ do przetwornika analogowo-cyfrowego 3 i przesuwa o jeden krok stan rejestrów przesuujących 8 i 9, z wyjścia przetwornika analogowo-cyfrowego 3 na wejścia III sumatorów 19 i 20 przechodzi estymator sygnału wymuszającego $\hat{x}_1$. Sumatory 19 i 20 są algebraicznymi sumatorami akumulującymi i uśredniającymi, przy czym znak każdego przyrostu sumy określany jest łącznie przez znak estymatora $\hat{x}_k$ i wartości sygnałów wyjściowych dyskryminatorów 11 i 12.

Początkowo pracuje tylko sumator 19, ponieważ na wejścia I i II sumatora 20 z wyjść rejestrów 8 i 9 wychodzą sygnały zerowe i sumator 20 przyjmuje tylko wartość poprawki γ_2 . Sumator 19 realizuje sumowanie poprawki γ_1 , podawanej z wyjścia I pamięci stałej 5 i pierwszego estymatora sygnału wymuszającego $\hat{x}_1$.

Uzyskana suma przez kwadrator 21 podawana jest na wejście I sumatora 23, przy czym z wyjścia

sumatora 20 przez kwadrator 22 na wejście II sumatora 23 podawany jest tylko sygnał odpowiadający wartości poprawki γ_2 , z wyjścia tego sumatora na wejście III bloku obliczeń 7 podawany jest

5 pierwszy estymator pośredni $\hat{Pa}_1$.

Równocześnie z wyjścia sumatora 18 na wejście II bloku obliczeń 7 podawany jest pierwszy estymator pośredni $\hat{Pa}$, jednak działanie tego bloku jest wstrzymane i nie przyjmuje on sygnałów podawanych na wejścia II i III. W dalszym ciągu impuls z wyjścia generatora liczb pseudolosowych 4 przenosi do nowego stanu generator liczb pseudolosowych 10 i nowa liczba pseudolosowa na jego wyjściu tworzy na wyjściu przetwornika cyfrowo-analogowego 15 nową wartość pomocniczego sygnału $U_0(-)$ i przez rezystor 16 — nową wartość sygnału $U_0(+)$.

Następny impuls z wyjścia generatora impulsów strobuujących 4 inicjuje pobranie nowej próbki sygnału $x(t)$ i porównanie sygnału $y(t)$ z sygnałami $U_0(+)$ i $U_0(-)$ i proces powtarza się. W taki sposób urządzenie działa w ciągu pierwszych m taktów generatora impulsów strobuujących 4.

Poczynając od $m+1$ taktu pojawiają się sygnały na wyjściach rejestrów przesuujących 8 i 9 i zaczyna działać także sumator 20. Taki rodzaj pracy trwa do momentu osiągnięcia ogólnej liczby N taktów łącznie. Po takcie N -tym blok sterowania wstrzymuje działanie układu zgodności 6 i w $N+1$ i w następnych taktach dyskryminatory 11 i 12 nie działają i sumator 19 nie realizuje nowych przyrostów sumy, a na jego wyjściu zachowane są sygnały, odpowiadające sumie zgromadzonej do taktu $N+1$, przy czym, sumator 20 kontynuuje gromadzenie sumy jeszcze w ciągu m taktów, do osiągnięcia ogólnej liczby taktów $N+m$ łącznie.

W następstwie wymienionych operacji, w sumatorach 19, 20 i 23 w pełni zgromadzony jest estymator $\hat{Pa}_1$ a w sumatorze 18 estymator $\hat{Pa}$, rejestry 8 i 9 są wolne, blok sterowania 2 odblokowuje działanie bloku obliczeń 7, z wyjścia którego uzyskiwany jest cyfrowy kod estymatora współczynnika zniekształceń nieliniowych $\hat{K}_H$.

Na tym proces pomiaru kończy się.

Zastrzeżenie patentowe

Cyfrowy stochastyczny miernik współczynnika zniekształceń nieliniowych składający się z przetwornika analogowo-cyfrowego, dwóch kwadratorów, sumatora, powielacza częstotliwości, bloku obliczeń, bloku sterowania, filtru do wyłuskania pierwszej harmonicznej i wzmacniacza, **znamienny tym**, że wejście powielacza częstotliwości (1) i wejście bloku sterowania (2) oraz pierwsze wejście przetwornika (3) analogowo-cyfrowego połączone są z wejściem sinusoidalnego sygnału $x(t)$ wymuszającego a wyjście powielacza częstotliwości połączone jest z pierwszym wejściem generatora (4) impulsów strobuujących, wyjście bloku sterowania (2) połączone jest z drugim wejściem generatora i drugim wejściem przetwornika analogowo-cyfrowego, wejściem pamięci stałej (5) oraz wejściem pierwszym układu zgodności (6) i wejściem pierwszym bloku obliczeń (7), wyjście generatora

impulsów strobujących połączone jest z drugim wejściem układu zgodności (6) i z pierwszymi wejściami dwóch rejestrów (8 i 9) i wejściem generatora (10) liczb pseudolosowych, a wejście układu zgodności (6) połączone jest z pierwszymi wejściami dwóch dyskryminatorów (11 i 12), których wejścia drugie przez wzmacniacz (13) i filtr (14) pierwszej harmonicznej połączone są z wejściem sygnału mierzzonego, wejście trzecie pierwszego dyskryminatora połączone jest z wyjściem przetwornika (15) cyfrowo-analogowego i przez rezystor (16) z wejściem trzecim drugiego dyskryminatora i z wyjściem generatora prądu, gdzie wyjścia obu dyskryminatorów połączone są bezpośrednio i z pierwszymi i drugimi wejściami dwóch sumatorów (18 i 19) 15

pierwszego i drugiego oraz przez dwa rejestry przesuwające (8 i 9) z pierwszym i drugim wejściem trzeciego sumatora (20), wyjście generatora (10) liczb pseudolosowych połączone jest z wejściem przetwornika (15) cyfrowo-analogowego i wejściem trzecim pierwszego sumatora, którego wyjście połączone jest z wejściem drugiego bloku obliczeń (7), gdzie wyjście przetwornika (3) analogowo-cyfrowego połączone jest z wejściami trzecimi sumatorów (19 i 20), do których wejść czwartych przyłączone są wyjścia pamięci stałej (5), wyjścia sumatorów (19 i 20) przez kwadratory (21, 22) połączone są z wejściami sumatora (23), którego wyjście przyłączone jest do wejścia trzeciego bloku obliczeń.

