

725258

申請日期	85 年 4 月 12 日
案 號	85104389
類 別	G06F 1/26

A4
C4
公告本

(以上各欄由本局填註)

313639

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路裝置及微電腦
	英 文	
二、發明 人	姓 名	(1) 水野弘之 (2) 長野隆洋 (3) 中込儀延
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都國分寺市西恋ヶ窪三-八-一一-八七
	住、居所	(2) 日本國東京都東村山市美住町一一-五-三一-三〇五 (3) 日本國東京都羽村市川崎四-二-一一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井 務

裝

訂

線

313639

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , ☐有 ☐無主張優先權
日本 1995 年 3 月 29 日 7-071136 ☒無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明之背景〕

本發明係關於半導體積體電路，特別是關於適於高速、低電壓動作之半導體積體電路裝置及微電腦，及其所使用之微電腦系統。

使MOS電晶體於1V左右之低電源電壓動作時，為提昇驅動能力俾提高電路之動作速度，需將MOS電晶體之臨界值設定為較低。但是，如1993 Symposium on VLSI Circuits Digest of Technical Papers, pp.45-46 (May 1993)所記載般，若將臨界值設成太低，則因MOS電晶體之次臨界(subthreshold)特性(拖尾特性)，電晶體變為無法完全處於OFF狀態，如此將產生次臨界漏電流，消費電力將增大，此為問題。

另外，如1994 Symposium on VLSI Circuits Digest of Technical Papers, pp.13-14 (June 1994)所記載般，隨著MOS電晶體之微細化，因製程變動所引起之臨界值等之MOS電晶體之基本參數之變動亦變大。

圖15所示為相對於MOS電晶體之閘極長 L_g 之臨界值之變化。閘極長 L_g 越短，則閘極長之加工尺寸變動所引起之臨界值之變動亦變大。

假設為使次臨界漏電流限制在某定值以下時之臨界值之下限為0.2V，上述製程變動引起之臨界值變動為 $\pm 0.15V$ ，則臨界值之實際上之下限為0.2V及0.15V之和之0.35V。

如上述般，習知積體電路無法將臨界值設定為太低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

尤其是在低電源電壓時，為使MOS電晶體在未完全飽和區域動作，MOS電晶體電路之動作速度會因臨界值之微小變高而急速變慢，換句話說，採用習知之設計手法將難予獲得所要之性能。

〔發明之概要〕

本發明之目的係為解決上述習知電路之問題點。

亦即，本發明之目的在於提供一種MOS電晶體所構成之半導體積體電路裝置，即適於調和次臨界漏電流所引起之消費電力之增加與MOS電晶體之動作速度的半導體積體電路裝置。

又，為調和上述消費電力及動作速度，提供一種適合臨界值電壓之控制的半導體積體電路裝置。

又，提供一種可利用外部時鐘之頻率簡單控制上述臨界值電壓的半導體積體電路裝置。

又，提供一種，當半導體積體電路裝置在多數個動作頻率下動作時，能實現對應於該動作頻率之臨界值之控制的半導體積體電路裝置。

又，提供一種，即使MOS電晶體之臨界值有變動時，亦可進行最適合各個電晶體之臨界值之控制的半導體積體電路裝置。

又，提供一種，使用上述半導體積體電路裝置，最適合消費電力及動作速度之調和控制的微處理器及使用該微處理器的微處理器系統。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

依本發明，為解決上述問題，設有構成主電路之MOS電晶體及與其對應之一種延遲特性檢測用MOS電晶體，構成該主電路之MOS電晶體及延遲特性檢測用MOS電晶體被配置於對應之基板偏壓下。延遲特性檢測用MOS電晶體之電路之動作速度（即延遲特性），係根據該延遲特性檢測用MOS電晶體所得訊號與時鐘訊號或者被視為時序訊號般之延遲特性基準之特定之基準訊號之間之對比來檢測出。根據該檢測結果來控制基板偏壓位準。基板偏壓位準控制被視為利用延遲特性檢測用MOS電晶體與基準訊號的一種監視控制。藉由基板偏壓位準之控制，構成主電路之MOS電晶體即可被控制於所要之臨界值。

延遲特性基準與實際電路所得之延遲特性之間之差異可由，延遲特性檢測用MOS電晶體所得之訊號與基準訊號之間之時序差乃至於相位差而算出。

但是，較佳之例子為，延遲特性檢測用MOS電晶體構成振盪電路俾決定振盪電路之頻率。此種情況下，延遲特性係根據取樣振盪訊號般之連續之訊號形態的頻率資訊而被檢測出。

依本發明之代表性實施例，為達成上述目的，在主電路之邏輯電路上，連接有將主電路之基板偏壓及基板偏壓共用的基板偏壓依存型振盪電路，及藉由動作模式使振盪頻率變化的動作模式依存型振盪電路；使用該2種振盪電路之振盪輸出，藉由基板偏壓控制電路進行比較控制俾使

五、發明說明(4)

兩振盪輸出同步，據以控制主電路之基板偏壓。

又，本發明之代表性實施例之半導體積體電路裝置，其特徵係具有：進行特定處理的邏輯電路；控制構成該邏輯電路之電晶體之臨界值的控制電路；及振盪輸出頻率為可變之振盪電路；上述邏輯電路係構成含有形成於半導體基體的M I S電晶體，上述振盪電路之振盪輸出被供至上述控制電路，上述控制電路被供給有具特定頻率之基準時鐘，上述控制電路輸出第1控制訊號俾控制使上述振盪電路之振盪輸出之頻率成為對應上述基準時鐘之頻率之值，形成上述邏輯電路之M I S電晶體之臨界值電壓係藉由上述第1控制訊號所對應之第2控制訊號來控制。

又，本發明之代表性實施例之半導體積體電路裝置，其特徵在於具有：

包含有形成在半導體基體上之M I S電晶體的邏輯電路；

用以控制構成上述邏輯電路之M I S電晶體之臨界值的控制電路；及

包含有形成於上述半導體基體上之M I S電晶體，且構成為振盪輸出之頻率為可變的振盪電路；

上述控制電路被供給有具特定頻率之時鐘訊號及上述振盪電路之振盪輸出；

上述控制電路用以比較上述振盪輸出之頻率及時鐘訊號之頻率並產生第1控制訊號；

上述振盪電路則介由上述第1控制訊號被控制成上述

五、發明說明(5)

振盪輸出之頻率對應於上述時鐘訊號之頻率；

上述振盪輸出之頻率之控制，係藉由上述第1控制訊號，來進行上述振盪電路之臨界值電壓之控制；

藉由上述第1控制訊號所對應之第2控制訊號來控制形成上述邏輯電路之MIS電晶體之臨界值電壓。

又，本發明之代表性實施例之半導體積體電路裝置，其特徵在於具備有：

包含P通道型MIS電晶體及N通道型MIS電晶體而形成的邏輯電路；

包含P通道型MIS電晶體及N通道型MIS電晶體而形成的振盪頻率可變之第1振盪頻率；

用以產生控制訊號俾控制上述P通道型MIS電晶體及上述N通道型MIS電晶體之臨界值電壓的控制電路；及

依不同之動作模式而輸出頻率為不同之多數基準時鐘訊號的第2振盪電路；而且

上述控制電路係輸入上述基準時鐘信號，並藉上述控制訊號將上述第1振盪電路之振盪頻率及基準時鐘信號之頻率控制成對應者。

又，本發明代表性之實施例之半導體積體電路裝置，其特徵在於具有：

至少具備第1及第2電路方塊的邏輯電路；

使振盪頻率為可變的第1及第2振盪電路；

用以控制構成上述第1電路方塊及第1振盪電路之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

M I S 電晶體之臨界值電壓的第 1 控制電路；

用以控制構成上述第 2 電路方塊及第 2 振盪電路之
M I S 電晶體之臨界值電壓的第 2 控制電路；及

用以供給共用之特定頻率之時鐘訊號於上述第 1 及第
2 控制電路之時鐘訊號供給電路；

上述第 1 控制電路係控制構成上述第 1 電路方塊及第
1 振盪電路之 M I S 電晶體之臨界值電壓俾使上述時鐘訊
號之頻率與上述振盪電路之振盪輸出之頻率一致；

上述第 2 控制電路係控制構成上述第 2 電路方塊及第
2 振盪電路之 M I S 電晶體之臨界值電壓俾使上述時鐘訊
號之頻率與上述振盪電路之振盪輸出之頻率一致者。

再者，本發明代表性實施例之微電腦，其特徵為具有
負載檢測裝置用以檢測上述半導體積體電路裝置內之邏輯
電路之處理量，上述負載檢測裝置係根據上述處理量來變
化上述時鐘訊號之頻率者。

依本發明之代表性實施例，則因設於電路中之基板偏
壓依存型振盪電路係與主電路之邏輯電路之動作模式所決
定之已知頻率同步動作，故可根據動作模式對構成基板偏
壓依存型振盪電路之 M O S 電晶體之臨界值作最適當控制
。再者，因使基板偏壓依存型振盪電路之基板偏壓與主電
路之基板偏壓共通化，故可依動作模式將構成主電路之
M O S 電晶體之臨界值控制成最適。如此，則可將次臨界
漏電流所造成之消費電流增加抑制於最低限。另外，振盪
電路係同步於動作模式所決定之已知頻率，故可以簡單預

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

估主電路之M O S電晶體之延遲時間，使主電路之設計容易。

又，依本發明代表性之實施例，則因可藉特定之基準時鐘來控制電晶體之臨界值，故可以簡單之電路構成控制電晶體之臨界值，實現動作之高速性及消費電力之調和。

又，依本發明代表性之實施例，則因被控制成同步於特定基準時鐘頻率之振盪電路的頻率控制係由臨界值電壓之控制來進行，故可有效控制內部邏輯電路之臨界值電壓。

又，依本發明代表性實施例，則因構成爲內部邏輯電路之臨界值可依動作模式變化，故可依特定之動作模式將邏輯電路作最適當之動作速度控制。

又，依本發明代表性實施例，則因構成爲可將邏輯電路分割成多數區塊進行上述控制，故可進行臨界值電壓之控制用以補償製程所造成之元件變動。

又，依本發明代表性實施例，則可得一微電腦，其可檢測上述邏輯電路之處理量，並依此來控制邏輯電路之動作速度。

以下，參照圖面，詳細說明本發明之實施例。

圖1爲本發明第1實施例。

L O G 0爲邏輯電路等主電路，O S C 0爲頻率可變之頻率可變型振盪電路，C N T 0爲控制電路。

振盪電路O S C 0係用以輸入來自於控制電路

C N T 0之控制訊號B 1，並依該控制訊號B 1之值來變

五、發明說明(8)

化振盪頻率。控制電路 C N T 0 則輸入來自於外部之時鐘訊號 C L K 0 之同時，輸入振盪電路 O S C 0 之振盪輸出 S 0，並形成與該外部時鐘訊號 C L K 0 及振盪輸出 S 0 之頻率差成比例位準之控制訊號 B 0、B 1。控制訊號 B 0 被供至主電路 L O G 0，控制訊號 B 1 則供至振盪電路 O S C 0。此處，頻率可變型振盪電路 O S C 0 及控制用以輸入其輸出 S 0 的控制電路 C N T 0 係構成一負迴授型閉回路系。該閉回路系，由後述說明可理解，構成爲穩定之負迴授型電路系（即，藉頻率可變型振盪電路 O S C 0 之輸出 S 0 產生負迴授）。藉該負迴授型閉回路系，使頻率可變型振盪電路 O S C 0 之振盪輸出 S 0 之頻率，變成對應於外部時鐘 C L K 0 之頻率的頻率，例如，振盪輸出 S 0 之頻率與外部時鐘 C L K 0 之頻率成爲同步之相同頻率。

又，如後述般，因振盪電路 O S C 0 係由形成於半導體基板上之 N 通道型 M O S F E T 及 P 通道型 M O S F E T 所構成，係構成爲來自於控制電路 C N T 0 之控制電壓可變化 M O S F E T 之基板偏壓，藉由基板偏壓之變化，其臨界值電壓亦變化，振盪頻率亦變化。

另外，主電路 L O G 0 則輸入來自於控制電路 C N T 0 之控制訊號 B 0，藉由該控制訊號 B 0 使構成主電路 L O G 0 之 M O S 電晶體之基板偏壓被控制，亦即，該 M O S F E T 之臨界值電壓被控制。利用此種構成，則可藉由外部時鐘 C L K 0 來控制內部電路之主電路之臨界

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (9)

值電壓，亦即，可依外部時鐘之頻率使內部電路之臨界值電壓，引伸為消費電力及動作速度為可變。

亦即，振盪電路 O S C 0 係輸入控制電路 C N T 0 所輸出之控制訊號 B 1 以特定之頻率振盪。因此，當振盪電路 O S C 0 之振盪輸出 S 0 之頻率與外部時鐘 C L K 0 之頻率不對應時，藉由控制訊號 B 1 使振盪輸出 S 0 之頻率被控制成與外部時鐘 C L K 0 之頻率對應。亦即，因構成為該控制訊號 B 1 係藉由使構成振盪電路 O S C 0 之 M O S 電晶體之基板偏壓變化來控制其臨界值，故振盪電路 O S C 0 之 M O S 電晶體係被控制成在外部時鐘 C L K 0 之頻率所對應之振盪頻率下之振盪輸出為可能之動作速度下動作。如此，則構成振盪電路 O S C 0 之 M O S 電晶體之基板偏壓可被控制於外部時鐘 C L K 0 之頻率所對應之值，故若藉由用以控制振盪電路 O S C 0 之基板偏壓的訊號 B 1 所對應之訊號 B 0 來控制主電路 L O G 0 之基板偏壓的話，則可控制構成主電路 L O G 0 之 M O S 電晶體之臨界值電壓使於外部時鐘 C L K 0 之頻率所對應之動作速度下動作。

控制電路 C N T 0，其詳細未圖示，係由用以檢測外部時鐘訊號 C L K 0 及振盪輸出 S 0 間之頻率差的頻率相位檢測電路，及響應於該頻率相位檢測電路之輸出並用以形成作為應加之於主電路 L O G 0 及振盪電路 O S C 0 中之 M O S F E T 之基板閘極之基板偏壓的控制訊號 B 0、B 1 之控制訊號形成電路所構成。上述頻率相位檢測電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

可視為具延遲時間特性檢測功能乃至動作速度檢測功能者，並輸出主電路 LOG 0 及振盪電路 OSC 0 之延遲時間特性乃至動作速度特性作為頻率差資訊。又，本發明中，頻率與相位，其中任何一方之延遲時間特性乃至動作速度特性為對應時，故就大觀點而言，可理解為同質之特性。但是，由以下說明可知，若考慮與頻率控制之同時亦可進行實質之相位控制，則在微觀底下，頻率與相位係可被區別的。

控制訊號 B 0、B 1，若振盪輸出 S 0 之頻率與外部時鐘訊號 CLK 0 之頻率相對應，則設定為特定之基準位準，若振盪輸出 S 0 之頻率大於外部時鐘訊號 CLK 0 之頻率，則變化成使基板偏壓位準加深，反之，若振盪輸出 S 0 之頻率小於外部時鐘訊號 CLK 0 之頻率，則變化成使基板偏壓位準變淺。

如眾所周知般，較深之基板偏壓位準將使輸入該基板偏壓之 MOSFET 之臨界值電壓增大，使其電導減少。當控制訊號供給較深之基板偏壓位準時，相對地構成振盪電路 OSC 0 之 MOSFET 之電導被減少，該振盪電路 OSC 0 中之 MOSFET 及寄生電容量所構成之時間常數增大，結果，振盪頻率減少。亦即，在振盪頻率高時，進行使該振盪頻率降低之控制動作。

反之，較淺之基板偏壓位準，MOSFET 之臨界值電壓將減少，電導將增大，振盪電路 OSC 0 之振盪頻率將增大。亦即，振盪頻率低時，進行使該振盪頻率增大之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

控制動作。如此般，上述臨界值控制被進行。

於圖 1 之實施例中，上述控制訊號形成電路構成及可形成 2 個控制訊號 B 0 及 B 1。故可容易獲得所要之電路構成、信號位準、響應特性等。

亦即，如將上述控制訊號形成電路構成爲一種單元之電路構成，需分別對主電路 LOG 0 及振盪電路 OSC 0 供給作爲足夠位準之基準偏壓的控制訊號時，爲儘可能回避介於主電路 LOG 0 與振盪電路 OSC 0 間相互之基板閘極之不必要之電氣耦合時，可使上述控制訊號形成電路分別由控制訊號 B 0 形成用電路及控制訊號 B 1 形成用電路之 2 個電路構成。此時，將上述頻率相位檢測電路之輸出分別供給至上述 2 個控制訊號形成電路，即可使上述 2 個控制訊號形成電路輸出之控制訊號 B 0 及 B 1 互爲相等之位準。

又，形成控制訊號 B 0 及 B 1 用之 2 個控制訊號形成電路亦可形成互爲不同。

亦即，例如當主電路 LOG 0 具有動作狀態及待機狀態之 2 個狀態時，可不受上述頻率相位檢測電路之檢測位準之影響，而藉由用以指示待機狀態之適當之訊號，將待機狀態時之控制訊號 B 0 強制控制於供給較深之基板偏壓之位準。此時，若控制訊號 B 1 設定成響應於上述頻率相位檢測電路之輸出的話，則振盪電路 OSC 0 將被置於適當之控制之下。如此，則可充分降低主電路 LOG 0 之於待機狀態之動作電流，另外，當從待機狀態回復至動作狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

態時，可使加之於主電路 LOG 0 之控制訊號 B 0 於較早之時序回復至所要之控制位準。

一般而言，獲得較高之振盪頻率時，即可進行高速之動作。此種情況下，取代臨界值電壓絕對值之降低，因次臨界電流所造成之消費電力將增加。反之，在低頻動作時，臨界值電壓之絕對值被設為較高，動作速度降低，消費電力亦變少。若主電路 LOG 0 係以外部時鐘 CLK 0 為基準時鐘動作之邏輯電路時，藉由採用上述構成，則構成該主電路 LOG 0 之 MOS 電晶體之臨界值電壓可被控制成具有對應於外部時鐘 CLK 0 之動作速度。另外，在動作速度較低時，臨界值電壓被控制成使消費電力變小。

以上說明之例中，係藉控制振盪電路 OSC 0 之基板偏壓，來控制振盪輸出 S 0 之頻率。但是並不限於此，若對應於外部時鐘 CLK 0 之頻率使 MOS 電晶體之動作速度可變時，則可採用其他之控制手段。此種情況下，振盪電路 OSC 0 為了作為監視裝置之功能俾測知必要之主電路 LOG 0 之臨界值電壓以獲得對應於外部時鐘 CLK 0 之頻率之動作速度，而必需將控制振盪電路 OSC 0 之振盪頻率之訊號 B 1 轉換成控制主電路 LOG 0 之臨界值電壓之訊號 B 0。

- 8 -

又，本實施例中，係以為控制構成主電路 LOG 0 之電晶體之臨界值電壓而改變基板偏壓之方法例作說明。但是，並不限於基板偏壓控制，只要是能控制電晶體之臨界值電壓的方法即可。

五、發明說明 (13)

又，習知頻率可變形振盪電路，為使構成環型振盪器之換流器電路之動作速度可變，一般採附加有控制供至換流器電路之電流的電晶體構成。但是，若如本實施例般，藉由基板偏壓之變化而變化振盪頻率之構成時，則上述電流控制用電晶體等元件可不要，同時，因電流控制用元件不存在，故可在不損失電源電壓下供給換流器電路等，可增大振盪頻率之上限，即可加大可變頻率之範圍。

又，可使與從外部供給振盪電路之振盪頻率的時鐘訊號之頻率同步，故即使外部供給之時鐘訊號之頻率較高時，亦可構成為可追從於其頻率的 PLL (Phase Locked Loop) 電路。

圖 2 為本發明另一實施例。

主要部分係與圖 1 說明之第 1 實施例相同，故省略其說明。本實施例與圖 1 之實施例不同之處在於，將臨界值控制用之訊號 B 0 及頻率控制用之訊號 B 1 設為共同之控制訊號 B 3。本實施例中，振盪電路 OSC 0 之振盪頻率之控制係利用來自於控制電路 CNT 0 之控制訊號 B 3 變化基板偏壓以進行，同樣地，利用控制訊號 B 3 來控制主電路 LOG 0 之基板偏壓。

本實施例亦和圖 1 之實施例可產生同樣之效果，且因控制電路 CNT 0 之控制訊號 B 3 共用化，故電路構成可簡單化。

另外，於此情況下，亦可如上述般獲得可振盪頻率範圍較寬之振盪電路，及可追從於較高頻率之外部時鐘訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(14)

的 P L L 電路。另外，可利用外部時鐘之頻率控制主電路之動作速度及消費電力。

圖 3 為本發明之另一實施例。

本實施例中係針對，以 M O S 電晶體之基板偏壓作為該電晶體之臨界值控制端子使用之場合加以說明。

具有主電路 L O G 1，及利用基板偏壓使振盪頻率變化之基板偏壓依存型之振盪電路 O S C 1。使用該基板偏壓依存型振盪電路 O S C 1 之振盪輸出 S 1 及依存於動作模式之振盪電路 V C L K 1 之振盪輸出 C L K 1，藉由基板偏壓控制電路 C N T 1，來產生主電路 L O G 1 之基板偏壓 B P 1、B N 1。

雖無特別限制，但本實施例之振盪電路 O S C 1 係構成爲，係藉由將形成於半導體基板上之 P 通道型 M O S F E T 及 N 通道型 M O S F E T 所構成之換流器電路以多段連接而成之環形振盪器。又，主電路 L O G 1 同樣由 P 通道型 M O S F E T 及 N 通道型 M O S F E T 構成，亦即所謂 C M O S 邏輯電路。因此，基板偏壓 B P 1 爲施加於主電路 L O G 1 之 P M O S 電晶體的基板偏壓，基板偏壓 B N 1 則爲施加於主電路 L O G 1 之 N M O S 電晶體的基板偏壓。此處，基板偏壓 B P 1、B N 1 分別表示供至 P 通道 M O S F E T 之 n 基板電極（或 n 井電極），及 N 通道 M O S F E T 之 p 基板電極（或 p 井電極）之電位。

動作模式依存型振盪電路 V C L K 1，係以系統時鐘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明(15)

S C L K 1 為基準時鐘，根據用以表示系統外部或系統內部所產生動作模式之訊號 M O D E 1，來輸出依存於動作模式之頻率的振盪輸出 C L K 1。雖無特別限制，但主電路 L O G 1 係由以振盪輸出 C L K 1 為時鐘而動作之邏輯電路構成。

基板偏壓 B P 1、B N 1 亦被供至依存於基板偏壓之振盪電路 O S C 1，該基板偏壓依存型振盪電路 O S C 1 及用以輸入其輸出 S 1 之基板偏壓控制電路 C N T 1 所構成之閉回路系，係設計成相互間之負迴授呈穩定系（即藉由基板偏壓依存型振盪電路 O S C 1 之輸出 S 1 產生負迴授。如此，則基板偏壓依存型振盪電路 O S C 1 之輸出 S 1 之振盪頻率，將與動作模式依存型振盪電路 V C L K 1 之振盪輸出 C L K 1 同步。

此處，動作模式並未有特別限定，可以是使主電路 L O G 1 高速動作之模式、較低速動作之模式、待機模式等經由主電路所要求之動作速度及消費電力間之關係而事先設定者。

如此構成，則基板偏壓依存型振盪電路 O S C 1 之基板偏壓及主電路 L O G 1 之基板偏壓均同時由基板偏壓控制電路 C N T 1 之輸出 B P 1、B N 1 所控制，故可藉由動作模式依存型振盪電路 V C L K 1 之振盪輸出 C L K 1 來控制主電路 L O G 1 之基板偏壓。M O S 電晶體之臨界值會因基板偏壓而改變，故藉由變化動作模式訊號 M O D E 1 可使構成主電路 L O G 1 之 M O S 電晶體之臨

五、發明說明 (16)

界值改變，且可依動作模式控制最適當之臨界值。如上述般，藉由臨界值之變化，主電路 LOG 1 之動作速度及消費電力將變化，故可依動作模式訊號 MODE 1 來變化供應至控制電路 CNT 1 之時鐘訊號 CLK 1 之頻率，可進行適合動作模式之主電路 LOG 1 之動作速度及消費電力之控制。

本實施例及以下所示實施例，係藉由動作模式表示訊號使動作模式依存型振盪電路 VCLK 1 之振盪頻率變化而得振盪輸出 CLK 1。但是，如圖 1 或圖 2 所示般，亦可構成爲使直接來自於外部之時鐘訊號輸出控制電路 CNT 1。此種情況下，若事先藉由動作模式，外部時鐘（系統時鐘）之頻率變化時，同樣地可控制內部電路之主電路 LOG 1 之動作速度及消費電力，動作模式依存型振盪電路 VCLK 1 變爲不必要，可實現較上述實施例更簡單之電路構成。

又，本實施例中，雖藉由 BP 1 及 BN 1 控制 N 型 MOSFET 及 P 型 MOSFET 雙方之基板偏壓。但是，亦可構成爲利用 BP 1 或 BN 1 之任一方，來改變其中之一之 MOSFET 之基板偏壓。

以下，以圖 4 ~ 圖 6 更詳細說明上述實施例之具體電路構成。圖 4 所示電路之全體構成係和圖 3 同樣。於圖 4 中，圖 3 之基板偏壓依存型振盪電路 OSC 1 係由以 5 段之 CMOS（構成 CMOS 之 P 通道、N 通道 MOSFET 係設定爲例如閘極長 $0.25\mu\text{m}$ 、閘極寬

五、發明說明 (17)

5 μm) 換流器電路構成之環形振盪器構成。構成環形振盪器之 MOS 電晶體之基板電極 (或井電極) 係作為使振盪頻率可變用的控制源。又，雖無特別限制。但主電路 LOG 1 係由以訊號 A、B 為輸入以訊號 C 為輸出之 2 輸入之 NAND 閘 (閘極長 0.25 μm ，閘極寬 5 μm) 形成之 CMOS 邏輯電路所構成。另外，於圖 4 中，圖 3 之基板偏壓控制電路 CNT 1 係由基板偏壓產生電路 BGEN 1 及低通濾波器 LPF 1 及頻率相位比較器 PFD 1 構成，頻率相位比較器 PFD 1 可由例如圖 5 A 之電路構成。另外，低通濾波器 LPF 1 可由例如圖 5 B 所示之滯後超前濾波器構成。

圖 5 A 之頻率相位比較器 PFD 1 係一般構成，故省略其說明。其構成為，以基準頻率之訊號 REF 1 及特定頻率之訊號 S 1 為輸入，以兩訊號間之相位差作為輸出訊號 S 2。又，圖 5 B 之低通濾波器 LPF 1 亦為使用極一般之電阻器及電容器之滯後超前濾波器，故省略其說明。

基板偏壓產生電路 BGEN 1 為，將低通濾波器 (滯後超前濾波器) LPF 1 之電壓輸出 S 3 轉換成最適合基板偏壓之電壓位準用的 DC - DC 轉換器。上述基板偏壓產生電路 BGEN 1 輸出之控制訊號 BP 1 係設定成高於電源電壓 V_{dd} 位準的高位準訊號，控制訊號 BN 1 則設定為較電路之接地電位 V_{ss} 為低位準之訊號。

以下，詳細說明控制訊號 BP 1、BN 1 及低通濾波器之電壓輸出 S 3 間之關係。亦即，介由圖 5 B 之構成之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

低通濾波器 L P F 1 所得之電壓輸出乃至檢測訊號 S 3 , 係依圖 5 A 之構成之頻率相位比較器 P F D 1 之輸出 S 2 , 當以振盪電路 O S C 1 之振盪輸出 S 1 之頻率低於作為基準訊號 R E F 1 之時鐘訊號 C L K 1 之頻率時, 根據其而被設定成接近接地電位 V_{ss} 之較低位準。

當檢測訊號 S 3 設定為較低位準時, 控制訊號即依此而被設為接近電源電位之較小位準, 控制訊號 B N 1 則設為接近接地電位 V_{ss} 之較小位準。

反之, 檢測訊號 S 3 係, 當振盪輸出 S 1 之頻率高於時鐘訊號 C L K 1 之頻率時, 依此而被設為接近於電源電位 V_{dd} 之較高位準。

當檢測訊號 S 3 設為較高位準時, 控制訊號即被設定為高於電源電壓 V_{dd} 之較大位準, 控制訊號 B N 1 即被設為離開接地電位 V_{ss} 位準之負位準之較大位準。

如上述般, 藉由基板偏壓之控制來控制 M O S F E T 之電感, 並據以使振盪電路及主電路 L O G 1 動作於所要之特性。

控制訊號 B P 1 及 B N 1 , 係如上述般, 被設定為超出電路之動作電壓 $V_{dd} - V_{ss}$ 之範圍之位準, 同時, 根據檢測訊號 S 3 作對應之位準變化。形成此種控制訊號 B P 1 、 B N 1 之基板偏壓產生電路 B G E N 1 , 可由其本身比較簡單之電路構成。

基板偏壓產生電路 B G E N 1 , 其詳細未圖示, 可由例如由多數之 C M O S 換流器電路構成之基板偏壓用振盪

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

五、發明說明 (19)

電路，及位準控制電路，及正充電泵電路，及負充電泵電路等構成。

上述位準控制電路係藉由低通濾波器 L P F 1 之輸出 S 3 位準來控制供至上述正充電泵電路及負充電泵電路的振盪訊號之位準。該位準控制電路係由例如用以輸入低通濾波器 L P F 1 之輸出 S 3 的 M O S 運算放大器 (O P) 構成之電壓耦合器電路構成。構成上述位準控制電路之上上述電壓耦合器電路之輸出，並無特別之限制。但可設成內部電源之一種，至少設定為上述基板偏壓用振盪電路中之振盪訊號輸出電路之電源。藉由此種構成，則上述振盪訊號輸出電路所得之振盪訊號之位準可由該電源電壓決定，即可控制成該振盪訊號具有對應於低通濾波器 L P F 1 之輸出 S 3 位準。

上述正充電泵電路係由：例如一方之端子結合於上述振盪訊號輸出電路之輸出端子的 M O S 容量所形成之正充電泵用電容器；及源極接上述電源端子 V d d ，閘極及汲極接上述正充電泵用電容器之另一方之端子之二極體連接之 P 通道型 M O S F E T 所構成的第 1 整流元件；及源極接上述電容器之上上述另一方端子，閘極及汲極接構成上述主電路 L O G 1 及振盪電路 O S C 1 之 P 通道型 M O S F E T 之基板閘極的二極體連接之 P 通道型 M O S F E T 構成的第 2 整流元件等所構成。此種構成之正充電泵電路，係根據上述基板偏壓用振盪電路之振盪訊號，周期性地對 P 通道型 M O S F E T 之基板閘極供給正

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

充電。該正充電經由存在於基板閘極之接合容量般之寄生容量予以平坦化，對該基板閘極供給控制訊號 B P 1 之偏壓電位。

上述負充電泵電路係由：例如一方之端子結合於上述振盪訊號輸出電路之上述輸出端的 M O S 容量形成的負充電泵用電容器；及閘極及汲極接上述負充電泵用電容器之另一方端子，源極接於接地電位端子 V s s 之二極體連接之 N 通道型 M O S F E T 構成之第 3 整流元件；及閘極及汲極接上述負充電泵用電容器之上述另一方端子，源極接構成上述主電路 L O G 1 及振盪電路 O S C 1 之 N 通道型 M O S F E T 基板閘極之二極體連接之 N 通道型 M O S F E T 構成之第 4 整流元件所構成。

又，當利用具有電源電壓 V d d 以上之高位準的外部電源電壓之其他電源電壓時，基板偏壓產生電路 B G E N 1 中之控制訊號 B P 1 形成用之電路，亦可構成如下。亦即，此種情況下，將上述其他之電源電壓設成作為該動作電壓之位準轉換電路或位準移位電路，藉由該位準轉換電路或位準移位電路將低通濾波器 L P F 1 之輸出轉換成上述其他之電源電壓系之訊號或位準移位。據此以獲得控制訊號 B P 1。同樣地，當利用接地電位 V s s 以下負位準之外部電源電壓般之其他之電源電壓時，亦可利用同樣之位準轉換電路或位準移位電路，來形成控制訊號 B N 1。使用上述位準轉換電路或位準移位電路時，可限制在充電泵用電容器般之半導體晶片上之較大尺寸元件之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

數目，亦可限制伴隨著充電泵動作之電源配線系等之雜訊所產生之過渡電流。

圖 4 中，圖 3 之動作模式依存型振盪電路 V C L K 1 係由頻率倍增器 P L L 1 及動作模式控制電路 M C L 1 構成。固定頻率振盪器 C K 1 可作為動作模式依存型振盪電路 V C L K 1 之基準時鐘使用。

在主電路 L O G 1，有上述般之動作模式，依該動作模式控制訊號 M O D E，藉由動作模式控制電路 M C U 1 使頻率倍增器 P L L 1 之倍增率變化。因此，依主電路 L O G 1 之每一動作模式有不同之倍增率，而固定頻率振盪器 C K 1 之固定頻率輸出被倍增，作為頻率倍增器 P L L 1 之振盪輸出 C L K 1。此處，振盪輸出 C L K 1 係頻率為 f_0 (0 M H z ~ 1 0 0 M H z 之範圍內之任意值) 之方形波。

C M O S 環形振盪器 O S C 1 之振盪輸出 S 1 係與頻率倍增器 P L L 1 之振盪輸出 C L K 1 同時被輸入於頻率相位比較器 P F D 1，頻率相位比較器 P F D 1 之輸出 S 2 則經由低通濾波器 L P F 1，經基板偏壓產生電路 B G E N 1 產生基板偏壓 B N 1、B P 1。基板偏壓 B P 1、B N 1 係同時接於 C M O S 環形振盪器 O S C 1 及主電路 L O G 1。如圖 4 所示般，基板偏壓 B N 1 係同時供至 N 型 M O S F E T (在通道部分附加有閘極方向箭頭的電晶體) 之基板電極，基板偏壓 B P 1 則同時供至 P 型 M O S F E T (在通道部分附加有與 N 型 M O S F E T

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(22)

相反方向之箭頭的電晶體)之基板電極。另外，電晶體所連接之動作電位點雖無特別限制，但可構成爲， V_{dd} 約於1 V左右， V_{ss} 於接地電位，約1 V左右之低電壓動作。

圖7 A、圖7 B所示爲MOS電晶體之基板偏壓及臨界值電壓間之關係。圖7 A爲NMOS之場合，圖7 B爲PMOS之場合。

MOS電晶體之臨界值電壓，由圖7 A、圖7 B可知，係因基板偏壓而變化。一般而言，臨界值電壓之絕對值較大者，電流驅動能力減少，故圖4之CMOS環形振盪器OSC1係藉基板偏壓BP1、BN1來變化振盪頻率的電壓控制型振盪器(VCO)般地動作。因此，圖4之電路，就全體而言，構成爲相位鎖定迴路(PLL)構造，CMOS環形振盪器之OSC1之振盪頻率及相位係與頻率倍增器PLL1之振盪輸出CLK1之頻率及相位一致。又，本實施例之振盪電路(VCO)及PLL電路，係和圖1等所示實施例同樣地，可獲得追從於可振盪頻率範圍之較寬之振盪電路及高頻率之外部時鐘訊號的PLL電路，另外，亦可藉由外部時鐘之頻率來控制主電路之動作速度及消費電力。

又，關於PLL電路，例如IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 22, No.2, (April 1987), pp. 255-261有記載。

以下，用圖6之時序圖說明對應於主電路LOG1之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

動作模式之變化，構成主電路 LOG 1 之 MOS 電晶體之基板偏壓 BP 1、BN 1 及臨界值電壓間之變化。動作模式一有變化，因動作模式控制電路 MCU 1，頻率倍增器 PLL 1 之頻率倍增率將改變，頻率倍增器 PLL 1 之振盪輸出 CLK 1 即變化。此處，隨時間之進行，頻率 f_0 由 75 MHz，變為 50 MHz。如此，則基板偏壓 BP 1 之電位將由 1.3 V 增加至 1.6 V 左右。基板偏壓 BN 1 之電位將由 -0.3 V 降為 -0.6 V 左右。如此，則 MOS 電晶體之臨界值電壓變大（參照圖 7 A、圖 7 B），故基板偏壓依存型振盪電路 OSC 1 之振盪頻率 f_1 亦隨之降低，而與頻率倍增器 PLL 1 之振盪輸出 CLK 1 之頻率 f_0 （50 MHz）成為一致。另外，相位亦與頻率倍增器 PLL 1 之振盪輸出 CLK 1 之相位一致。

反之，因動作模式 MODE 之變化，頻率倍增器 PLL 1 之振盪輸出 CLK 1 之頻率 f_0 由 50 MHz 增高為 100 MHz 時，基板偏壓 BP 1 之電位由 1.6 V 降為 1.0 V 左右。基板偏壓 BN 1 之電位由 -0.6 V 增高為 0 V 左右。如此則 MOS 電晶體之臨界值電壓將變小（參照圖 7 A、圖 7 B），因而基板偏壓依存型振盪電路 OSC 1 之振盪頻率 f_1 亦漸次變高，而與頻率倍增器 PLL 1 之振盪輸出 CLK 1 之頻率 f_0 （100 MHz）成為一致。

圖 8 所示為頻率倍增器 PLL 1 之振盪輸出 CLK 1

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(24)

之頻率 f_0 與基板偏壓 B_{P1} 、 B_{N1} 之關係。如此般，藉由頻率倍增器 P_{LL1} 之振盪輸出 CLK_1 可使構成基板偏壓依存型振盪電路 OSC_1 之 MOS 電晶體之基板偏壓變化，亦即，可使 MOS 電晶體之臨界值電壓變化。

雖然，上述所示振盪輸出 CKL_1 之頻率 f_0 有 50 MHz 、 75 MHz 及 100 MHz 等 3 種類，但本發明並不限於此。只要能將臨界值電壓控制於適當之值，則可選擇任意之振盪頻率。

另外，本實施例中，可依主電路 LOG_1 之動作模式，使 $CMOS$ 環形振盪器 OSC_1 之振盪頻率 f_1 與設定值一致。如此則可依主電路 LOG_1 之動作模式，容易預估構成主電路之 MOS 電晶體之傳送延遲時間。

圖 9 所示為 MOS 電晶體之汲極電流之次臨界區域中之閾極電壓依存性。一般而言， MOS 電晶體之臨界值電壓越小驅動能力越大，高速動作變為可能。但是，由圖 9 之 A 點與 B 點之比較確認可知， MOS 電晶體之 $ON-OFF$ 比變小時，次臨界電流將增加，電路之消費電流也增加。

本發明之電路構成，當高速動作為必需時，藉由選擇從外部使動作頻率倍增器 P_{LL1} 之振盪輸出 CLK_1 之振盪頻率變高之動作模式，即可縮小構成主電路 LOG_1 之 MOS 電晶體之臨界值電壓。此種場合，雖然次臨界電流將增加，主電路 LOG_1 之消費電力亦增加，但高速動作為可能。又，反之，當低速動作為必要時，藉由選擇可

五、發明說明 (25)

從外部降低動作頻率倍增器 P L L 1 之振盪輸出 C L K 1 之振盪頻率之動作模式，即可增大構成主電路 L O G 1 之 M O S 電晶體之臨界值電壓。如此則可減少次臨界電流，即可減少主電路 L O G 1 之消費電力。此種情況示於圖 1 0。圖 1 0 之 P 2 所示為變化動作模式 M O D E 使動作頻率倍增器 P L L 1 之振盪輸出 C L K 1 之頻率 f_0 變化時之主電路 L O G 1 之消費電力之變化情況。主電路 L O G 1 為在與動作頻率倍增器 P L L 1 之振盪輸出 C L K 1 之頻率 f_0 相同之頻率 ($= f_0$) 動作之例。在圖 1 0，P 0 表示次臨界電流產生之消費電流 T 0 不存在狀態，P 1 則表示次臨界電流存在狀態之主電路 L O G 1 之消費電力。如此般，主電路 L O G 1 之消費電力相對於其動作頻率 f_0 具有線形關係。又，因為次臨界電流不依存於動作頻率 f_0 ，故 P 1 平行於 P 0。適用本發明之 P 2，因為與次臨界電流有關之臨界值電壓係和動作頻率 f_0 同時變化，故動作模式亦變化，隨著動作頻率 f_0 之變低，越靠近次臨界電流所產生消費電流 T 0 不存在狀態之消費電力 P 0 之值。如此則主電路 L O G 1，可以動作頻率 f_0 動作時所必需最低限之次臨界電流之最低限之電力消費狀態下動作。其效果，對於次臨界電流成為問題之 1 V 左右之低電壓動作時，或集積度變高時之情況特別有效。

又，可依主電路 L O G 1 之動作模式，自動控制成使主電路 L O G 1 之臨界值成為設定值，故可提供自動追從

五、發明說明 (26)

於構成主電路之 M O S 元件之特性變動或溫度變化、電源電壓變動等外來變動因子的電路。

雖然，於圖 4 示出對應於圖 3 之主電路 L O G 1 之 2 輸入之 N A N D 閘之例。但並不限於 N A N D 閘，反相器或 N O R 等之邏輯閘，或該等多數個集合構成之邏輯閘群亦可適用。另外，主電路 L O G 1 之電路構成亦不限 C M O S 構造，僅用 N M O S 電晶體，或僅用 P M O S 電晶體，或使用兩者構成之電路，或包含雙極性電晶體之電路亦可。另外，圖 4 之環形振盪器 O S C 1，亦不限於 C M O S 環形振盪器，只要是基板偏壓之振盪頻率可變化之振盪電路即可。

圖 1 1 所示為實現圖 4 之實施例用之 C M O S 構造之斷面圖。在 p 型 S i 基板 1 1 1 之表面層之一部分形成有 n # 1 0 9 及 p # 1 1 0。在 n # 1 0 9 之表面形成有由 p⁺ 型之源極、汲極擴散區域 1 0 3、1 0 4、閘極 1 0 7 及閘極氧化膜 1 1 2 所形成之 P M O S 電晶體，在 p # 1 1 0 之表面則形成有由 n⁺ 型之源極、汲極擴散區域 1 0 5、1 0 6、閘極 1 0 8 及閘極氧化膜 1 1 3 所構成之 N M O S 電晶體。而在 P M O S 電晶體及 N M O S 電晶體之間形成有元件分離絕緣膜 1 0 0、1 0 1、1 0 2。又，雖未示出，但為供給基板偏壓於 P M O S 電晶體及 N M O S 電晶體，上述之 B P 1、B N 1 係接於各別之 # 區域。

上述例係使用 p 基板，但亦可使用 n 基板。又，在圖

五、發明說明(27)

1 1，係設計成使用 n 井 1 0 9 及 p 井 1 1 0 兩方之雙井構造，但是，亦可設計成使基板共用 n 井 1 0 9 或 p 井 1 1 0 中任一方之單井構造。或者是使用 ISSCC Digest of Technical Papers, (Feb. 1989), pp. 248-249 所記載之三重井構造之 MOS 電晶體，或 1992 IEDM Technical Digest, pp. 35-38 所記載之 SOI 構造之 MOS 電晶體。

在上述實施例中，基板偏壓之值，針對 NMOS 電晶體係供給 0 V 以下之電位，對 PMOS 電晶體則供給主電路之電源電壓（例如 1.0 V）以上之電位。但是，亦可在 NMOS 電晶體或 PMOS 電晶體之擴散層與基板間之 PN 接合之方向施加順向偏壓。尤其是，在電源順向偏壓值未超越擴散電位（0.6 V 左右）之狀態時，因擴散層與基板間之漏電流小，故消費電力之增加極小，可施加順向偏壓。

此種情況下，一般而言，臨界值之基板偏壓係數（相對於基板偏壓之臨界值電壓之變化係數），在上述基板偏壓區域變大，故可極有效地控制 MOS 電晶體之臨界值。再者，可將施加於基板偏壓之電位設定在電源電壓之範圍內，故對於負電壓之形成電路等不需爲了基板偏壓而設計特別之電路，此爲優點。

再者，於上述實施例，係使用基板偏壓控制構成主電路之 MOS 電晶體之臨界值。但是，亦可構成爲，以具備有可控制臨界值之端子的 MOS 電晶體（例如在

五、發明說明(28)

S O I M O S F E T，在該矽基板上具有從矽基板被電氣絕緣之電極的 S O I M O S F E T) 來構成主電路，藉由施加電壓於該端子來控制臨界值等，亦即構成爲施加電壓於可控制主電路之臨界值之端子上。

圖 1 2 爲將 1 個主電路 L O G 1 分解成多數之電路方塊 L O G 1 0 ~ L O G 3 0，適用於本實施例之例。藉由 1 個動作模式依存型振盪電路 V C L K 1 0 之振盪輸出 C L K 1 0 來控制多數電路方塊 L O G 1 0 ~ L O G 3 0 之基板偏壓 B P 1 0 ~ B P 3 0、B N 1 0 ~ B N 3 0。動作模式依存型振盪電路 V C L K 1 0 之振盪輸出 C L K 1 0 係被同時供至控制電路 C N T，同時，對應於各電路方塊 L O G 1 0 ~ L O G 3 0 而配置控制電路 C N T 及振盪電路 O S C。動作模式依存型振盪電路 V C L K 1 0、控制電路 C N T 1 0、2 0、3 0、振盪電路 O S C 1 0、2 0、3 0 可採用如圖 4 所示之構成。

本實施例中，電路方塊 L O G 1 0 ~ L O G 3 0 之基板偏壓係分別獨立藉由動作模式依存型振盪電路 V C L K 1 0 之振盪輸出 C L K 1 0 來控制。因此，在各電路方塊 L O G 1 0 ~ L O G 3 0 間，即使構成其之 M O S 電晶體之臨界值或臨界值之基板偏壓特性有所差異，亦可補正該變動。例如，因構成主電路 L O G 1 0 之 M O S 電晶體之臨界值之製造所造成致使構成其他電路方塊之 M O S 電晶體有所變動時，可考慮成構成振盪電路 O S C 1 0 之 M O S 電晶體之臨界值亦同樣變動，故可作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

適當之控制使成對應於時鐘 CLK 10 之基板偏壓。如此則，例如在習知各電路方塊 LOG 10 ~ LOG 30 間之臨界值變動為 0.15 V 左右時，在本實施例則可降低至 0.05 V 左右。

製程之變動係與構成半導體積體電路之半導體晶片之位置場所有關，故較好是將上述電路方塊 LOG 與其所對應之振盪電路近接配置。又，將主電路分割成電路方塊時，同樣地，較好是將位於互相靠近之場所的電晶體配置於同一方塊般地，採取將半導體晶片在縱方向及橫方向作 4 分割之分割方法。

如上所述，臨界值電壓之容許範圍之下限係由次臨界漏電流之規格決定，上限則由電路之動作速度規格來決定。當臨界值電壓之變動大時，不得不增大設定階段之臨界值設定，如此將妨礙電路之高速動作。但若依本實施例之方法，則因可將臨界值電壓降至容許範圍之下限，故電路之高速動作為可能。

該等實施例之效果，於電源電壓為 1 V 左右之低電壓時特別有效。

雖然在以上實施例，對於 NMOS 電晶體，係將基板偏壓之值設定為 0 V 以下之電位，而對於 PMOS 電晶體則設定為主電路之電源電壓（例如 1.0 V）以上之電位。但是，此亦可施加在 NMOS 電晶體或 PMOS 電晶體之擴散層與基板間之 PN 接合之順向偏壓方向。尤其是，在電源順向偏壓值不大於擴散電位（0.6 V 左右）之狀

五、發明說明(30)

態時，因擴散層與基板間之漏電流小，消費電力之增加很小，故可施加順向偏壓。

此種情況下，一般而言，臨界值電壓之基板偏壓係數（相對於基板偏壓之臨界值電壓之變化係數）係在上述基板偏壓區域變大，故可有效地控制MOS電晶體之臨界值電壓。再者，因可將施加於基板偏壓之電位設定在電源電壓之範圍內，故對於負電壓形成電路等不需爲了基板偏壓之施加而具備特別之電路，此爲優點。

又，上述實施例，係使用基板偏壓來控制構成主電路之MOS電晶體之臨界值電壓。但是亦可構成爲，以具備可控制臨界值電壓之端子的MOS電晶體（例如在SOIMOSFET，在該矽基體上具有從該矽基體被電氣絕緣之電極的SOIMOSFET）來構成主電路，藉由施加電壓於該端子來控制臨界值電壓等，亦即將電壓施加於可控制主電路之臨界值電壓之端子的構成。

圖12爲將1個主電路LOG1分解成多數（圖中爲3個）個電路方塊LOG10～LOG30，適用於本實施例之例。藉由1個動作模式依存型振盪電路VCLK10之振盪輸出CLK10，來控制多數電路方塊LOG10～LOG30之基板偏壓BP10～BP30及BN10～BN30。動作模式依存型振盪電路VCLK10之振盪輸出CLK10係分別同時供至控制電路CNT10～CNT30，同時，對應於各電路方塊LOG10～LOG30，配置有控制電路CNT10

五、發明說明 (31)

~ C N T 3 0 及振盪電路 O S C 1 0 ~ O S C 3 0 。動作模式依存型振盪電路 V C L K 1 0 、控制電路 C N T 1 0 ~ C N T 3 0 、振盪電路 O S C 1 0 ~ O S C 3 0 可採用如圖 4 所示之構成。

本實施例中，電路方塊 L O G 1 0 ~ L O G 3 0 之基板偏壓係藉由動作模式依存型振盪電路 V C L K 1 0 之振盪輸出 C L K 1 0 而被分別獨立控制。因此，在各電路方塊 L O G 1 0 ~ L O G 3 0 之間，即使構成該等之 M O S 電晶體之臨界值電壓或臨界值電壓之對於基板偏壓特性有差異，亦可補正該等變動。例如，即使構成主電路 L O G 1 0 之 M O S 電晶體之臨界值電壓因製程關係相對於構成其他電路方塊之 M O S 電晶體有變動時，構成振盪電路 O S C 1 0 之 M O S 電晶體之臨界值電壓亦可考慮成同樣之變動，故可適當地控制使成為對應於振盪輸出（時鐘訊號）C L K 1 0 之基板偏壓值。如此則，例如在習知各電路方塊 L O G 1 0 ~ L O G 3 0 間之臨界值電壓之變動為 0 . 1 5 V 左右時，利用本實施例則可減低至 0 . 0 5 V 左右。

製程之變動係與構成半導體積體電路之半導體晶片上之位置之場所有關，故較好是將分別對應上述電路方塊 L O G 1 0 ~ L O G 3 0 之振盪電路 O S C 1 0 ~ O S C 3 0 靠近配置。另外，即使將主電路分割成多數電路方塊之際，較好是同樣地將例如半導體晶片在縱方向及橫方向作 4 分割俾使位於互相近接之場所之電晶體能在同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

一方塊內。

如上所述，臨界值電壓之容許值之下限係由次臨界漏電流之規格決定，上限係由電路之動作速度規格決定。當臨界值電壓之變動大時，不得不增大在規格設定階段之臨界值電壓設定，故會妨礙電路之高速動作。但若依本實施例之方法，因可將臨界值電壓降低至容許值之下限，故電路之高速動作為可能。

該等實施例之效果，在電源電壓為 1 V 左右之低電壓時，更具效果。

圖 1 3 所示為，相對於施加於閘極之閘極電壓，當臨界值電壓變動時之汲極電流之變化情況。在電源電壓為較高之 $V_{DD1} = 2.0 \text{ V}$ 時，臨界值電壓之變動所產生汲極電流之變動，在點 A 1、B 1 間幾乎不存在，當電源電壓為較低之 $V_{DD2} = 1.0 \text{ V}$ 時，臨界值電壓之變動所產生汲極電流之變動，係如點 A 2、B 2 間之差異般存在有大之差異。而當電源電壓為 1 V 以下時，點 A 2、B 2 間之差變為更大。

圖 1 2 之實施例中，在各電路方塊 LOG 1 0 ~ LOG 3 0 同時供給有同一之動作模式依存型振盪電路 VCLK 1 0 之振盪輸出 CLK 1 0。但是，亦可如圖 1 4 所示般，依各電路方塊設置動作模式依存型振盪電路 VCLK 2 0、VCLK 3 0。

圖 1 4 中，設有 2 個動作模式依存型振盪電路 (VCLK 2 0、VCLK 3 0)，分別各被供給有作為基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(33)

準之系統時鐘之 S C L K 2 0 及模式訊號 M O D E 2 0 。
另外，各電路方塊 L O G 1 0 ~ 3 0 分別具有振盪電路
O S C 1 0 ~ O S C 3 0 、控制電路 C N T 1 0 ~
C N T 3 0 ，在控制電路 C N T 1 0 及 C N T 2 0 同時供
給有振盪電路 V C L K 2 0 之振盪輸出 C L K 2 0 ，在控
制電路 C N T 3 0 則供給有振盪電路 V C L K 3 0 之振盪
輸出 C L K 3 0 。動作模式依存型振盪電路 V C L K 2 0
、 V C L K 3 0 、控制電路 C N T 1 0 、 C N T 2 0 、
C N T 3 0 、振盪電路 O S C 1 0 、 O S C 2 0 、
O S C 3 0 可採用圖 4 所示之構成。另外，關於藉由 1 個
動作模式依存型振盪電路 V C L K 2 0 同時控制多數個電
路方塊 L O G 1 0 、 L O G 2 0 之點，係與圖 1 2 之實施
例之場合同樣，亦可得相同之效果。

藉由採用此種構成，則可藉由互相獨立之動作模式依
存型振盪電路 V C L K 2 0 、 V C L K 3 0 分別控制各電
路方塊，例如電路方塊 L O G 1 0 、 L O G 3 0 ，故可進
行適合各別電路方塊之基板偏壓之控制，即使在相同動作
模式之場合，亦可使每一電路方塊以不同之基板偏壓值動
作。例如，高速動作爲必要之電路方塊，雖然次臨界漏電
流大，但可使之高速動作。而在低速動作爲必要之電路方
塊可使之動作於低速、次臨界漏電流小之動作，即在各別
之電路方塊可設定最適當之臨界值電壓。

在適合於每一電路方塊所要求動作速度不同之場合的
本實施例中，若考慮補正圖 1 2 之實施例所述臨界值電壓

五、發明說明(34)

之變動之點時，則在本實施例之場合，較好是在半導體晶片上形成主電路時，藉所要求之動作速度將主電路分割成多數個電路方塊，並將構成分割之各個電路方塊之電晶體於晶片上互相靠近配置。

另外，雖然於圖14中將動作模式訊號MODE20同時供至振盪電路VCLK20、30。但亦可將該動作模式訊號獨立之分別供至各個振盪電路，而使振盪電路VCLK20及VCLK30之振盪輸出各具不同之頻率。藉由此種構成，則可根據在主電路之邏輯運算處理之內容，控制成僅使特定之電路方塊以高速（或低速）動作。例如，主電路為具有浮動小數點運算單元之微處理器，將浮動小數點運算單元設定為1個電路方塊（例如LOG30）時，在浮動小數點運算為必要處理之場合，利用該專用之模式訊號控制成僅使該單元（電路方塊LOG30）進行高速動作，而在該單元不使用時，可控制成使其他之電路方塊高速動作，使電路方塊LOG30低速動作。

又，雖然本實施例中係藉由動作模式依存型振盪電路VCLK20之振盪輸出CLK20同時控制電路方塊LOG10、20。但是，亦可藉分別藉由獨立之動作模式依存型振盪電路之振盪輸出來控制。此種場合，僅有該部分之電路構成變複雜，動作模式依存型振盪電路之佔有面積有可能增加。因此，有必要根據電路方塊所要求之性能，分割成適當之方塊數。

五、發明說明(35)

又，圖 1 2、圖 1 4 係將電路方塊分割成 3 個來適用本發明，但亦可分割成更多之電路方塊。分割成越小之電路單元則上述效果越顯著。

又，電路方塊 LOG 1 0 ~ LOG 3 0 可形成在 1 個 L S I 晶片上，或者分別形成在多數之 L S I 晶片上，並未有特別限制。但分別形成在多數晶片上時，係在各個晶片上形成用以控制基板偏壓之控制電路 (CNT 1 0 等) 及依存於基板偏壓的振盪電路 (OSC 1 0 等)，動作模式依存型振盪電路可採取同時設於多數晶片上之構成。尤其是為了適當地控制主電路之臨界值電壓，較好是將作為監控主電路之臨界值電壓的振盪電路 (OSC 1 0 等)，與所對應之主電路形成在同一晶片上。

圖 1 6 為本發明適用於微電腦之場合之一實施例。將水晶振盪器 5 0 1 之固定振盪頻率輸出 5 0 2 及動作模式訊號 5 0 3 輸入微電腦 5 0 0。微電腦 5 0 0 並無特別限定，可在單一半導體基板上使用 C M O S 等電路技術形成。此處，控制動作模式用之動作模式訊號 5 0 3 為 1 位元以上之訊號寬度之訊號線，係由微電腦 5 0 0 內之負載檢測器 5 0 5 輸出。負載檢測器 5 0 5 用以檢測微電腦 5 0 0 之處理量，並輸出動作模式訊號 5 0 3，以便控制動作模式俾根據處理量來決定動作速度。

負載檢測器 5 0 5 可由設置於微電腦 5 0 0 內之半導體電路構成，亦可藉由在微電腦 5 0 0 上執行之程式來實現。另外，在微電腦 5 0 0 之外，亦可有監控微電腦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

5 0 0 之負載者。

當加之於微電腦 5 0 0 之負載少時，藉由負載檢測器 5 0 5 將動作模式訊號設定成其所對應之較小值。如此則用以輸出動作模式所對應振盪頻率之振盪輸出的振盪電路 V C L K 1 被控制，微電腦內部之動作頻率 5 0 4 變低，可在適應於負載之動作速度・消費電力之狀態下動作。反之，當加之於微電腦 5 0 0 之負載變大時，藉由負載檢測器 5 0 5 將動作模式訊號設定成對應之較大值。如此則微電腦 5 0 0 內部之動作頻率 5 0 4 變高，可在適應於負載之動作速度・消費電力之狀態下動作。亦即，可使微電腦 5 0 0 在適應負載之最適當動作頻率下動作。

另外，動作模式訊號亦可為數位元之數位訊號，或是類比訊號。

圖 1 7 為使用圖 1 6 所示構成之微電腦來構成微電腦系統時之一實施例。微電腦系統 6 0 0，在微電腦 5 0 0 所控制之系統匯流排 6 0 2 上連接有鍵盤或滑鼠等輸入裝置 6 0 1。微電腦 5 0 0 係採用如圖 1 6 所示之構成。

負載檢測器 5 0 5 用以監視輸入裝置 6 0 1 之稼動時間，決定動作模式訊號 5 0 3 並輸出之。因此，例如當輸入裝置 6 0 1 之稼動頻度高時，藉由動作模式訊號 5 0 3 將微電腦 5 0 0 之動作頻率設定為變高之動作模式。反之，當輸入裝置 6 0 1 之稼動頻度低時，設定為微電腦 5 0 0 之動作頻率變小之動作模式。一般而言，當輸入裝置 6 0 1 之稼動時間短時，表示微電腦 5 0 0 之負載較小

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

之時期，可有效等評估加之於微電腦 5 0 0 之負載。藉由此種負載檢測方法，可在不降低微電腦系統之實效動作速度下，降低消費電力。

雖然，圖 1 7 所示為使用鍵盤或滑鼠等輸入裝置 6 0 1 作為負載檢測方法，但亦可使用其他方法。能檢測微電腦 5 0 0 之使用者使用 CPU 時間者亦可。換言之，只要負載檢測器能夠使微電腦 5 0 0 之待處理任務之執行時間在使用微電腦系統 6 0 0 之使用者能滿足之時間內完了即可。另外，動作模式之設定，亦可構成為藉由輸入裝置 6 0 1，電腦之利用者由外部來進行。

如上述說明般，係本發明之代表性實施例，則可藉由動作模式訊號 MOD 1 來控制構成主電路 LOG 1 之 MOS 電晶體之臨界值電壓。亦即，當高速動作為必要時，藉由選擇動作模式俾使從外部可使動作模式依存型振盪電路 VCLK 1 之振盪輸出 CLK 1 之頻率設定為較高，如此即可降低構成主電路 LOG 1 之 MOS 電晶體之臨界值電壓。此種場合下，雖然次臨界電流增加，主電路 LOG 1 之消費電力亦增加，但主電路 LOG 1 之高速動作為可能。反之，低速動作為必要時，藉由選擇動作模式以使從外部使動作依存型振盪電路 VCLK 1 之振盪輸出 CLK 1 之頻率設定為較低，則可增大構成主電路 LOG 1 之 MOS 電晶體之臨界值電壓。此種場合下，可減少次臨界電流，即可減少主電路 LOG 1 之消費電力。

五、發明說明(38)

〔圖面之簡單說明〕

圖 1：本發明之一實施例之電路構成。

圖 2：本發明之另一實施例之電路構成。

圖 3：本發明之再另一實施例之電路構成。

圖 4：圖 3 所示實施例之更具體之電路構成。

圖 5 A、5 B：分別為圖 4 之頻率相位比較器 P F D 1、低通濾波器 L P F 1 之具體電路構成例。

圖 6：圖 3 及圖 4 所示實施例之動作頻率與基板偏壓間之關係之時序圖。

圖 7 A、圖 7 B：分別為 N M O S 電晶體、P M O S 電晶體中之基板偏壓與臨界值電壓間之關係。

圖 8：M O S 電晶體之動作頻率與基板偏壓間之關係圖。

圖 9：M O S 電晶體之閘極電壓與汲極電流間之關係圖。

圖 10：本發明實施例之動作頻率與消費電力間之關係圖。

圖 11：本發明實施例中之元件構造之一例之斷面圖。

圖 12：本發明另一實施例之構成圖。

圖 13：本發明之閘極電壓與汲極電流間之關係圖。

圖 14：本發明另一實施例之構成圖。

圖 15：本發明之閘極長與臨界值電壓間之關係圖。

圖 16：本發明適用於微電腦之一實施例之構成圖。

五、發明說明(39)

圖 1 7 : 本發明適用於微電腦系統之一實施例之構成圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

半導體積體電路裝置及微電腦

本發明係關於一種半導體積體電路裝置，其特徵在於具有：包含P通道型MIS電晶體及N通道型MIS電晶體而形成的邏輯電路；及包含P通道型MIS電晶體及N通道型MIS電晶體而形成的振盪頻率可變的第1振盪電路；及用以產生控制訊號俾控制上述P通道型MIS電晶體及N通道型MIS電晶體之臨界值電壓的控制電路；及根據動作模式來輸出頻率不同之多數基準時鐘訊號的第2振盪電路；而上述控制電路用以輸入上述基準時鐘訊號，並藉由上述控制訊號控制成使上述第1振盪電路之振盪頻率對應於上述基準時鐘訊號之頻率。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

第 85104389 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 86 年 5 月 修正

1 . 一種半導體積體電路裝置，其特徵在於具有：
用以進行特定之邏輯運算處理的邏輯電路；
用以控制構成該邏輯電路之電晶體之臨界值電壓的控制電路；及

延遲特性為控制可能的第 1 電路；
上述邏輯電路係包含形成於上述半導體基板上之
M I S 電晶體而構成；
上述第 1 電路之輸出訊號係被供給至上述控制電路；
上述控制電路上，則供給有包含基準時序資訊的基準訊號；

上述控制電路則輸出第 1 控制訊號俾使上述第 1 電路之輸出訊號之時序設定成為對應於上述基準訊號之值；
形成上述邏輯電路之 M I S 電晶體之臨界值電壓係藉由上述第 1 控制訊號所對應之第 2 控制訊號被控制。

2 . 如申請專利範圍第 1 項之半導體積體電路裝置，
其中
上述第 1 電路係由振盪輸出之頻率為可變的振盪電路構成，

上述振盪電路之振盪輸出係被供至上述控制電路；
上述控制電路上供給有具特定頻率之基準時鐘訊號作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

為上述基準訊號；

上述控制電路輸出第 1 控制訊號俾控制上述振盪電路之振盪輸出之頻率使成對應於上述基準時鐘訊號之頻率之值；

形成上述邏輯電路之 M I S 電晶體之臨界值電壓係經由上述第 1 控制訊號所對應之第 2 控制訊號被控制。

3. 一種半導體積體電路裝置，其特徵在於具有：

包含有形成在半導體基體上之 M I S 電晶體的邏輯電路；

用以控制構成上述邏輯電路之 M I S 電晶體之臨界值的控制電路；及

包含有形成於上述半導體基體上之 M I S 電晶體，且構成爲振盪輸出之頻率爲可變的振盪電路；

上述控制電路被供給有具特定頻率之時鐘訊號及上述振盪電路之振盪輸出；

上述控制電路用以比較上述振盪輸出之頻率及時鐘訊號之頻率並產生第 1 控制訊號；

上述振盪電路則介由上述第 1 控制訊號被控制成上述振盪輸出之頻率對應於上述時鐘訊號之頻率；

上述振盪輸出之頻率之控制，係藉由上述第 1 控制訊號，來進行上述振盪電路之臨界值電壓之控制；

藉由上述第 1 控制訊號所對應之第 2 控制訊號來控制形成上述邏輯電路之 M I S 電晶體之臨界值電壓。

4. 如申請專利範圍第 3 項之半導體積體電路裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

其中上述第 1 控制訊號和上述第 2 控制訊號為同一訊號者

5 . 如申請專利範圍第 3 或 4 項之半導體積體電路裝置，其中上述第 1 控制訊號用以控制形成上述振盪電路之 M I S 電晶體之基板偏壓，上述第 2 控制訊號用以控制形成上述邏輯電路之 M I S 電晶體之基板偏壓。

6 . 如申請專利範圍第 3 項之半導體積體電路裝置，其中上述振盪電路係包含 P 通道型 M I S 電晶體及 N 通道型 M I S 電晶體所形成；

上述第 1 控制訊號係構成爲可控制上述 P 通道型 M I S 電晶體及 N 通道型 M I S 電晶體之臨界值電壓。

7 . 如申請專利範圍第 6 項之半導體積體電路裝置，其中上述邏輯電路係包含 P 通道型 M I S 電晶體及 N 通道型 M I S 電晶體所形成；

上述第 2 控制訊號係構成爲可控制上述 P 通道 M I S 電晶體及 N 通道型 M I S 電晶體之臨界值電壓；

上述第 1 控制訊號及第 2 控制訊號為同一訊號者。

8 . 一種半導體積體電路裝置，其特徵在於具備有：
包含 P 通道型 M I S 電晶體及 N 通道型 M I S 電晶體而形成的邏輯電路；

包含 P 通道型 M I S 電晶體及 N 通道型 M I S 電晶體而形成的振盪頻率可變之第 1 振盪頻率；

用以產生控制訊號俾控制上述 P 通道型 M I S 電晶體及上述 N 通道型 M I S 電晶體之臨界值電壓的控制電路；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

及

依不同之動作模式而輸出頻率為不同之多數基準時鐘訊號的第2振盪電路；而且

上述控制電路係輸入上述基準時鐘信號，並藉上述控制訊號將上述第1振盪電路之振盪頻率及基準時鐘信號之頻率控制成對應者。

9．如申請專利範圍第8項之半導體積體電路裝置，其中上述控制電路係用以控制上述第1振盪電路俾使上述基準時鐘訊號之頻率相等於上述第1振盪電路之振盪頻率者。

10．如申請專利範圍第9項之半導體積體電路裝置，其中上述控制電路具有：用以比較上述基準時鐘訊號與第1振盪電路之振盪輸出的相位頻率比較器；及輸入有該相位頻率比較器之比較結果的低通濾波器；並依該低通濾波器之輸出訊號來產生上述控制訊號者。

11．如申請專利範圍第9或10項之半導體積體電路裝置，其中上述控制訊號係構成爲可控制上述P通道型MIS電晶體及上述N通道型MIS電晶體之基板偏壓者。

12．如申請專利範圍第11項之半導體積體電路裝置，其中上述基板偏壓，係相對於由至少連接於1個MOS電晶體之源極的擴散層及基板所構成之PN接合，被施加在順向偏壓之方向上者。

13．如申請專利範圍第8項之半導體積體電路裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

，其中上述基準時鐘訊號係被供至上述邏輯電路，上述邏輯電路係依據上述基準時鐘訊號來進行處理者。

1 4 . 一種半導體積體電路裝置，其特徵在於具有：

至少具備第 1 及第 2 電路方塊的邏輯電路；

使振盪頻率為可變的第 1 及第 2 振盪電路；

用以控制構成上述第 1 電路方塊及第 1 振盪電路之 M I S 電晶體之臨界值電壓的第 1 控制電路；

用以控制構成上述第 2 電路方塊及第 2 振盪電路之 M I S 電晶體之臨界值電壓的第 2 控制電路；及

用以供給共用之特定頻率之時鐘訊號於上述第 1 及第 2 控制電路之時鐘訊號供給電路；

上述第 1 控制電路係控制構成上述第 1 電路方塊及第 1 振盪電路之 M I S 電晶體之臨界值電壓俾使上述時鐘訊號之頻率與上述振盪電路之振盪輸出之頻率一致；

上述第 2 控制電路係控制構成上述第 2 電路方塊及第 2 振盪電路之 M I S 電晶體之臨界值電壓俾使上述時鐘訊號之頻率與上述振盪電路之振盪輸出之頻率一致者。

1 5 . 如申請專利範圍第 1 4 項之半導體積體電路裝置，其中構成上述第 1 電路方塊之 M I S 電晶體係於同一半導體基板上互相近接而配置，構成上述第 2 電路方塊之 M I S 電晶體係於同一半導體基板上互相近接而配置。

1 6 . 如申請專利範圍第 1 4 或 1 5 項之半導體積體電路裝置，其中上述時鐘訊號供給電路係依動作模式來產生頻率不同之多數個時鐘訊號者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

17. 一種半導體積體電路裝置，其特徵在於具有：
至少具有第1、第2及第3電路方塊之邏輯電路；
及振盪頻率為可變之第1、第2及第3振盪電路；
及用以控制上述第1電路方塊及構成上述第1振盪電路之MIS電晶體之臨界值電壓的第1控制電路；

及用以控制上述第2電路方塊及構成上述第2振盪電路之MIS電晶體之臨界值電壓的第2控制電路；

及用以控制上述第3電路方塊及構成上述第3振盪電路之MIS電晶體之臨界值電壓的第3控制電路；

及用以供給共通之特定頻率之時鐘訊號於上述第1及第2控制電路的第1時鐘訊號供給電路；

及用以供給具特定頻率之時鐘訊號於上述第3控制電路的第2時鐘訊號供給電路；而且

上述第1控制電路係控制上述第1電路方塊及構成上述第1振盪電路之MIS電晶體之臨界值電壓俾使上述第1時鐘訊號供給電路所供給之時鐘訊號之頻率與上述第1振盪電路之振盪輸出之頻率一致者；

上述第2控制電路係控制上述第2電路方塊及構成上述第2振盪電路之MIS電晶體之臨界值電壓俾使上述第1時鐘訊號供給電路所供給之時鐘訊號之頻率與上述第2振盪電路之振盪輸出之頻率一致者；

上述第3控制電路係控制上述第3電路方塊及構成上述第3振盪電路之MIS電晶體之臨界值電壓俾使上述第2時鐘訊號供給電路所供給之時鐘訊號之頻率與上述第3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

振盪電路之振盪輸出之頻率一致者。

18. 如申請專利範圍第17項之半導體積體電路裝置，其中上述第1時鐘訊號供給電路及上述第2時鐘訊號供給電路係構成爲可輸出互爲不同頻率之時鐘訊號者。

19. 一種至少包含有申請專利範圍第8、14、17項中任一項之半導體積體電路裝置之微電腦，其特徵在於：

具有負載檢測裝置用以檢測上述半導體積體電路裝置內之邏輯電路之處理量；

上述負載檢測裝置係構成爲可依上述處理量來變化上述時鐘訊號之頻率者。

20. 如申請專利範圍第19項之微電腦，其中上述負載檢測器係由在上述微電腦上執行之程式構成者。

21. 如申請專利範圍第19項之微電腦，其中上述微電腦更具備輸入該微電腦的輸入裝置；上述負載檢測器係構成爲可藉檢測上述輸入裝置之稼動頻度來變化上述時鐘訊號之頻率者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

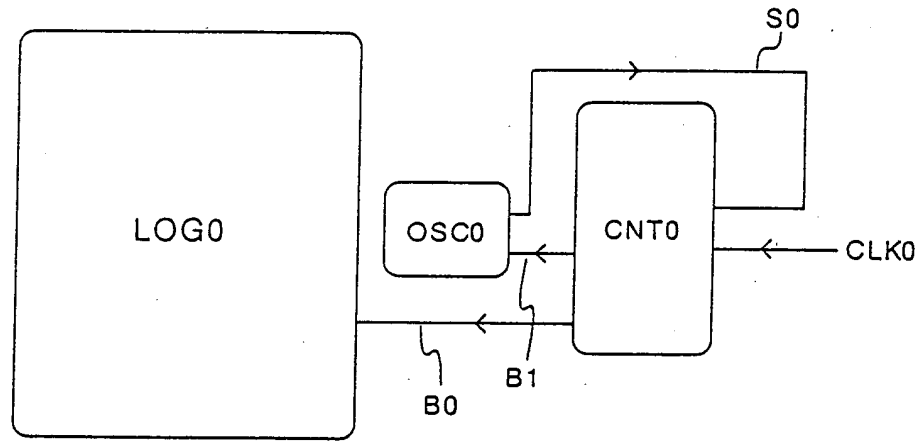
線

313639

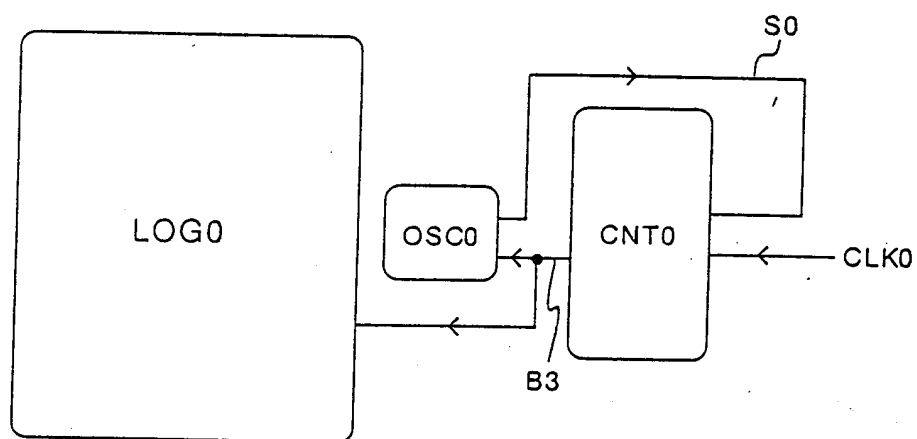
85104389

725254

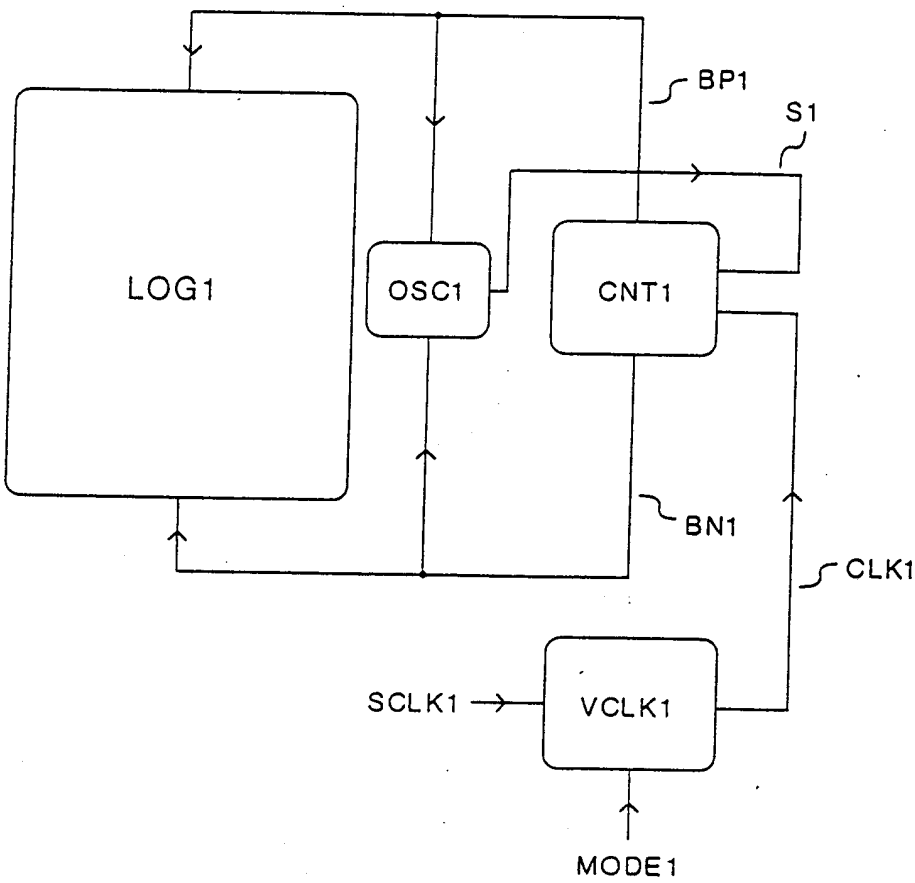
第1圖



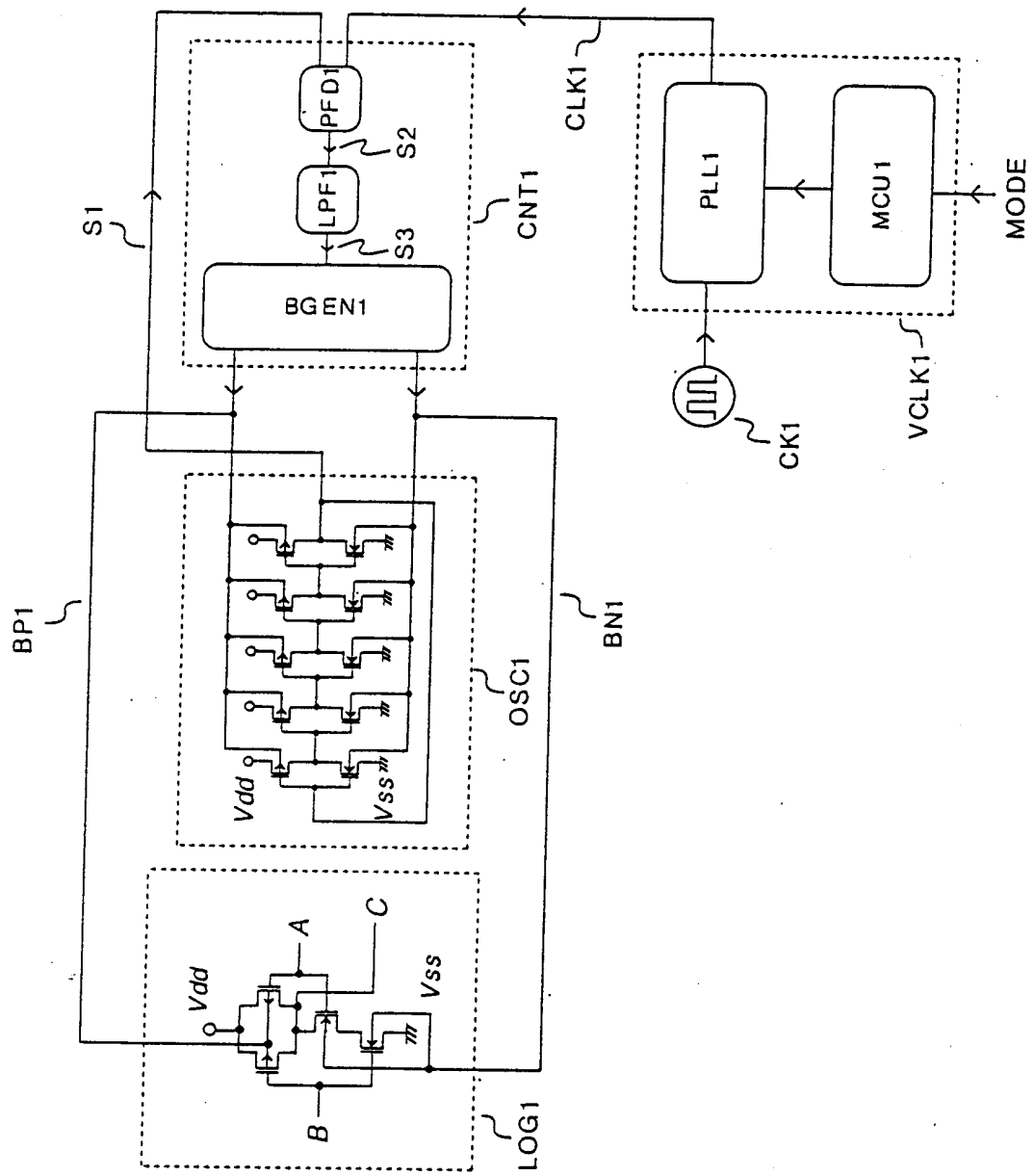
第 2 圖



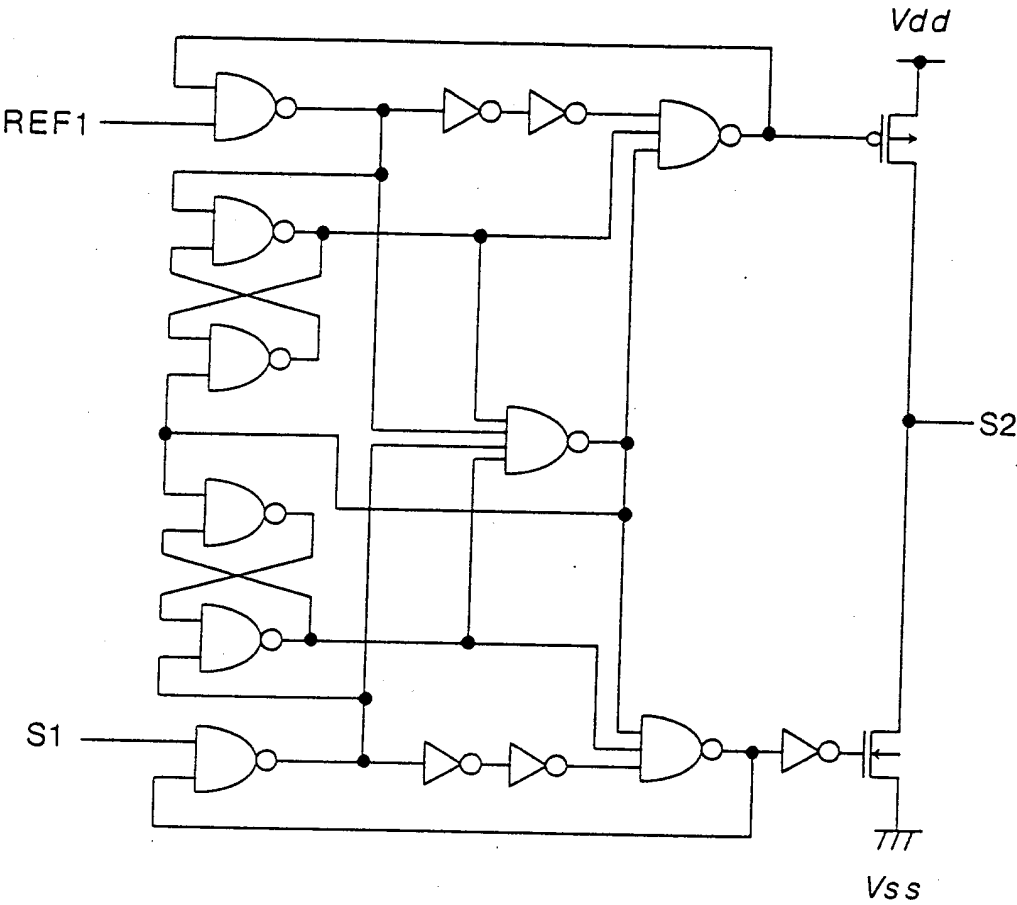
第 3 圖



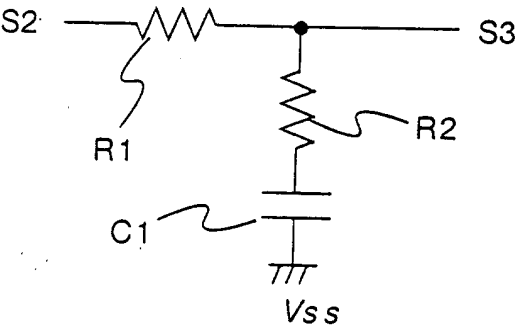
第4圖

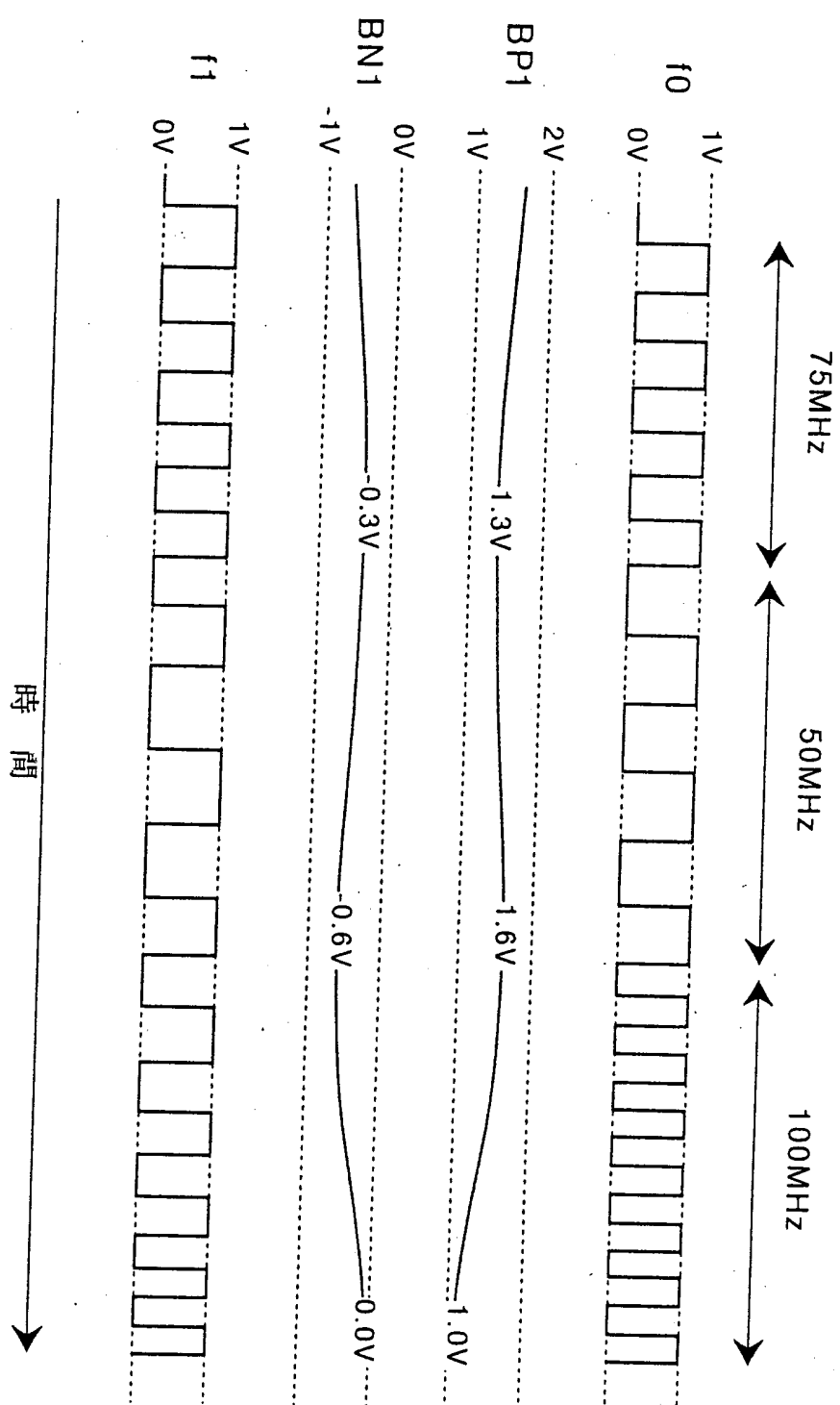


第 5 圖 a



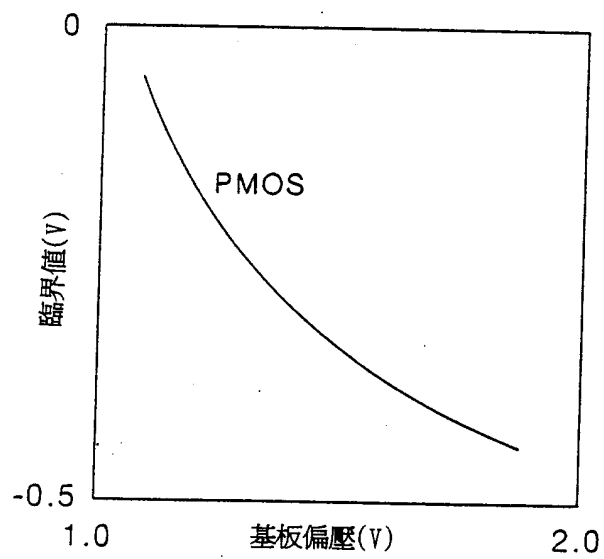
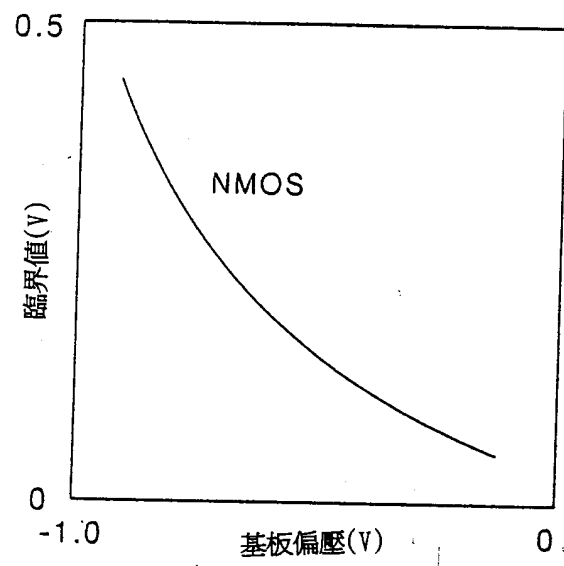
第 5 圖 b



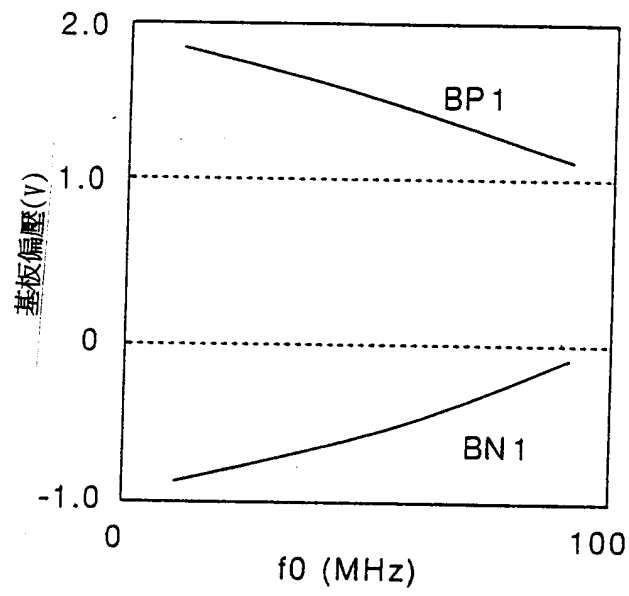


第 6 圖

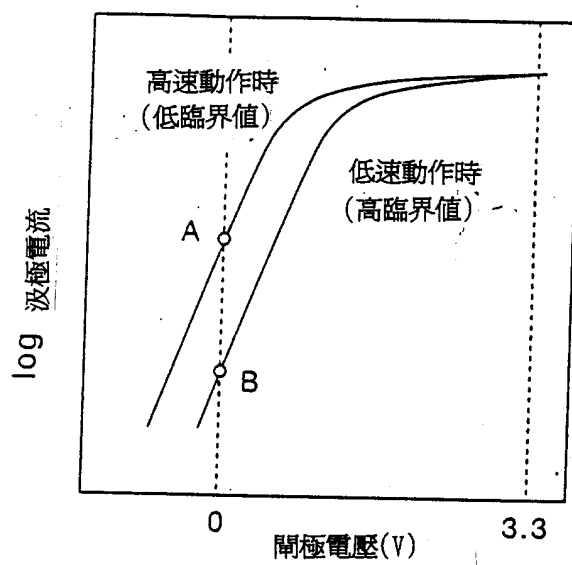
第 7 圖



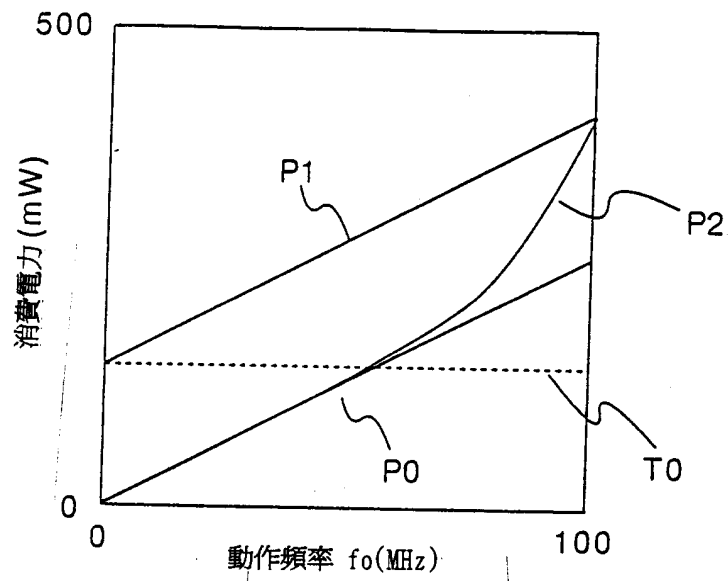
第 8 圖



第 9 圖



第10圖

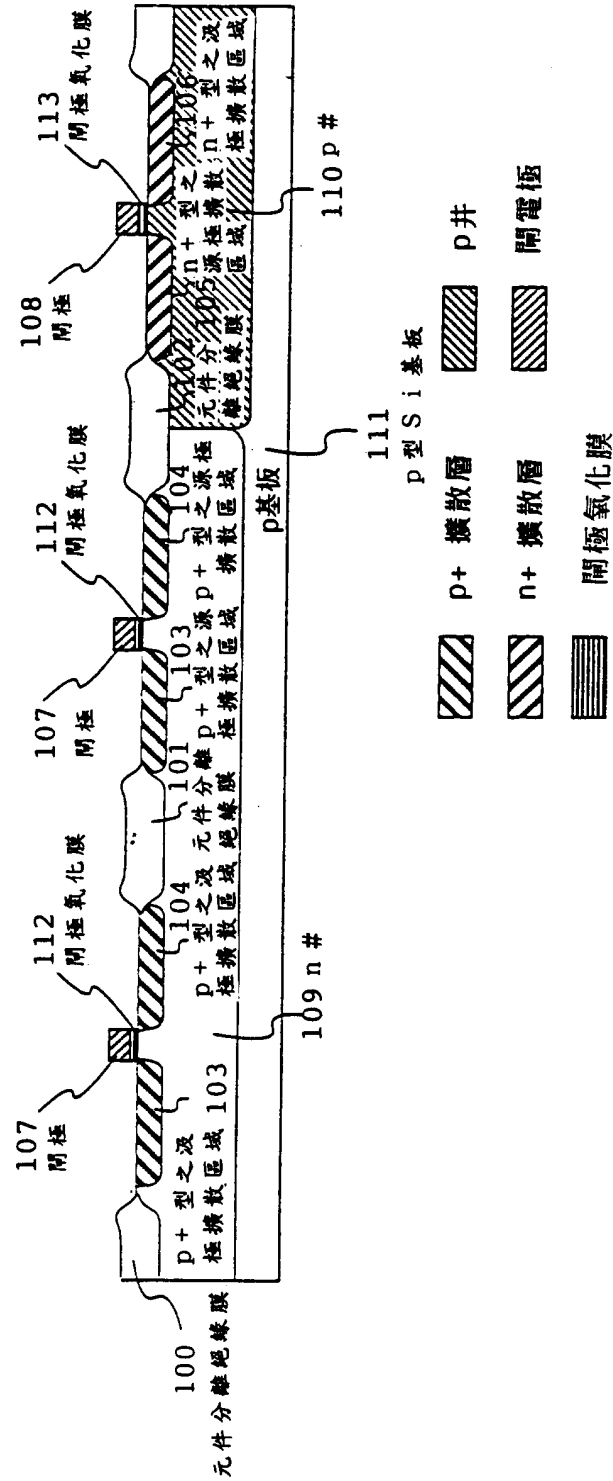


86年5月 修正
補充

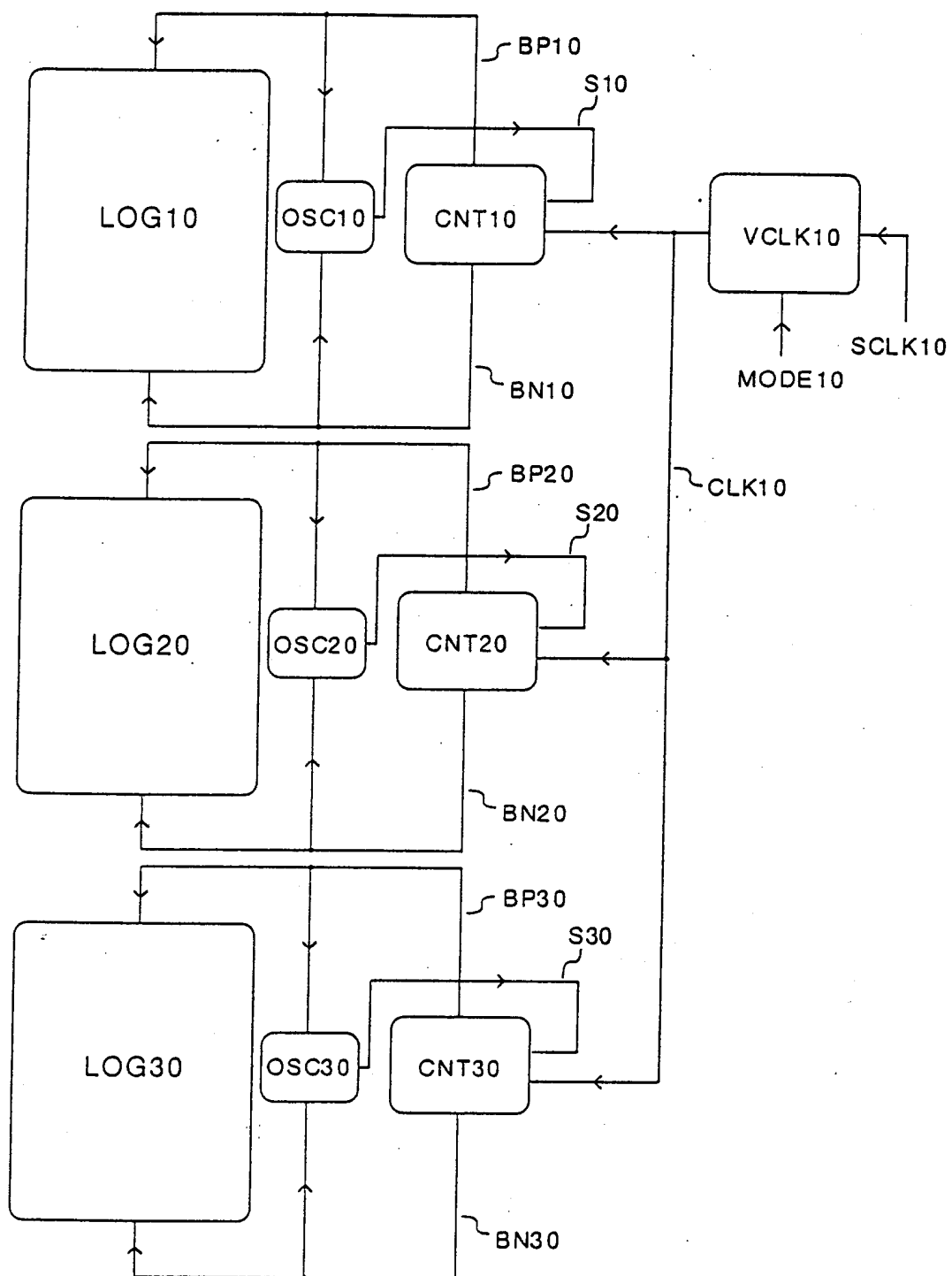
第85104389號專利申請案
中文修正圖式

民國86年5月 修正

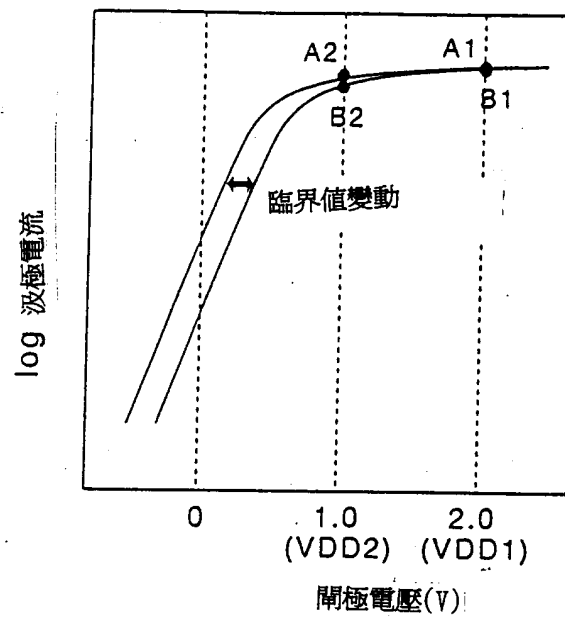
第11圖

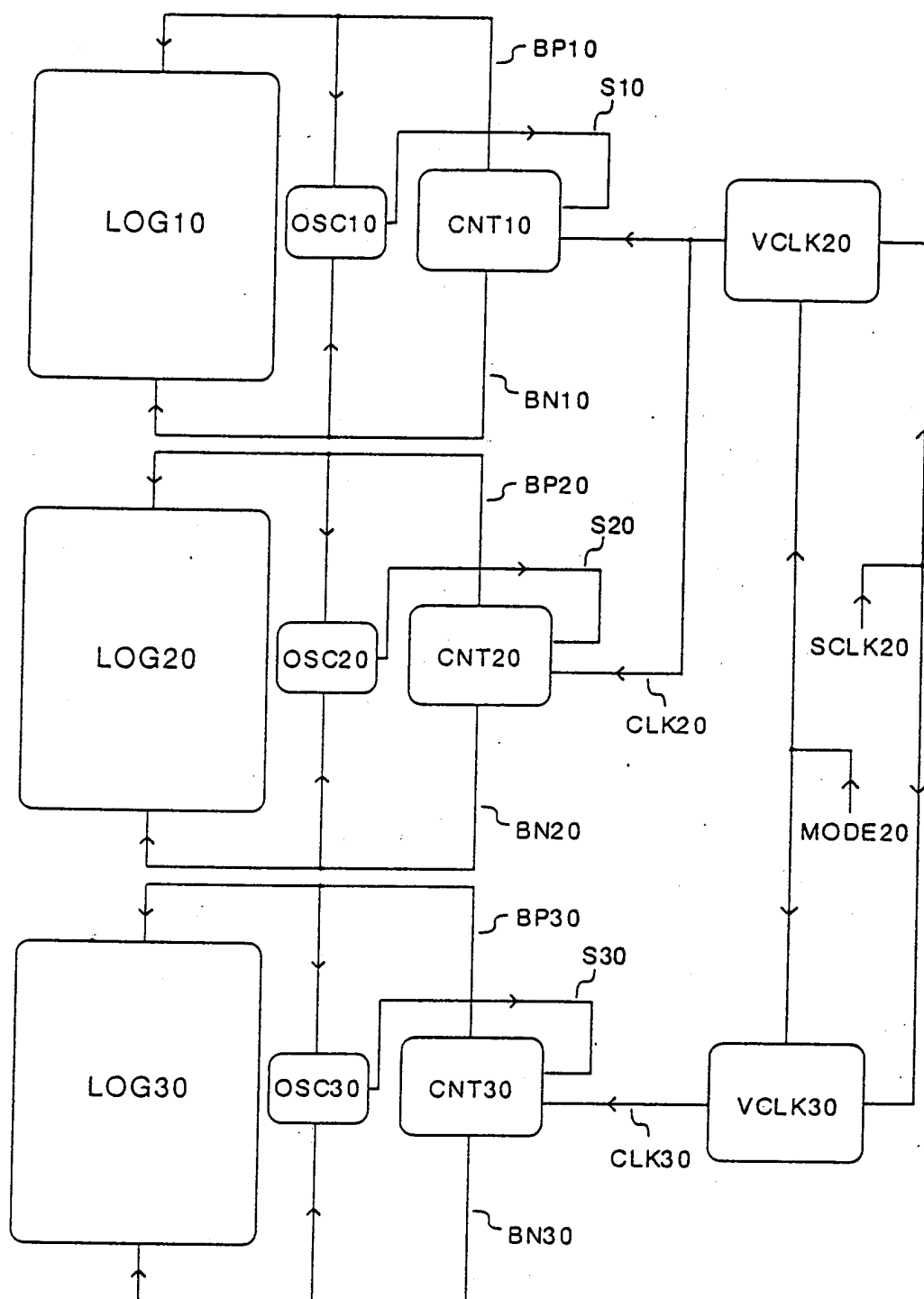


第12圖

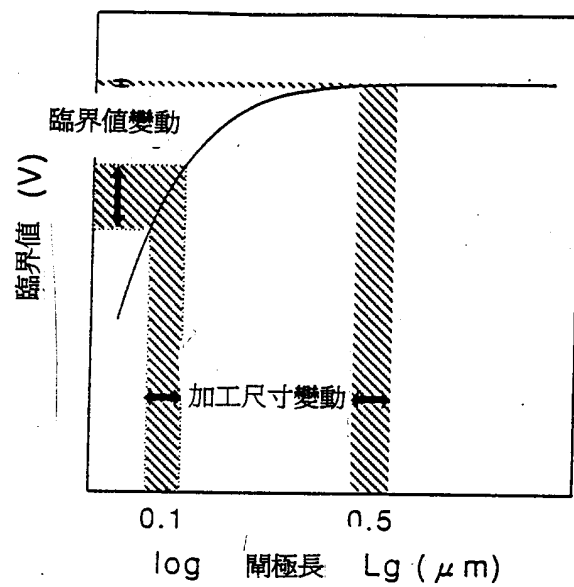


第13圖

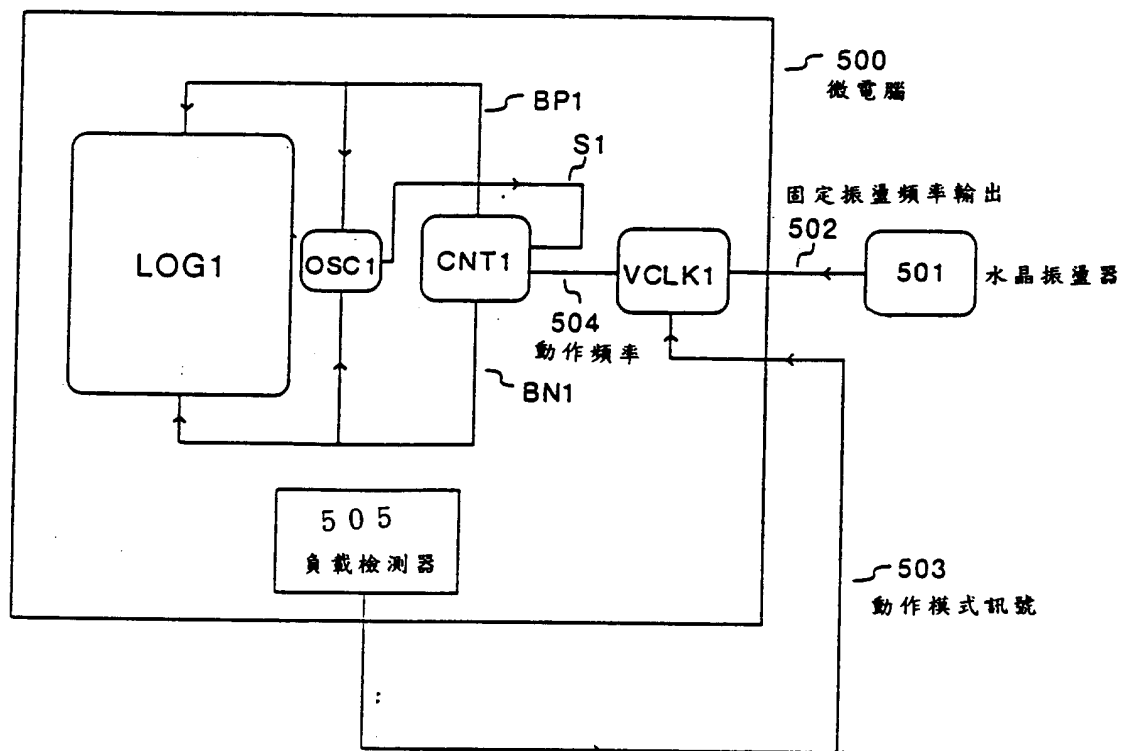




第15圖



第16圖



第17圖

