



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년08월12일

(11) 등록번호 10-2143952

(24) 등록일자 2020년08월06일

(51) 국제특허분류(Int. Cl.)

H04L 25/03 (2006.01)

(52) CPC특허분류

H04L 25/03057 (2013.01)

H04L 25/03267 (2013.01)

(21) 출원번호 10-2019-0041013

(22) 출원일자 2019년04월08일

심사청구일자 2019년04월08일

(56) 선행기술조사문헌

JP05085116 U*

KR100809888 B1*

KR1020110018638 A*

KR1020170025894 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)

최윤재

서울특별시 성동구 고산자로2길 65, 104동 803호 (행당동)

(74) 대리인

이기성

전체 청구항 수 : 총 11 항

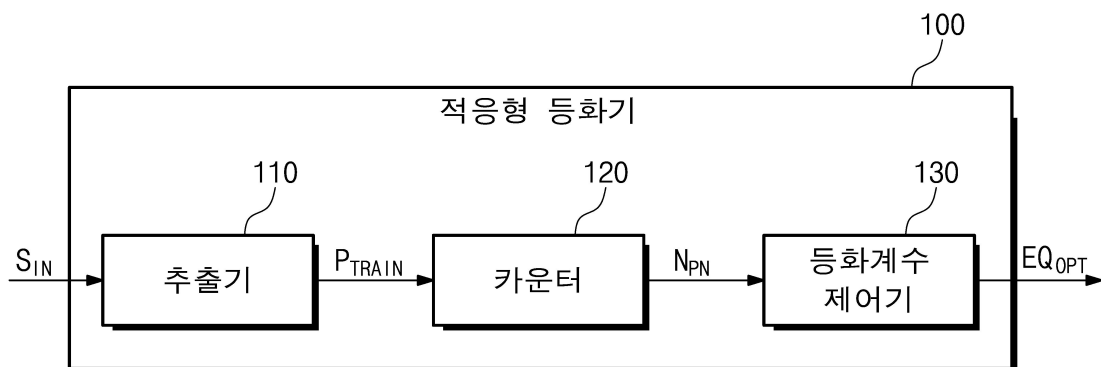
심사관 : 황철규

(54) 발명의 명칭 저전력 적응형 등화기 및 그 동작 방법

(57) 요약

본 출원의 일 실시예에 따른 저전력 적응형 등화기는, 등화되는 각 등화 신호에 기초하는 각 한쌍의 슬라이서신호를 이용하여, 각 펄스 트레인을 등화 계수들마다 각각 생성하는 추출기, 상기 펄스 트레인에서 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간 카운팅하는 카운터 및 상기 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 기초하여, 상기 등화 계수들 중 상기 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수로 판단하는 등화계수 제어기를 포함한다.

대표도 - 도1



(52) CPC특허분류
H04L 2025/03617 (2013.01)

명세서

청구범위

청구항 1

각 등화 신호에 기초하는 각 한쌍의 슬라이서신호를 이용하여, 각 펄스 트레인을 등화 계수들마다 각각 생성하는 추출기;

상기 펄스 트레인에서 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간 카운팅하는 카운터;

상기 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 기초하여, 상기 등화 계수들 중 상기 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수로 판단하는 등화계수 제어기;

상기 각 한쌍의 슬라이서신호를 출력받아 저장하는 SR 래치;

상기 SR 래치에 저장된 상기 각 한쌍의 슬라이서신호를 기설정된 클럭(CLK)에 따라 샘플링하여, 출력 신호를 출력하는 플립플롭;

각 등화 계수에 따라, 송신기로부터 전송받는 입력 신호를 선형적으로 등화하여 각 선형등화 신호를 덧셈기로 출력하는 선형 등화기; 및

상기 각 등화 계수에 따른 계인과 상기 각 한쌍의 슬라이서신호의 곱을 상기 덧셈기에 피드백시켜, 상기 덧셈기를 통해 상기 등화 신호를 출력하는 판정궤환 등화기를 포함하는, 저전력 적응형 등화기.

청구항 2

제1항에 있어서,

상기 각 펄스 트레인을 기설정된 주파수 비율로 분할하여, 저속의 각 펄스 트레인을 상기 카운터에 제공하는 주파수 분할기를 더 포함하는, 저전력 적응형 등화기.

청구항 3

제1항에 있어서,

상기 추출기는, 상기 각 등화 신호와 기준전압을 비교하는 비교기를 통해 출력되는 상기 각 한쌍의 슬라이서신호를 추출하는, 저전력 적응형 등화기.

청구항 4

제3항에 있어서,

상기 비교기는, 상기 각 등화 계수에 따라 변화되는 지연시간의 최소값에 따라, 상기 최적등화 계수에 대응되는 적어도 하나의 한쌍의 슬라이서신호를 출력하는, 저전력 적응형 등화기.

청구항 5

제4항에 있어서,

상기 지연시간은, 상기 최적등화 계수에서 이격된 등화 계수에 따라 증가되는, 저전력 적응형 등화기.

청구항 6

제1항에 있어서,

상기 각 한쌍의 슬라이서신호의 제1 슬라이서신호를 제1 인버팅 신호로 인버팅하는 제1 인버터;

상기 각 한쌍의 슬라이서신호의 제2 슬라이서신호를 제2 인버팅 신호로 인버팅하는 제2 인버터; 및

상기 제1 및 제2 인버팅 신호에 기초하여, 상기 각 펄스 트레인을 생성하는 OR 게이트를 포함하는, 저전력 적응형 등화기.

청구항 7

제6항에 있어서,

상기 OR 게이트는, 상기 제1 및 제2 인버팅 신호 중 어느 하나가 기준레벨 미만인 경우, 상기 어느 하나에 대해 LOW 레벨로 논리연산하는, 저전력 적응형 등화기.

청구항 8

삭제

청구항 9

저전력 적응형 등화기의 동작방법으로서,

추출기가 등화 계수별로 등화된 각 등화 신호에 따라 비교기를 통해 출력되는 각 한쌍의 슬라이서신호를 추출하는 단계;

상기 추출기가 상기 각 한쌍의 슬라이서신호를 이용하여, 각 펄스 트레인을 생성하는 단계;

카운터가 상기 각 펄스 트레인에서 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간 카운팅하는 단계; 및

등화계수 제어기가 상기 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수로 판단하는 단계를 포함하고,

상기 저전력 적응형 등화기는, 상기 각 한쌍의 슬라이서신호를 출력받아 저장하는 SR 래치;

상기 SR 래치에 저장된 상기 각 한쌍의 슬라이서신호를 기설정된 클럭(CLK)에 따라 샘플링하여, 출력 신호를 출력하는 플립플롭;

각 등화 계수에 따라, 송신기로부터 전송받는 입력 신호를 선형적으로 등화하여 각 선형등화 신호를 덧셈기로 출력하는 선형 등화기; 및

상기 각 등화 계수에 따른 계인과 상기 각 한쌍의 슬라이서신호의 곱을 상기 덧셈기에 피드백시켜, 상기 덧셈기를 통해 상기 등화 신호를 출력하는 판정계환 등화기를 포함하는, 저전력 적응형 등화기의 동작방법.

청구항 10

제9항에 있어서,

주파수 분할기가 상기 각 펄스 트레인을 기설정된 주파수 비율로 분할하여, 저속의 각 펄스 트레인을 상기 카운터에 제공하는 단계를 더 포함하는, 저전력 적응형 등화기의 동작방법.

청구항 11

제9항에 있어서,

상기 각 펄스 트레인을 생성하는 단계는, 상기 각 한쌍의 슬라이서신호의 제1 슬라이서신호를 제1 인버팅 신호로 인버팅하는 단계;

상기 각 한쌍의 슬라이서신호의 제2 슬라이서신호를 제2 인버팅 신호로 인버팅하는 단계; 및

상기 제1 및 제2 인버팅 신호에 대해 OR 논리 연산하여 상기 각 펄스 트레인을 출력하는 단계를 포함하는, 저전력 적응형 등화기의 동작방법.

청구항 12

제11항에 있어서,

상기 각 펄스 트레인을 출력하는 단계는, 상기 제1 및 제2 인버팅 신호 중 어느 하나가 기준레벨 미만인 경우, 상기 어느 하나에 대해 LOW 레벨로 논리 연산하는 단계를 포함하는, 저전력 적응형 등화기의 동작방법.

발명의 설명

기술 분야

[0001] 본 출원은, 저전력 적응형 등화기 및 그 동작 방법에 관한 것으로, 특히, 최적등화 계수를 빠르게 판단하여, 전력 소모를 감소시키는 저전력 적응형 등화기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 등화기는 채널 감쇄로 인해 발생하는 데이터의 왜곡(ISI, jitter 등)을 보상하기 위하여 사용되는 회로이다. 특히, 등화기는 데이터의 부호간 간섭(Inter-Symbol Interference, ISI) 및 지터(Jitter)를 줄여주어 채널 감쇄로 인한 수신단의 데이터 복원 시 비트 에러율(BER)을 최소화시킬 수 있다.

[0003] 이러한 등화기에는 연속시간 선형등화기(Continuous Time Linear Equalizer, CTLE)와 판정궤환 등화기(Decision Feedback Equalizer, DFE)가 있다. 구체적으로, 연속시간 선형등화기는 고주파수 성분 증폭과 동시에 long-tail ISI를 효과적으로 제거할 수 있으며, 판정궤환 등화기는 노이즈 증폭 없이도 tap 수에 따른 ISI를 제거할 수 있다.

[0004] 최근, 데이터 전송속도가 높아짐에 따라 채널 감쇄로 인한 데이터 왜곡 현상이 커져 데이터 왜곡이 심해지고, 같은 종류의 채널 간에도 여러 요인에 의하여 채널 특성이 조금씩 달라져, 고속 송수신기에서는 등화기의 역할이 중요해지고 있다. 특히, 고속 송수신기는 서로가 장단점을 갖고 있는 연속시간 선형등화기와 판정궤환 등화기를 함께 사용할 때, 가장 효율적이며, 외부에서 최적등화 계수(EQ_{OPT})를 판단하기 어렵기 때문에, 적응형 등화기(Adaptive Equalizer)를 이용하고 있다.

[0005] 이에, 본 출원에서는 최적등화 계수(EQ_{OPT})를 빠르고 효율적으로 판단함으로써, 전력 소모를 감소시키는 동시에, 미세공정이 가능한 디지털 회로로 구현할 수 있게 하는 저전력 적응형 등화기를 제공하고자 한다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은, 입력 신호에 대한 등화 정도를 간단하게 추출하고, 최적등화 계수(EQ_{OPT})를 빠르게 판단하여, 전력 소모를 감소시키는 동시에, 미세공정이 가능한 디지털 회로로 구현할 수 있는 저전력 적응형 등화기를 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 출원의 일 실시예에 따른 저전력 적응형 등화기는, 각 등화 신호에 기초하는 각 한쌍의 슬라이서신호를 이용하여, 각 펄스 트레인을 등화 계수들마다 각각 생성하는 추출기, 상기 펄스 트레인에 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간 카운팅하는 카운터 및 상기 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 기초하여, 상기 등화 계수들 중 상기 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수로 판단하는 등화계수 제어기를 포함한다.

[0008] 실시예에 있어서, 상기 각 펄스 트레인을 기설정된 주파수 비율로 분할하여, 저속의 각 펄스 트레인을 상기 카운터에 제공하는 주파수 분할기를 더 포함한다.

[0009] 실시예에 있어서, 상기 추출기는, 상기 각 등화 신호와 기준전압을 비교하는 비교기를 통해 출력되는 상기 각 한쌍의 슬라이서신호를 추출한다.

[0010] 실시예에 있어서, 상기 비교기는, 상기 각 등화 계수에 따라 변화되는 지연시간의 최소값에 따라, 상기 최적등화 계수에 대응되는 적어도 하나의 한쌍의 슬라이서신호를 출력한다.

[0011] 실시예에 있어서, 상기 지연시간은, 상기 최적등화 계수에서 이격된 등화 계수에 따라 증가된다.

[0012] 실시예에 있어서, 상기 각 한쌍의 슬라이서신호 중 상기 비교기의 지연시간에 따라 비정상 출력되는 나머지 한쌍의 슬라이서신호는 상기 나머지 한쌍의 슬라이서신호에 대응되는 등화 계수의 비정상 상태 정보를 포함한다.

[0013] 실시예에 있어서, 상기 각 한쌍의 슬라이서신호의 제1 슬라이서신호를 제1 인버팅 신호로 인버팅하는 제1 인버

터, 상기 각 한쌍의 슬라이서신호의 제2 슬라이서신호를 제2 인버팅 신호로 인버팅하는 제2 인버터 및 상기 제1 및 제2 인버팅 신호에 기초하여, 상기 각 펄스 트레인을 생성하는 OR 게이트를 포함한다.

[0014] 실시예에 있어서, 상기 OR 게이트는, 상기 제1 및 제2 인버팅 신호 중 어느 하나가 기준레벨 미만인 경우, 상기 어느 하나에 대해 LOW 레벨로 논리연산한다.

[0015] 실시예에 있어서, 상기 각 한쌍의 슬라이서신호를 출력받아 저장하는 SR 래치, 상기 SR 래치에 저장된 상기 각 한쌍의 슬라이서신호를 기설정된 클럭(CLK)에 따라 샘플링하여, 출력 신호를 출력하는 플립플롭, 상기 각 등화 계수에 따라, 송신기로부터 전송받는 입력 신호를 선형적으로 등화하여 각 선형등화 신호를 덧셈기로 출력하는 선형 등화기 및 상기 각 등화 계수에 따른 계수와 상기 각 한쌍의 슬라이서신호의 곱을 상기 덧셈기에 피드백시켜, 상기 덧셈기를 통해 상기 등화 신호를 출력하는 판정레환 등화기를 포함한다.

[0016] 본 출원의 일 실시예에 따른 저전력 적응형 등화기의 동작방법으로서, 추출기가 등화 계수별로 등화된 각 등화 신호에 따라 비교기를 통해 출력되는 각 한쌍의 슬라이서신호를 추출하는 단계, 상기 추출기가 상기 각 한쌍의 슬라이서신호를 이용하여, 각 펄스 트레인을 생성하는 단계, 카운터가 상기 각 펄스 트레인에서 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간 카운팅하는 단계 및 등화계수 제어기가 상기 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수로 판단하는 단계를 포함한다.

[0017] 실시 예에 있어서, 주파수 분할기가 상기 각 펄스 트레인을 기설정된 주파수 비율로 분할하여, 저속의 각 펄스 트레인을 상기 카운터에 제공하는 단계를 더 포함한다.

[0018] 실시 예에 있어서, 상기 각 펄스 트레인을 생성하는 단계는, 상기 각 한쌍의 슬라이서신호의 제1 슬라이서신호를 제1 인버팅 신호로 인버팅하는 단계, 상기 각 한쌍의 슬라이서신호의 제2 슬라이서신호를 제2 인버팅 신호로 인버팅하는 단계 및 상기 제1 및 제2 인버팅 신호에 대해 OR 논리 연산하여 상기 각 펄스 트레인을 출력하는 단계를 포함한다.

[0019] 실시 예에 있어서, 상기 각 펄스 트레인을 출력하는 단계는, 상기 제1 및 제2 인버팅 신호 중 어느 하나가 기준레벨 미만인 경우, 상기 어느 하나에 대해 LOW 레벨로 논리 연산하는 단계를 포함한다.

발명의 효과

[0020] 본 출원의 실시예에 따른 저전력의 적응형 등화기는, 종래의 EYE 데이터 모니터링 장치 없이, 각 등화 계수에 따라 등화되는 각 등화 신호에 대한 등화 정도를 간단하게 추출할 수 있는 효과가 있다.

[0021] 또한, 최적등화 계수(EQ_{OPT})를 빠르고 효율적으로 판단함으로써, 전력 소모를 감소시키는 동시에, 미세공정이 가능한 디지털 회로로 구현할 수 있게 한다.

도면의 간단한 설명

[0022] 도 1은 본 출원의 실시 예에 따른 적응형 등화기의 블록도이다.

도 2는 도 1의 각 등화 계수에 따른 정상펄스 개수 변화를 나타내는 도이다.

도 3은 도 1의 각 한쌍의 슬라이서신호를 설명하기 위한 도이다.

도 4 도 1의 등화 계수에 따른 비교기의 지연시간을 나타내는 도이다.

도 5는 본 출원의 실시 예에 따른 저전력 적응형 등화기의 동작 프로세스이다.

도 6은 도 3의 추출기를 구체적으로 보여주는 도이다.

도 7은 도 6의 추출기에 대한 동작 프로세스이다.

도 8은 도 1의 적응형 등화기를 구체적으로 보여주는 도이다.

도 9는 도 8의 적응형 등화기의 일 실시예에 따른 입출력 신호에 대한 파형이다.

도 10은 도 8의 적응형 등화기의 다른 실시예에 따른 입출력 신호에 대한 파형이다.

도 11은 도 8의 적응형 등화기의 또 다른 실시예에 따른 입출력 신호에 대한 파형이다.

도 12는 다른 실시 예에 따른 적응형 등화기를 구체적으로 보여주는 도면이다.

도 13(a)는 16Gb/s, 30-dB loss channel인 파라미터로 측정된 EYE 다이어그램이다.

도 13(b)는 16Gb/s, 15-dB loss channel인 파라미터로 측정된 EYE 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0024] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0025] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0027] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.
- [0030] 도 1은 본 출원의 실시 예에 따른 적응형 등화기(100)의 블록도이다. 도 2는 도 1의 각 등화 계수에 따른 정상 펄스 개수 변화를 나타내는 도이다.
- [0031] 도 1과 도 2를 참조하면, 적응형 등화기(100)는 추출기(110), 카운터(120) 및 등화계수 제어기(130)를 포함할 수 있다.
- [0032] 먼저, 추출기(110)는 각 등화 신호(D_{EQ})에 기초하는 각 한쌍의 슬라이서신호(S_{IN})를 이용하여, 각 펄스 트레인(P_{TRAIN})을 등화 계수들(예컨대, $EQ1 \sim EQN$)마다 각각 생성할 수 있다.
- [0033] 구체적으로, 등화 신호(D_{EQ})는 입력 신호(D_{IN})로부터 등화 계수들(예컨대, $EQ1 \sim EQN$) 각각에 따라 선형등화기(154) 또는 판정계환 등화기(155)에 의해 등화되는 신호(예컨대, $D1_{EQ1} \sim D1_{EQN}$, $D2_{EQ1} \sim D2_{EQN}$)로, 추출기(110)에 입력되는 차동 입력신호일 수 있다. 이어서, 등화 계수들(예컨대, $EQ1 \sim EQN$)은 입력 신호(D_{IN})의 레벨 이상 또는 위상 이상으로 나타나는 채널 왜곡을 보상하기 위하여, 선형적으로 조절되는 파라미터일 수 있다. 즉, 각 등화 신호(예컨대, $D1_{EQ1} \sim D1_{EQN}$, $D2_{EQ1} \sim D2_{EQN}$)는 각 등화 계수(예컨대, $EQ1 \sim EQN$)에 각각 대응될 수 있다.

- [0034] 또한, 한쌍의 슬라이서신호(S_{IN})는 등화 계수들(예컨대, $EQ1 \sim EQN$) 각각마다 선형 등화되는 각 등화 신호(예컨대, $D1_EQ1 \sim D1_EQN$, $D2_EQ1 \sim D2_EQN$)에 기초하는 톱니파 형상의 펄스가 단위시간마다 발생하는 신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)일 수 있다. 이어서, 펄스 트레인(P_{TRAIN})은 구형파 형상의 펄스가 단위시간마다 발생하는 신호(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)로서, 클럭(CLK)의 형상에 대응될 수 있다. 즉, 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)는 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)에 대응될 수 있다.
- [0035] 즉, 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)은 각 등화 계수(예컨대, $EQ1 \sim EQN$), 각 등화 신호(예컨대, $D1_EQ1 \sim D1_EQN$, $D2_EQ1 \sim D2_EQN$) 및 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)에 대한 정보를 포함할 수 있다.
- [0036] 다음으로, 카운터(120)는 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)에서 정상펄스를 카운팅할 수 있다. 여기서, 정상펄스는 단위시간마다 소정레벨 이상의 크기를 가지는 구형파 신호일 수 있다.
- [0037] 구체적으로, 카운터(120)는 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스 개수(N_{PN})를 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)마다 일정시간 동안 카운팅할 수 있다. 이때, 카운터(120)는 단위시간마다 소정레벨 미만의 크기를 가지는 비정상펄스에 대한 카운팅동작을 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)마다 스킵할 수 있다.
- [0038] 다음으로, 등화계수 제어기(130)는 각 펄스 트레인($P_{TRAIN1} \sim P_{TRAINN}$) 중 정상펄스 개수(N_{PN})가 최대인 적어도 하나의 펄스 트레인에 기초하여, 등화 계수들(예컨대, $EQ1 \sim EQN$) 중 적어도 하나의 펄스 트레인에 대응되는 등화 계수를 최적등화 계수(EQ_{OPT})로 판단할 수 있다.
- [0039] 도 2에 도시된 바와 같이, 최적등화 계수(EQ_{OPT})는 복수의 펄스 트레인들 중 정상펄스 개수(N_{PN})가 최대인 적어도 하나의 펄스 트레인에 대응되는 등화 계수일 수 있다. 구체적으로, 최적등화 계수(EQ_{OPT})는 각 펄스 트레인($P_{TRAIN1} \sim P_{TRAINN}$) 중 정상펄스 개수(N_{PN})가 최대 개수인 적어도 하나의 펄스 트레인의 해당 등화 계수(예컨대, $EQ5 \sim EQ9$)일 수 있다. 즉, 등화계수 제어기(130)는 각 등화 계수(예컨대, $EQ1 \sim EQN$) 중 정상펄스가 최대인 적어도 하나의 펄스 트레인에 대응되는 적어도 하나의 등화 계수(예컨대, $EQ5 \sim EQ9$)를 최적등화 계수(EQ_{OPT})로 판단할 수 있다.
- [0040] 이때, 등화계수 제어기(130)는 카운터(120)의 카운팅동작을 리셋시킬 수 있다. 구체적으로, 등화계수 제어기(130)는 각 등화 계수(예컨대, $EQ1 \sim EQN$)를 변경할 때마다 카운터(120)의 카운팅동작을 리셋시켜, 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)에서 카운팅된 정상펄스 개수를 초기화할 수 있다.
- [0041] 본 출원의 실시예에 따른 기술적 사상에 있어서, 적응형 등화기(100)는 추출기(110)를 통해 추출되는 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)를 이용함으로써, 종래의 EYE 데이터 모니터링 장치 없이, 각 등화 계수(예컨대, $EQ1 \sim EQN$)에 따라 등화되는 각 등화 신호(예컨대, $D1_EQ1 \sim D1_EQN$, $D2_EQ1 \sim D2_EQN$)에 대한 등화 상태를 간단하게 모니터링할 수 있다.
- [0042] 또한, 적응형 등화기(100)는 추출기(110)를 통해 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)로부터 각 펄스 트레인($P_{TRAIN1} \sim P_{TRAINN}$)을 생성하고, 카운터(120)를 통해 정상펄스 개수를 카운팅할 수 있다. 이때, 적응형 등화기(100)는 등화계수 제어기(130)를 통해 정상펄스 개수(N_{PN})가 최대인 적어도 하나의 펄스 트레인(예컨대, $P_{TRAIN5} \sim P_{TRAIN9}$)에 기초하여, 최적등화 계수(EQ_{OPT})를 빠르고 효율적으로 판단함으로써, 전력 소모를 감소시키는 동시에, 디지털 회로로 구현할 수 있게 하는 효과가 있다.
- [0043] 도 3은 도 1의 각 한쌍의 슬라이서신호를 설명하기 위한 도이고, 도 4 도 1의 등화 계수에 따른 비교기(151)의 지연시간(TD)을 나타내는 도이다.
- [0044] 도 3과 도 4를 참조하면, 비교기(151)는 선형 등화되는 각 등화 신호(예컨대, $D1_EQ1 \sim D1_EQN$, $D2_EQ1 \sim D2_EQN$)와 기준 전압을 기설정된 클럭(CLK)에 따라 비교하여, 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)를 출력할 수 있다.
- [0045] 여기서, 각 한쌍의 슬라이서신호(예컨대, $S1_1$ 와 $S2_1$, $S1_2$ 와 $S2_2$, ..., $S1_N$ 와 $S2_N$)는 각 제1 슬라이서신

호(예컨대, S1_1, S1_2, ..., S1_N)와 각 제2 슬라이서신호(예컨대, S2_1, S2_2, ..., S2_N)를 포함할 수 있다.

- [0046] 이때, 도 4에 도시된 바와 같이, 등화 계수들(예컨대, EQ1~EQN)에 따라 변화되는 비교기(151)의 지연시간(TD) 중 최소값은, 최적등화 계수(예컨대, EQ4~EQ5 구간)일 수 있다. 이때, 비교기(151)는 최소값의 지연시간에 따라, 최적등화 계수(예컨대, EQ5~EQ9 구간)에 대응되는 한쌍의 슬라이서신호를 정상 출력할 수 있다.
- [0047] 한편, 비교기(151)의 지연시간(TD)은 최적등화 계수(예컨대, EQ5~EQ9 구간)에서 이격될수록 증가될 수 있다. 이 때, 비교기(151)는 지연시간(TD) 증가에 따라, 최적등화 계수(예컨대, EQ5~EQ9 구간)와 이격된 등화 계수(예컨대, EQ1)에 대응되는 한쌍의 슬라이서신호를 비정상적으로 출력할 수 있다.
- [0048] 실시 예에 따라, 추출기(110)는 비교기(151)를 통해 출력되는 한쌍의 슬라이서신호를 추출함으로써, 각 등화 계수(EQ1~EQN) 중 비교기(151)의 지연시간(TD)의 최소값에 대응되는 최적등화 계수(예컨대, EQ5~EQ9 구간)를 판단할 수 있게 할 수 있다.
- [0049] 도 5는 본 출원의 실시 예에 따른 저전력 적응형 등화기(100)의 동작 프로세스이다.
- [0050] 도 1 내지 도 5를 참조하면, 먼저, S110 단계에서, 추출기(110)는 등화 계수별(EQ1~EQN)로 등화된 각 등화 신호($D_{EQ1} \sim D_{EQN}$)에 따라 비교기(151)를 통해 출력되는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)를 추출할 수 있다.
- [0051] 여기서, 각 등화 계수(EQ1~EQN)는 각 등화 신호($D_{EQ1} \sim D_{EQN}$)에 대응되고, 각 등화 신호($D_{EQ1} \sim D_{EQN}$)는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)에 대응될 수 있다. 즉, 각 등화 계수(EQ1~EQN)는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)에 대응될 수 있다.
- [0052] 그런 다음, S120 단계에서, 추출기(110)는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)를 이용하여, 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)을 생성할 수 있다.
- [0053] 다음으로, S130 단계에서, 카운터(120)는 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$)에서 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스를 일정시간동안 카운팅할 수 있다.
- [0054] 이후, S140 단계에서, 등화계수 제어기(130)는 각 펄스 트레인(예컨대, $P_{TRAIN1} \sim P_{TRAINN}$) 중 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 대응되는 적어도 하나의 등화 계수를 최적등화 계수로 판단할 수 있다.
- [0055] 실시예에 따라, 정상펄스의 개수가 최대인 적어도 하나의 펄스 트레인에 대응되는 적어도 하나의 등화 계수가 복수개인 경우, 등화계수 제어기(130)는 적어도 하나의 등화 계수에 대한 중간값을 최적등화 계수로 판단할 수 있다. 예를 들면, 적어도 하나의 등화 계수가 5, 6, 7 인 경우, 등화계수 제어기(130)는 적어도 하나의 등화 계수 중 중간값인 6을 최적등화 계수로 판단할 수 있다.
- [0056] 다른 실시예에 따라, 중간값이 적어도 둘 이상인 경우, 등화계수 제어기(130)는 중간값 중 최소값을 최적등화 계수로 판단할 수 있다. 예를 들면, 적어도 하나의 등화 계수가 5, 6, 7, 8인 경우, 등화계수 제어기(130)는 등화 계수의 중간값인 6과 7에서, 작은 값인 6을 최적등화 계수로 판단할 수 있다.
- [0057] 도 6은 도 3의 추출기(110)를 구체적으로 보여주는 도이다.
- [0058] 도 3과 도 6을 참조하면, 추출기(110)는 제1 인버터(111), 제2 인버터(112) 및 OR 게이트(113)를 포함할 수 있다.
- [0059] 먼저, 제1 인버터(111)는 비교기(151)로부터 출력되는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N) 중 각 제1 슬라이서신호(예컨대, S1_1~S1_N)를 추출할 수 있다. 이때, 제1 인버터(111)는 각 제1 슬라이서신호(예컨대, S1_1~S1_N)를 각 제1 인버팅 신호(예컨대, INV1_1~INV1_N)로 인버팅하여, OR 게이트(113)로 출력할 수 있다.
- [0060] 예를 들면, 제1 인버터(111)는 제1 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1) 중 제1 슬라이서신호(예컨대, S1_1)를 추출하고, 제1 슬라이서신호(예컨대, S1_1)를 제1 인버팅 신호(예컨대, INV1_1)로 인버팅하여 OR 게이트(113)로 출력할 수 있다.
- [0061] 다음으로, 제2 인버터(112)는 비교기(151)로부터 출력되는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2

와 S2_2, ..., S1_N와 S2_N) 중 각 제2 슬라이서신호(예컨대, S2_1~S2_N)를 추출할 수 있다. 이때, 제2 인버터(112)는 각 제2 슬라이서신호(예컨대, S2_1~S2_N)를 각 제2 인버팅 신호(예컨대, INV2_1~INV2_N)로 인버팅하여, OR 게이트(113)로 출력할 수 있다.

[0062] 예를 들면, 제2 인버터(112)는 제1 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1) 중 제2 슬라이서신호(예컨대, S2_1)를 추출하고, 제2 슬라이서신호(예컨대, S2_1)를 제2 인버팅 신호(예컨대, INV2_1)로 인버팅하여 OR 게이트(113)로 출력할 수 있다.

[0063] 다음으로, OR 게이트(113)는 각 제1 및 제2 인버팅 신호 신호(예컨대, INV1_1와 INV2_1)에 기초하여, 각 펄스 트레인(예컨대, P_{TRAIN1}~P_{TRAINN})을 생성할 수 있다. 여기서, 각 펄스 트레인(예컨대, P_{TRAIN1}~P_{TRAINN})은, 단위시간마다 소정레벨 이상의 크기를 가지는 정상펄스와 단위시간마다 소정레벨 이상의 크기를 가지는 비정상펄스 중 적어도 하나를 포함할 수 있다.

[0064] 본 출원에서는 각 제1 및 제2 인버팅 신호 신호(예컨대, INV1_1와 INV2_1)를 합산하는 OR 게이트(113)로 설명되지만, 카운터(120)와 주파수 분할기(140)의 구조에 따라, NOR 게이트 또는 기타 다양한 구조로도 변형이 가능하다.

[0065] 도 7은 도 6의 추출기(110)에 대한 동작 프로세스이다.

[0066] 도 6과 도 7을 참조하면, 먼저, S121 단계에서, 제1 인버터(111)는 비교기(151)를 통해 출력되는 한쌍의 슬라이서신호로부터 제1 슬라이서신호를 추출하여, 제1 인버팅 신호로 인버팅할 수 있다. 이때, S122 단계에서, 제2 인버터(112)는 비교기(151)를 통해 출력되는 각 한쌍의 슬라이서신호로부터 제2 슬라이서신호를 추출하여, 제2 인버팅 신호로 인버팅할 수 있다.

[0067] 그런 다음, S123 단계에서, OR 게이트(113)는 제1 및 제2 인버터(111, 112)를 통해 제1 및 제2 인버팅 신호를 출력받을 수 있다. 여기서, 제1 및 제2 슬라이서신호가 단위시간마다 서로 상보적인 레벨을 가지므로, 제1 및 제2 인버팅 신호는 단위시간마다 서로 상보적인 레벨을 가질 수 있다.

[0068] 이때, S124 단계에서, OR 게이트(113)는 제1 및 제2 인버팅 신호에 대해 R 논리 연산을 수행할 때, 어느 하나가 기준레벨 미만인 경우, 상기 어느 하나에 대해 LOW 레벨로 OR 논리 연산을 수행할 수 있다. 즉, 제1 및 제2 인버팅 신호는 단위시간마다 서로 상보적인 레벨이므로, 상기 어느 하나가 LOW 레벨로 OR 논리 연산되는 경우, OR 게이트(113)는 제1 및 제2 인버팅 신호에 대해 모두 LOW 레벨로 OR 논리 연산을 수행할 수 있다.

[0069] 이후, S125 단계에서, OR 게이트(113)는 OR 논리 연산을 통해 생성되는 펄스 트레인을 등화 계수마다 각각 출력할 수 있다.

[0070] 도 8은 도 1의 적응형 등화기(100)를 구체적으로 보여주는 도면이고, 도 9는 도 8의 적응형 등화기(100)의 일 실시예에 따른 입출력 신호에 대한 파형이며, 도 10은 도 8의 적응형 등화기(100)의 다른 실시예에 따른 입출력 신호에 대한 파형이고, 도 11은 도 8의 적응형 등화기(100)의 또 다른 실시예에 따른 입출력 신호에 대한 파형이다.

[0071] 도 1 내지 도 8을 참조하면, 적응형 등화기(100)는 추출기(110), 카운터(120), 등화계수 제어기(130), 비교기(151), SR 래치(152), 플립플롭(153), 선형 등화기(154) 및 판정레환 등화기(155)를 포함할 수 있다.

[0072] 이하, 도 1 내지 도 7에서 설명된 동일한 부재번호의 추출기(110), 카운터(120) 및 등화계수 제어기(130)에 대한 중복된 설명은 생략될 것이다.

[0073] 다음으로, 비교기(151)는 선형 등화기(154)를 통해 등화된 각 등화 신호(D_{EQ})를 전송받고, 클럭(CLK)에 따라, 각 등화 신호(D_{EQ})와 기준전압을 비교할 수 있다.

[0074] 이때, 비교기(151)는 각 등화 신호(D_{EQ})와 기준전압 사이의 전압차에 기초하여, 각 제1 슬라이서신호(예컨대, S1_1~S1_N)와 각 제2 슬라이서신호(예컨대, S2_1~S2_N)를 포함하는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)를 SR 래치(152)로 출력할 수 있다.

[0075] 도 9에 도시된 바와 같이, 비교기(151)를 통해 출력되는 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1)가 단위시간마다 소정레벨 미만의 크기를 가진 비정상펄스를 포함하지 않는 경우, 추출기(110)는 일정한 크기의 구형파로 형성된 펄스 트레인(예컨대, P_{TRAIN1})을 출력할 수 있다. 여기서, 펄스 트레인(예컨대, P_{TRAIN1})은 등화 계수들(예

컨대, EQ1~EQN) 중 적어도 하나의 등화 계수(예컨대, EQ5~EQ9)에 대응될 수 있다.

- [0076] 구체적으로, 제1 및 제2 인버터(111, 112)는 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1) 중 제1 슬라이서신호(예컨대, S1_1)를 제1 인버팅 신호(예컨대, INV1_1)로 인버팅하고, 제2 슬라이서신호(예컨대, S2_1)를 제2 인버팅 신호(예컨대, INV2_1)로 인버팅할 수 있다.
- [0077] 여기서, 제1 및 제2 슬라이서신호(예컨대, S1_1, S2_1)는 단위시간마다 서로 상보적인 차동신호에 해당하므로, 제1 및 제2 인버팅 신호(예컨대, INV1_1, INV2_1)는 서로 상보적일 수 있다. 이때, OR 게이트(113)는 제1 및 제2 인버팅 신호(예컨대, INV1_1, INV2_1)에 기초하여, 일정한 크기의 구형파로 형성된 펄스 트레인(예컨대, P_{TRAIN})을 출력할 수 있다.
- [0078] 도 10 및 도 11에 도시된 바와 같이, 비교기(151)를 통해 출력되는 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1)가 단위시간마다 소정레벨 미만의 크기를 가진 비정상 펄스를 포함하는 경우, 추출기(110)는 불규칙한 크기의 구형파가 포함된 펄스 트레인(예컨대, P_{TRAIN2})을 출력할 수 있다. 여기서, 펄스 트레인(예컨대, P_{TRAIN2})은 등화 계수들(예컨대, EQ1~EQN) 중 적어도 하나의 등화 계수(예컨대, EQ5~EQ9)를 제외한 나머지 등화 계수에 대응될 수 있다.
- [0079] 구체적으로, 추출기(110)는 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1) 중 제1 슬라이서신호(예컨대, S1_1)를 제1 인버팅 신호(예컨대, INV1_1)로 인버팅하고, 제2 슬라이서신호(예컨대, S2_1)를 제2 인버팅 신호(예컨대, INV2_1)로 인버팅할 수 있다. 이때, 제1 및 제2 인버팅 신호(예컨대, INV1_1, INV2_1) 중 어느 하나가 기준레벨 미만의 레벨인 경우, 추출기(110)는 상기 어느 하나에 대해 LOW 레벨로 논리연산할 수 있다.
- [0080] 구체적으로, 도 10에 도시된 바와 같이, 추출기(110)는 소정레벨 미만의 크기를 가진 제1 인버팅 신호(예컨대, INV1_1)에 대해 LOW 레벨로 논리연산할 수 있다. 예를 들면, 제1 인버팅 신호(예컨대, INV1_1)가 소정레벨 미만의 크기를 갖고, 제1 인버팅 신호(예컨대, INV1_1)에 상보적인 제2 인버팅 신호(예컨대, INV2_1)가 LOW 인 경우, OR 게이트(113)는 LOW 신호를 출력할 수 있다.
- [0081] 또한, 도 10에 도시된 바와 같이, OR 게이트(113)는 소정레벨 미만의 크기를 가진 제2 인버팅 신호(예컨대, INV2_1)에 대해 LOW 레벨로 논리연산할 수 있다. 예를 들면, 제2 인버팅 신호(예컨대, INV2_1)가 소정레벨 미만의 크기를 갖고, 제2 인버팅 신호(예컨대, INV2_1)에 상보적인 제1 인버팅 신호(예컨대, INV1_1)가 LOW 인 경우, OR 게이트(113)는 LOW 신호를 출력할 수 있다.
- [0082] 다음으로, SR 래치(152)는 비교기(151)로부터 출력받는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)를 저장할 수 있다.
- [0083] 다음으로, 플립플롭(153)은 클럭(CLK)에 따라, SR 래치(152)에 저장된 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)를 샘플링하여, 출력 신호(D_{OUT})를 출력할 수 있다.
- [0084] 다음으로, 선형등화기(154)는 입력 신호(DIN)를 등화 계수들(예컨대, EQ1~EQN)에 따라, 선형적으로 등화하여, 각 등화 신호(예컨대, D1_EQ1~D1_EQN, D2_EQ1~D2_EQN)를 비교기(151)로 출력할 수 있다.
- [0085] 다음으로, 판정제한 등화기(155)는 게인 유닛(155_1)과 덧셈기(155_2)를 포함할 수 있다.
- [0086] 구체적으로, 게인 유닛(155_1)은 SR 래치(152)에 저장된 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)와 등화계수 제어기(130)를 통해 판단된 최적등화 계수에 따른 게인의 곱을 덧셈기(155_2)로 피드백시킬 수 있다.
- [0087] 이때, 덧셈기(155_2)는 각 한쌍의 슬라이서신호(예컨대, S1_1와 S2_1, S1_2와 S2_2, ..., S1_N와 S2_N)와 게인 사이의 곱에 기초하여, 송신기로부터 전송받는 입력 신호(DIN)를 최적으로 등화시킬 수 있다.
- [0088] 도 12는 다른 실시 예에 따른 적응형 등화기(100_1)를 구체적으로 보여주는 도면이다.
- [0089] 도 12를 참조하면, 적응형 등화기(100_1)는 추출기(110), 카운터(120), 등화계수 제어기(130), 주파수 분할기(140), 비교기(151), SR 래치(152), 플립플롭(153), 선형 등화기(154) 및 판정제한 등화기(155)를 포함할 수 있다.
- [0090] 이하, 도 1 내지 도 11에서 설명된 동일한 부재번호의 추출기(110), 카운터(120), 등화계수 제어기(130), 비교기(151), SR 래치(152), 플립플롭(153), 선형 등화기(154) 및 판정제한 등화기(155)에 대한 중복된 설명은 생략

될 것이다.

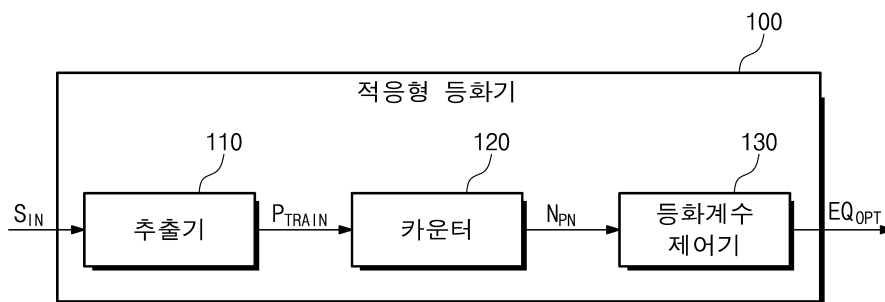
- [0091] 실시예에 따른 주파수 분할기(140)는 각 펄스 트레인(예컨대, $P_{\text{TRAIN}1} \sim P_{\text{TRAIN}N}$)에 대하여 기설정된 주파수 비율로 분할하여, 저속의 각 펄스 트레인(예컨대, $P_{\text{TRAIN}1} \sim P_{\text{TRAIN}N}$)을 카운터(120)로 제공할 수 있다. 이후, 카운터(120)는 저속의 각 펄스 트레인(예컨대, $P_{\text{TRAIN}1} \sim P_{\text{TRAIN}N}$)에 대한 비동기식 카운팅 동작을 수행할 수 있다.
- [0092] 이에 따라, 주파수 분할기(140)는 카운터(120)의 크리티컬 패스 딜레이(Critical path delay)에 해당하는 MSB(Most Significant Bit)와 최소 딜레이에 해당하는 LSB(사이의 딜레이 차이로 인하여 감소한 타이밍 마진을 증가시켜줄 수 있다.
- [0093] 도 13(a)는 16Gb/s, 30-dB loss channel인 파라미터로 측정된 EYE 다이어그램이고, 도 13(b)는 16Gb/s, 15-dB loss channel인 파라미터로 측정된 EYE 다이어그램이다.
- [0094] 도 13(a)와 도 13(b)를 참조하면, 도 1 내지 도 12의 적응형 등화기(100)는, 채널 감쇄가 2배인 입력신호의 변화에 관계없이, 입력신호를 적절하게 등화시킬 수 있다.
- [0095] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

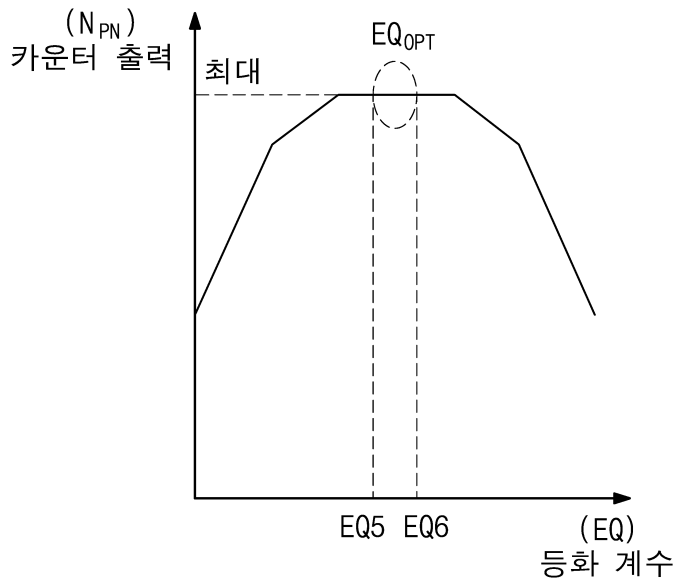
- [0096] 100: 적응형 등화기
110: 추출기
120: 카운터
130: 등화계수 제어기
140: 주파수 분할기

도면

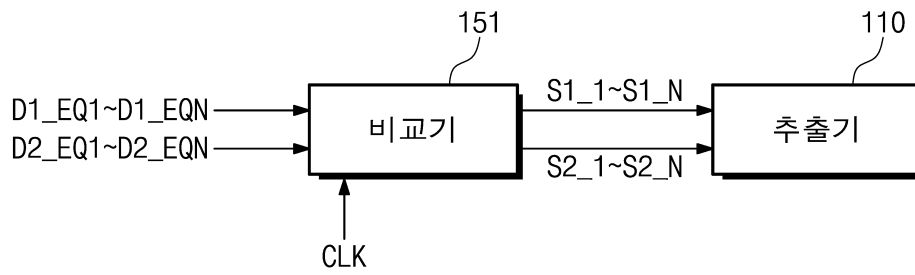
도면1



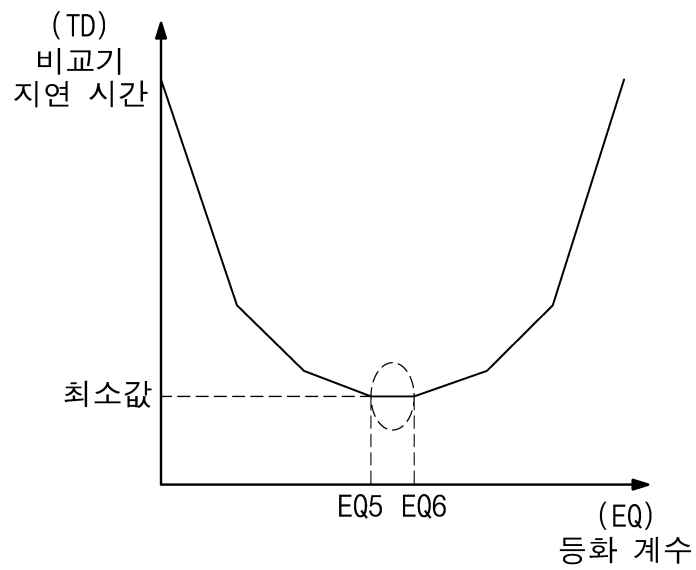
도면2



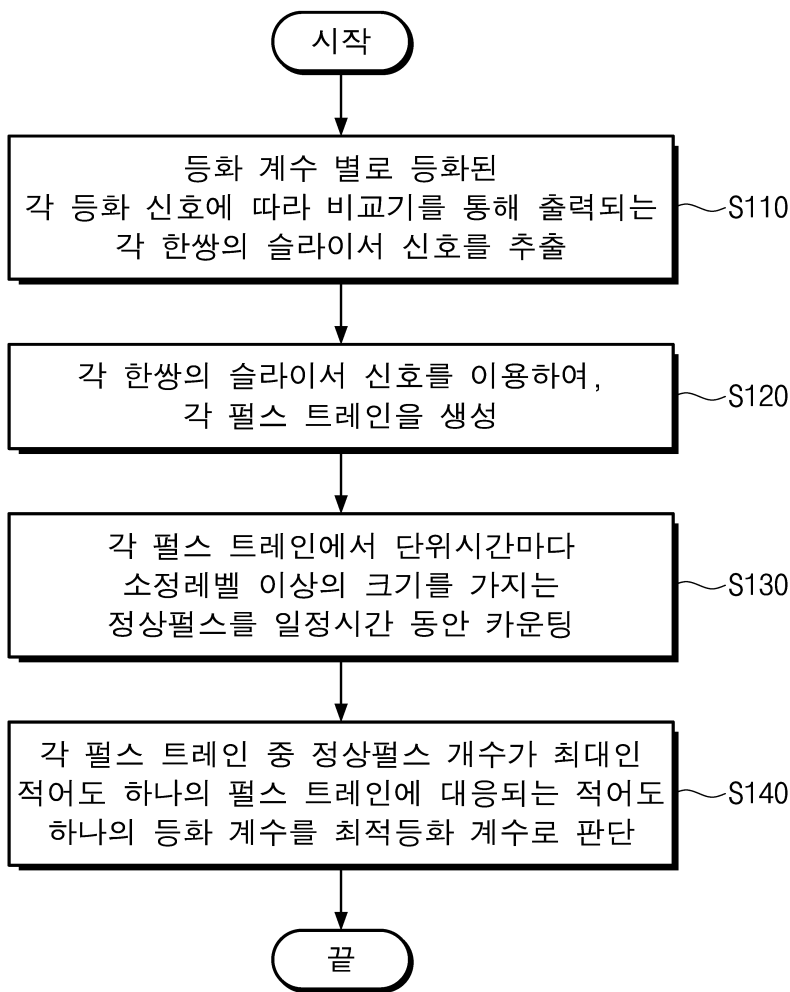
도면3



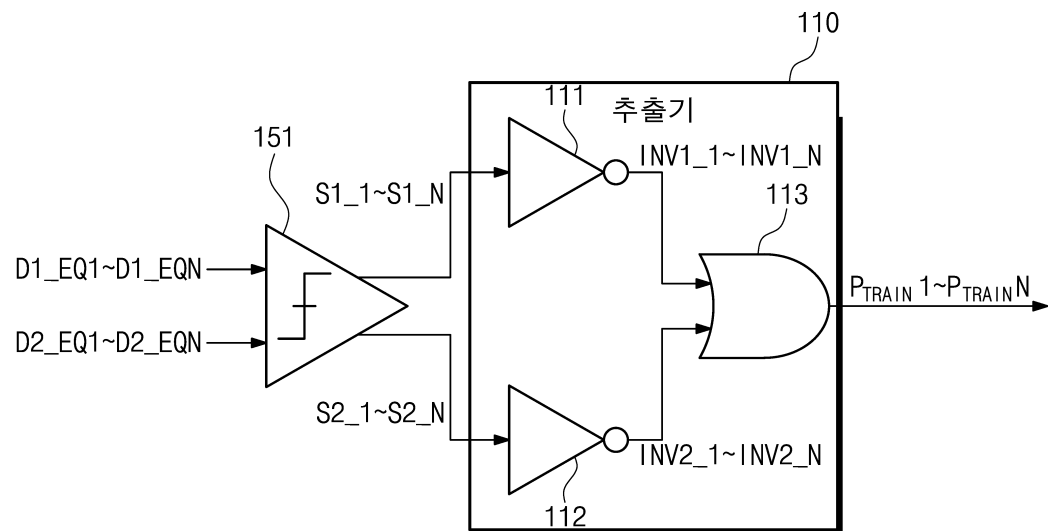
도면4



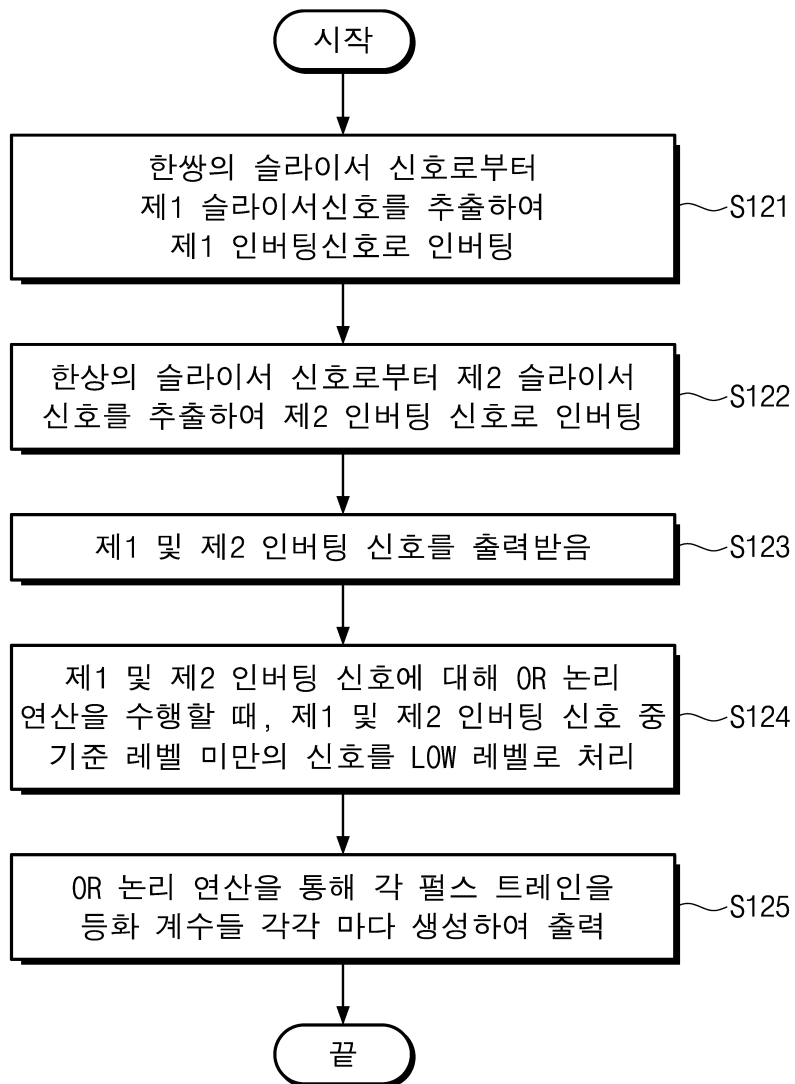
도면5



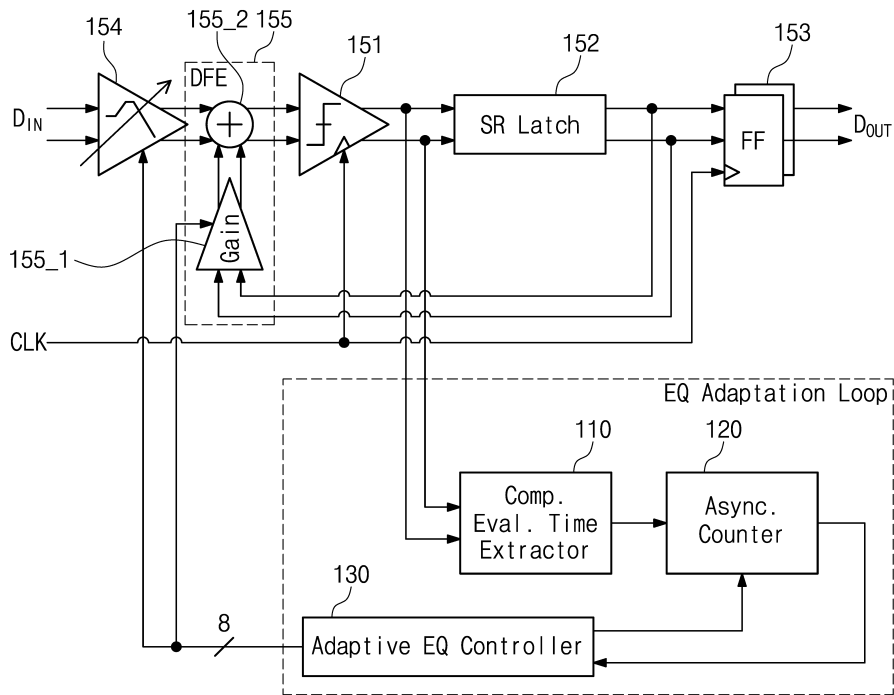
도면6



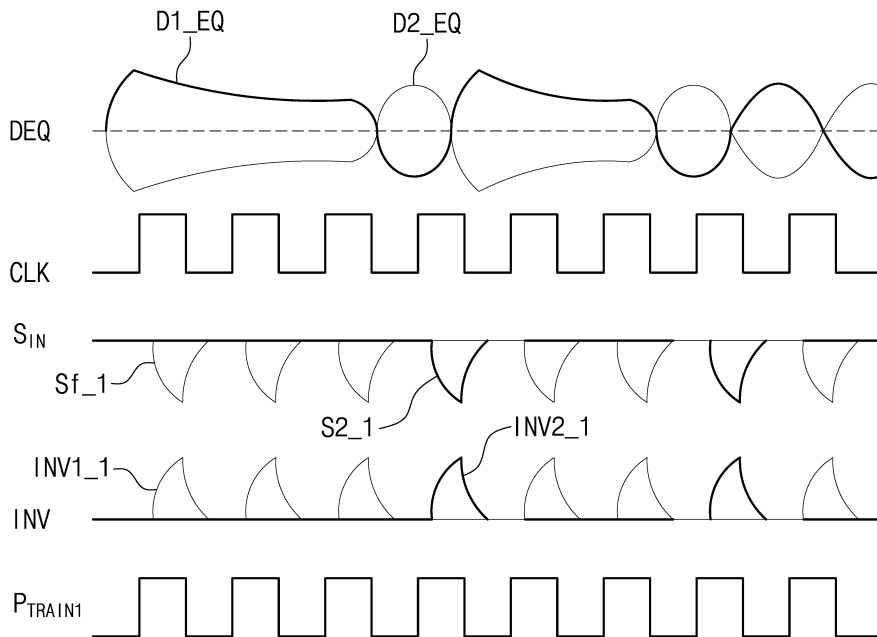
도면7



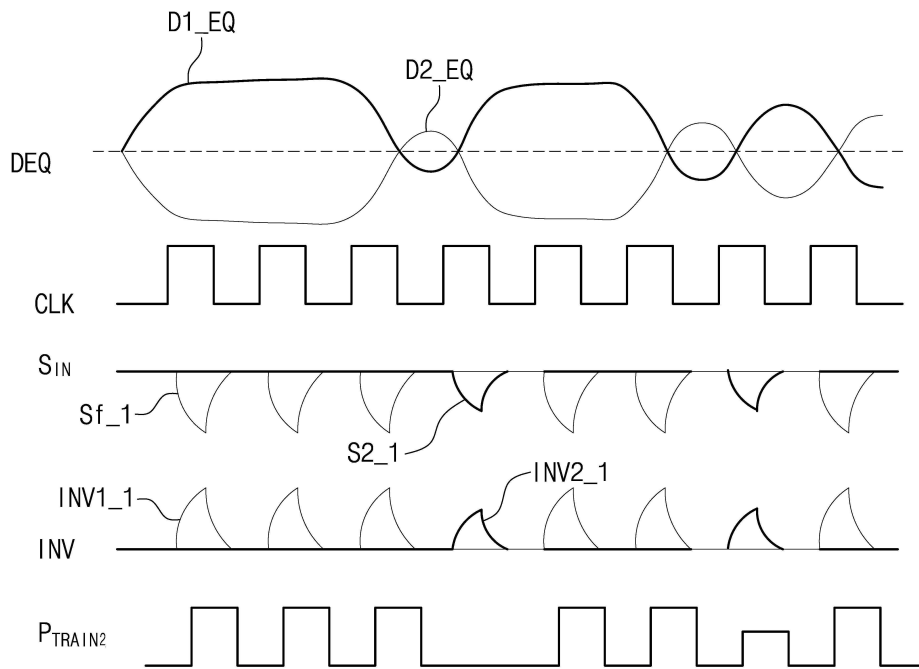
도면8



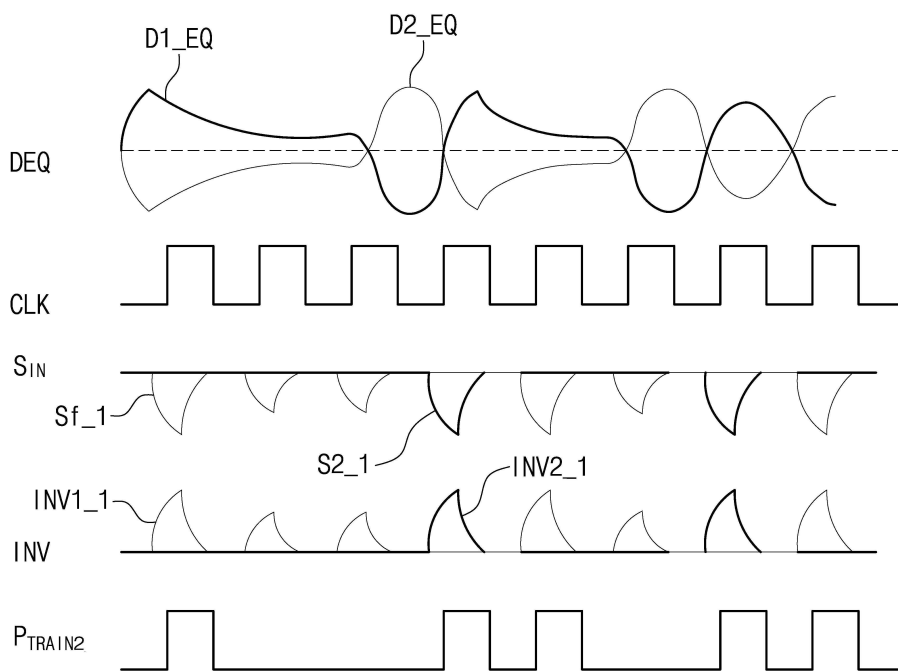
도면9



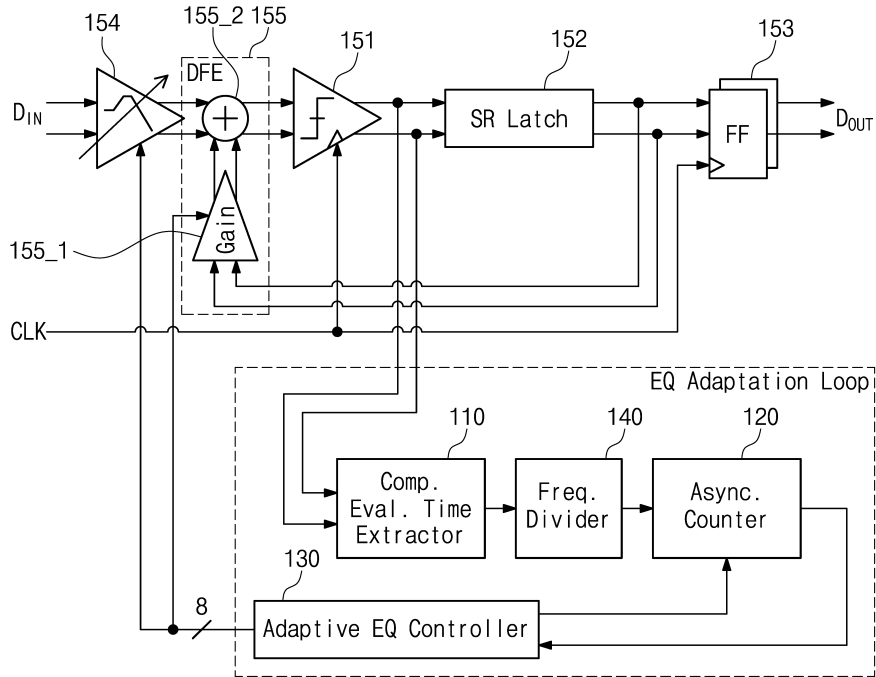
도면10



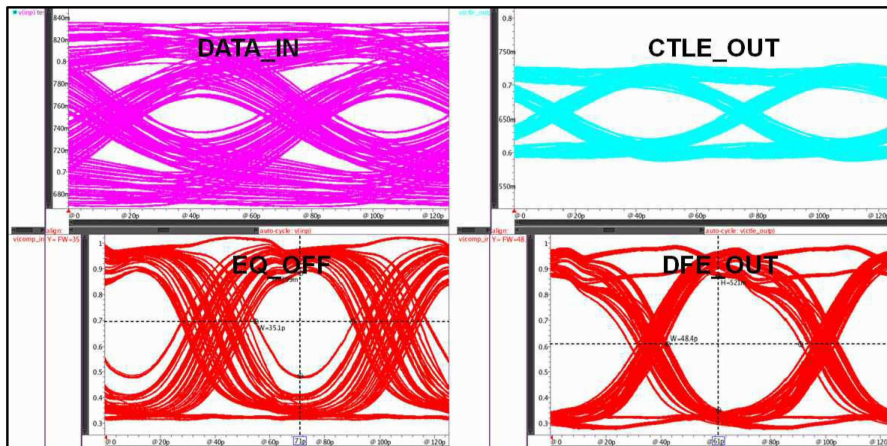
도면11



도면12



도면13a



도면13b

