

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3729953号
(P3729953)

(45) 発行日 平成17年12月21日(2005.12.21)

(24) 登録日 平成17年10月14日(2005.10.14)

(51) Int.Cl.⁷

F I

H O 1 L 27/14

H O 1 L 27/14

K

H O 1 L 21/336

H O 1 L 27/12

A

H O 1 L 27/12

H O 1 L 27/14

C

H O 1 L 27/146

H O 1 L 29/78

6 1 2 Z

H O 1 L 29/786

請求項の数 5 (全 8 頁)

(21) 出願番号 特願平8-321566
 (22) 出願日 平成8年12月2日(1996.12.2)
 (65) 公開番号 特開平10-163463
 (43) 公開日 平成10年6月19日(1998.6.19)
 審査請求日 平成15年12月1日(2003.12.1)

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エレク
 トロニクス エヌ ヴィ
 Koninklijke Philips
 Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, T
 he Netherlands

(74) 代理人 100087789
 弁理士 津軽 進

最終頁に続く

(54) 【発明の名称】 T F T アレイ基板とその製法

(57) 【特許請求の範囲】

【請求項 1】

ガラス基板上に共通の金属材料により形成されたソース電極、ソースバス、ドレイン電極及び蓄積容量電極と、

前記ソース電極とドレイン電極との間の領域及びその領域の近傍に形成された a - S i よりなる半導体層と、

その半導体層のソース電極及びドレイン電極との間の界面に形成された n ⁺ a - S i よりなるオーミックコンタクト層と、

前記半導体層、ソース電極、ソースバス、ドレイン電極及び蓄積容量電極を覆うように一面に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に共通の金属材料により形成されたゲート電極、ゲートバス及び第 1 のチャージコレクタと、

前記ゲート電極、ゲートバス及び中央部を除く第 1 のチャージコレクタ上を覆うように一面に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜及び第 1 のチャージコレクタ上に形成された I T O よりなる第 2 チャージコレクタと、

を具備し、

前記第 1 のチャージコレクタは、前記第 1 の絶縁膜に形成されたコンタクトホールを通じて前記ドレイン電極に接続されていることを特徴とする T F T アレイ基板。

【請求項 2】

10

20

前記ゲート電極、ゲートバス及び第 1 のチャージコレクタが、A 1 層の上下に他のメタル層を配した 3 層膜か、又は A 1 層の上に他のメタル層を配した 2 層膜で形成されていることを特徴とする請求項 1 記載の T F T アレイ基板。

【請求項 3】

前記ゲート電極、ゲートバス及び第 1 のチャージコレクタ上に形成された絶縁膜が感光性絶縁膜であることを特徴とする請求項 1 記載の T F T アレイ基板。

【請求項 4】

ガラス基板上にソース電極、ソースバス、ドレイン電極及び蓄積容量電極を共通の金属材料により形成し、

前記ソース電極とドレイン電極との間の領域及びその領域の近傍に a - S i よりなる半導体層を形成すると共に、その半導体層のソース電極及びドレイン電極との間の界面に n⁺ a - S i よりなるオーミックコンタクト層を形成し、

前記半導体層、ソース電極、ソースバス、ドレイン電極及び蓄積容量電極を覆うように一面に第 1 の絶縁膜を形成した後、ドレイン電極上にコンタクトホールを形成し、

前記第 1 の絶縁膜上にゲート電極、ゲートバス及び第 1 チャージコレクタを共通の金属材料により形成すると共に、第 1 のチャージコレクタを前記コンタクトホールを通じて前記ドレイン電極に接続し、

前記ゲート電極、ゲートバス及び中央部を除く第 1 チャージコレクタ上を覆うように感光性絶縁膜を一面に形成し、

前記感光性絶縁膜及び第 1 チャージコレクタ上に I T O よりなる第 2 チャージコレクタを形成することを特徴とする T F T アレイ基板の製法。

【請求項 5】

前記ゲート電極、ゲートバス及び第 1 のチャージコレクタを、A 1 層の上下に他のメタル層を配した 3 層膜か、又は A 1 層の上に他のメタル層を配した 2 層膜で形成することを特徴とする請求項 4 記載の T F T アレイ基板の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

近年、レントゲン写真に代って、X 線を生体に照射してリアルタイムで生体内を診断する X 線イメージセンサが開発されている。この発明は、この X 線イメージセンサに用いられる T F T (薄膜トランジスタ) アレイ基板に関し、特に製造工程数の縮減に関する。

【0002】

【従来の技術】

X 線イメージセンサは、生体を透過又は反射した X 線を受光する表面膜状部と、その下に重ねて配される T F T アレイ基板を有する。T F T アレイ基板には T F T ドットマトリクス L C D の場合と同様に、T F T 及び各画素がマトリクス状に配列されている。従来の T F T アレイ基板を図 4、図 5 に示し、その製造工程を順に説明する。

【0003】

(1) ガラス基板 1 の内面に必要に応じ S i O₂ などの絶縁膜 2 をコートする。

(2) I T O を一面に着膜し、ホトリソグラフィ技術を用いたエッチング処理 (以下ホトリソ・エッチングと言う) によりソース電極 S、ソースバス S B 1、ドレイン電極 D、蓄積容量電極 C S 1 を形成する。

【0004】

(3) モリブデン (M o) などのメタルを一面に着膜した後、ホトリソ・エッチングにより、ソースバス S B 2、蓄積容量電極 C S 2 を形成する。

(4) ソース電極 S 及びドレイン電極 D の表面に P (燐) 処理を施す。

(5) a - S i (アモルファスシリコン) を一面に着膜し、ホトリソ・エッチングにより半導体層 3 を形成すると共にソース電極 S 及びドレイン電極 D との界面に n⁺ a - S i よりなるオーミックコンタクト層 3' を形成する。

【0005】

(6) SiN_x などの絶縁膜 4 を一面に着膜した後、ホトリソ・エッチングによりコンタクトホール 5 を形成すると共に、ガラス基板の周辺のゲートバス GB、ソースバス SB 及び蓄積容量電極 CS の各端末（端子を形成する部分）上の絶縁膜 4 を除去する。

(7) ITO を一面に着膜した後、ホトリソ・エッチングにより第 1 チャージコレクタ 6 を形成する。

(8) Al と Mo の 2 層膜（Al が上）を一面に着膜した後、ホトリソ・エッチングによりゲート電極 G、ゲートバス GB を形成する。

【0006】

(9) SiO_2 膜 7a と SiN_x 膜 7b とより成る 2 層膜を一面に着膜した後、ホトリソ・エッチングにより第 1 チャージコレクタ 6 上の大部分の 2 層膜 7a, 7b を除去する。

10

(10) SiO_2 膜 7c を一面に着膜した後、ホトリソ・エッチングにより第 1 チャージコレクタ 6 の中央部上の SiO_2 膜 7c を除去する。

【0007】

(11) ITO を一面に着膜し、ホトリソ・エッチングにより第 2 チャージコレクタ 8 を形成する。

(12) TFT アレイ基板の周辺に延長されたゲートバス GB、ソースバス SB（SB1, SB2 より成る）及び蓄積容量電極 CS（CS1, CS2 より成る）の各端末上の絶縁膜 7a, 7b, 7c を 2 回のホトリソ・エッチングにより除去して、各端末（接続端子となるものであるが図示していない）を露出させる。

【0008】

20

その後、セレン等の X 線照射により電荷を発生させる層がチャージコレクタ上に形成される。

X 線イメージセンサに X 線が照射されると、TFT アレイ基板の各画素に対応する第 2 チャージコレクタ 8 上に電荷が蓄積される。各行のゲートバス GB を順に走査して TFT をオンに制御することにより、各列のソースバス SB の端末に接続された検出手段により各画素の信号電荷を検出し、その検出値に対応するデータを表示器に表示させることにより、リアルタイムで、X 線を照射された生体内の映像を診断することができる。

【0009】

X 線イメージセンサに用いる TFT アレイ基板は、各画素のほぼ全面が第 2 チャージコレクタ 8 でシールドされた構造であるところから、FSP (Field Shielded Pixel) 構造と呼ばれる。また第 2 チャージコレクタ 8 はゲート電極 G 上でのこの頭に似た形状をしていることから MH (Mushroom Head) ITO と呼ぶことができる。

30

【0010】

【発明が解決しようとする課題】

TFT アレイ基板を製造する上で、時間の掛かる工程はホトリソ・エッチング工程（ホト工程とも言う）である。従来の技術では図 3 に示すように 11 工程にもなる多くのホト工程を必要としていたために、生産性が低く、製造コストが大きくなる問題があった。この発明は、ホトリソ・エッチング工程数を減らして生産性を向上させることを目的としている。

40

【0011】

【課題を解決するための手段】

(1) 請求項 1 の TFT アレイ基板は、ガラス基板上にソース電極、ソースバス、ドレイン電極及び蓄積容量電極が共通の金属材料により形成され、ソース電極とドレイン電極の間の領域及びその領域の近傍に a-Si より成る半導体層が形成され、その半導体層のソース電極及びドレイン電極との界面に、 n^+ a-Si より成るオーミックコンタクト層が形成される。半導体層、ソース電極、ソースバス、ドレイン電極及び蓄積容量電極を覆うように一面に絶縁膜 4 が形成され、その絶縁膜上にゲート電極、ゲートバス及び第 1 チャージコレクタが共通の金属材料により形成される。

【0012】

50

ゲート電極、ゲートバス及び第1チャージコレクタ(しかし第1チャージコレクタの中央部を除く)上を覆うように、絶縁膜が一面に形成され、その絶縁膜及び第1チャージコレクタ上に第2チャージコレクタがITOにより形成される。第1チャージコレクタは絶縁膜4に形成されたコンタクトホールを通じてドレイン電極に接続される。

【0013】

(2)請求項2の発明は、前記(1)において、ゲート電極、ゲートバス及び第1チャージコレクタが、A1層の上下に他のメタル層を配した3層膜か、またはA1層の上に他のメタル層を配した2層膜で形成される。

(3)請求項3の発明は前記(1)において、ゲート電極、ゲートバス及び第1チャージコレクタ上に形成された絶縁膜が感光性絶縁膜とされる。

10

【0014】

(4)請求項4の発明は、請求項1のTFTアレイ基板を製法としてクレイムしたものである。

(5)請求項5の発明は、請求項2のTFTアレイ基板を製法としてクレイムしたものである。

【0015】

【発明の実施の形態】

この発明の実施例を図1、図2に、図4、図5と対応する部分に同じ符号を付けて示し、工程順に説明する。

(1)ガラス基板1上に必要に応じSiO₂などの絶縁膜2を一面に着膜する。

20

【0016】

(2)例えばモリブデンなどのメタルを一面に着膜して、ホトリソ・エッチングにより、ソース電極S、ソースバスSB、ドレイン電極D、蓄積容量電極CSを形成する。

(3)ソース電極S及びドレイン電極Dとの界面に対するP処理を行いながら、a-Siを一面に着膜した後、ホトリソ・エッチングにより半導体層3を形成する。半導体層3のソース電極Sとドレイン電極Dとの界面にはn⁺a-Siより成るオーミックコンタクト層3'が形成される。

【0017】

(4)SiN_xなどの絶縁膜4を一面に着膜した後、ホトリソ・エッチングによりコンタクトホール5を形成する。

30

(5)例えばMo/Al/MoまたはMo/Al(Moが上)より成る多層金属膜を一面に着膜した後、ホトリソ・エッチングによりゲート電極G、ゲートバスGB及び第1チャージコレクタ6を形成する。第1チャージコレクタ6はコンタクトホール5を通じてドレイン電極Dに接続される。

【0018】

(6)感光性アクリル樹脂などの感光性絶縁膜7を一面に着膜した後、ホトリソにより第1チャージコレクタ6の中央部上の絶縁膜7を除去する。

(7)ITOを一面に着膜した後、ホトリソ・エッチングにより第2チャージコレクタ8を形成する。

(8)TFTアレイ基板の周辺に延長されたゲートバスGB、ソースバスSB及び蓄積容量電極CSの各端末(端子として使用される)上の感光性絶縁膜7をホトリソ・エッチングにより除去して、各端末を露出させる。

40

【0019】

上述したこの発明の製法では必要なホトリソ・エッチング工程(ホト工程)は図3に示すように7工程となり、従来より4工程少くなる。以下、この工程の縮減について詳細に説明する。

▲1▼従来はa-SiのITOとの界面にオーミックコンタクト層3'を形成する技術しか持たなかったため、ソース電極S及びドレイン電極Dの少くともその表面側はITOで形成する必要がある。そのため、ソース電極S、ソースバスSB1、ドレイン電極D、蓄積容量電極CS1をITOで形成し、導電性を更によくする必要のあるソースバスSB

50

や蓄積容量電極CSは、ITOの上にメタル製のSB2やCS2を形成する必要があり、このため2つのホット工程を必要としていた。しかしa-Siのメタルとの界面にオーミックコンタクト層を形成する技術がこの発明者の一人によって既に提案され、適用可能となっているので、この発明ではこの新しい技術を用いることにより、これらの電極を全てMoなどのメタルで形成することによってホット工程を1工程縮減している。

【0020】

▲2▼従来では、第1チャージコレクタ6は、ITOより成る第2チャージコレクタ8と接触させることから、ゲート電極の材料となっているAlを用いることができなかった。その理由は、AlとITOがある現像液にさらされるとAlが腐食される恐れがあること、AlとITOが接触しているとITO中の酸素(O)によってAlが酸化される恐れがあることからである。そのため、第1チャージコレクタ6はゲート電極6と同じAlを用いることができず、ITOを用いてゲート電極Gとは別工程をとっていた。

10

【0021】

しかし、この発明では第1チャージコレクタ6を例えばMo/Al/MoまたはMo/Al(Moが上)の多層金属膜で形成することによってITOより成る第2チャージコレクタ8とAlが接触しないようにすると共に、ゲート電極G及びゲートバスGBも第1チャージコレクタ6と同じ多層金属膜を用いることによって、同一ホット工程で形成し、1工程を縮減している。

【0022】

▲3▼従来はゲート電極G、ゲートバスGBと第2チャージコレクタ8との間のピンホール等による絶縁不良を減らすために、絶縁膜7はSiO₂/SiN_x/SiO₂の3層で形成していた。そのため絶縁膜4上の絶縁膜7a, 7bを除去する工程と、第1チャージコレクタ6上の絶縁膜7cを除去する工程とが必要であった。この発明では一層で充分絶縁できる感光性絶縁膜7を用いることによって感光性絶縁膜除去工程を、第1チャージコレクタ6上のものを除去する1工程のみとし、1工程を縮減している。

20

【0023】

▲4▼TFTアレイ基板の周辺のソースバス、ゲートバス及び蓄積容量電極の各端末にそれぞれ電極端子を形成するために、これら端末上の絶縁物を除去する必要がある。従来は各端末上の絶縁膜7は3層構造であり、1つのホット工程で除去するのは困難であるので、同じホットマスクを用いたホット工程を2回繰返していた。この発明では、各端末上の絶縁膜7は感光性アクリル樹脂などの1層で充分耐えるようにしたので、1つの工程で除去することができ、1ホット工程を縮減している。

30

【0024】

【発明の効果】

▲1▼以上述べたように、この発明では、メタル製のソース電極S及びドレイン電極Dと接する半導体層3の界面にオーミックコンタクト層3'を形成する技術を用いることによって、これらの電極及びソースバスSB、蓄積容量電極CSを共通の金属材料を用いて同じホット工程で形成できる。

【0025】

▲2▼この発明では、第1チャージコレクタ6を、第2チャージコレクタ(ITO)6とAlが直接接触しないような多層金属膜(例えばAlをMoでサンドイッチする)を用いると共に、ゲート電極G、ゲートバスGBも同じ多層膜を用いることによって同一ホット工程で形成できる。

40

▲3▼ゲート電極G、ゲートバスGB上に一層の感光性絶縁膜7を用いることによって、絶縁膜7を除去するホット工程を1工程のみにすることができる。

【0026】

▲4▼絶縁膜7を一層とすることによって、1回のホット工程で、端子として使用するソースバス端末、ゲートバス端末及び蓄積容量電極端末を露出させることができる。以上により、この発明ではホット工程を従来より4工程縮減することが可能となり、生産性を大幅に向上できる。

50

【 0 0 2 7 】

▲ 5 ▼ 感光性絶縁膜 7 を使用することによって、ソース入力容量（ソースバス S B と第 2 チャージコレクタ 8 との間の容量）を低減することが可能となり、ソース入力容量を通じてのソースバス S B のノイズレベルが下がり、X 線照射量を減らして、生体に与える影響をより少なくすることができる。

【図面の簡単な説明】

【図 1】この発明の実施例を示す図で、図 2 の A - A' 断面図。

【図 2】この発明の実施例を示す平面図。

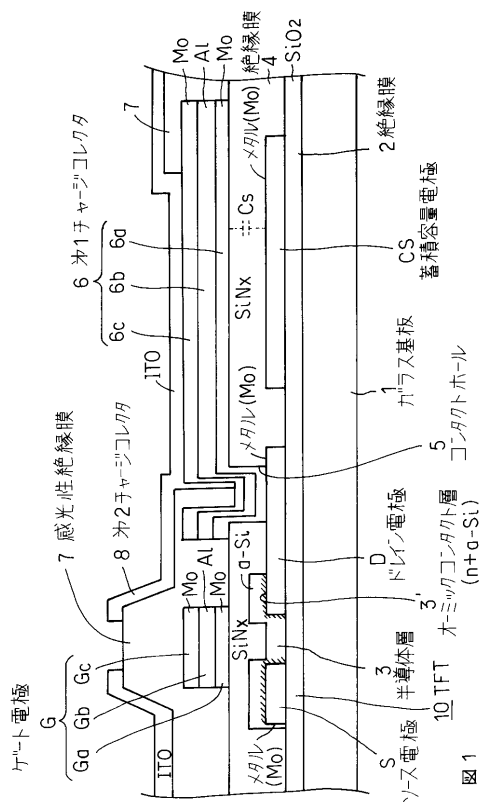
【図 3】この発明の T F T アレイ基板に必要なホト工程を従来と比較して示した図。

【図 4】従来の TFT アレイ基板を示す図で、図 5 の A - A' 断面図。

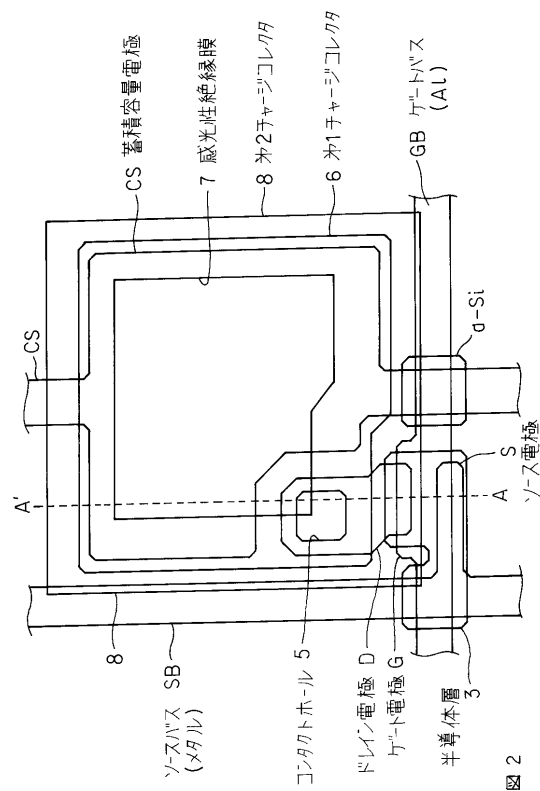
【図 5】従来の T F T アレイ基板の平面図。

10

【 図 1 】



【 図 2 】



フロントページの続き

- (72)発明者 鵜飼 育弘
兵庫県神戸市西区高塚台4 - 3 - 1 ホシデン株式会社 開発技術研究所内
- (72)発明者 湯川 禎三
兵庫県神戸市西区高塚台4 - 3 - 1 ホシデン株式会社 開発技術研究所内
- (72)発明者 新庄 正路
兵庫県神戸市西区高塚台4 - 3 - 1 ホシデン株式会社 開発技術研究所内

審査官 恩田 春香

- (56)参考文献 特開昭64 - 68968 (JP, A)
特開平2 - 83939 (JP, A)
特開平5 - 173183 (JP, A)
特開平4 - 336530 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 27/14 - 27/148
H01L 29/786
G02F 1/136 - 1/1368