



(12)发明专利申请

(10)申请公布号 CN 110149108 A

(43)申请公布日 2019.08.20

(21)申请号 201910487933.0

(22)申请日 2019.06.05

(71)申请人 浙江明德微电子股份有限公司
地址 312000 浙江省绍兴市绍兴经济开发区龙山软件园

(72)发明人 罗泽伟 孙林弟 邓见平 王海滨

(74)专利代理机构 杭州君度专利代理事务所
(特殊普通合伙) 33240

代理人 黄前泽

(51) Int. Cl.

H03K 17/04(2006.01)

H03K 17/16(2006.01)

H03K 17/567(2006.01)

H01L 29/78(2006.01)

H01L 23/552(2006.01)

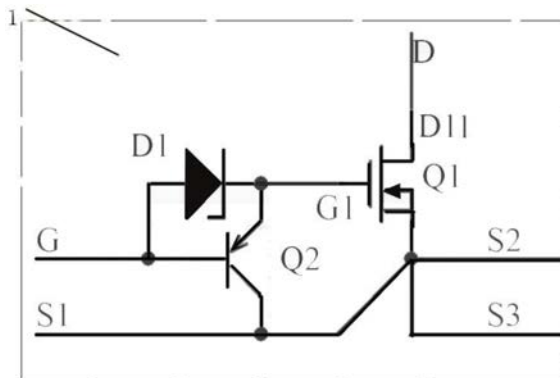
权利要求书1页 说明书5页 附图4页

(54)发明名称

一种低功耗的复合SJ-MOS管及其制备方法

(57)摘要

本发明公开了一种低功耗的复合SJ-MOS管的制备方法,包括以下步骤:增加栅极控制回路,在原有的SJ-MOSFET管的栅极控制电路中放置具有单向导通性的复合元件或符合单向导通的外部电路;增加源极信号回路,在原有的SJ-MOSFET管上设置一个以上的源极引脚,实现将控制信号地与主回路地进行分开,将栅极控制回路、源极信号回路和原有的SJ-MOSFET管进行一体封装并引出引脚。本发明还公开了一种通过本制备方法制备的低功耗的复合SJ-MOS管。本发明提高了可靠性,并降低SJ-MOS的功耗。



1. 一种低功耗的复合SJ-MOS管的制备方法,其特征在于:具体包括以下步骤:

1) 增加栅极控制回路,在原有的SJ-MOSFET管的栅极控制电路中放置具有单向导通性的复合元件或符合单向导通的外部电路;

2) 增加源极信号回路,在原有的SJ-MOSFET管上设置一个以上的源极引脚,实现将控制信号地与主回路地进行独立分开;

3) 将栅极控制回路、源极信号回路和原有的SJ-MOSFET管进行一体封装并引出引脚。

2. 根据权利要求1所述的一种低功耗的复合SJ-MOS管的制备方法,其特征在于:所述的复合元件是二极管与三极管复合构成的元件或三极管与三极管复合构成的元件。

3. 根据权利要求2所述的一种低功耗的复合SJ-MOS管的制备方法,其特征在于:在步骤2下增加步骤4:增加加速放电管。

4. 采用权利要求1或2或3制备而成的一种低功耗的复合SJ-MOS管,包括SJ-MOSFET管(Q1),其特征在于:还包括开关二极管(D1)和PNP型的三极管(Q2),将SJ-MOSFET管(Q1)、开关二极管(D1)以及PNP型的三极管(Q2)封装在同一壳体内构成复合SJ-MOS芯片(1),在SJ-MOSFET管(Q1)的自身栅极端G1上连接所述开关二极管(D1),且所述开关二极管(D1)的正极连接SJ-MOSFET管(Q1)的自身栅极端G1,所述SJ-MOSFET管(Q1)的自身漏极(D11)作为复合SJ-MOS芯片(1)的漏极D,所述SJ-MOSFET管(Q1)的自身源极引出有三根作为复合SJ-MOS芯片(1)的源极,分别是第一源极(S1)、第二源极(S2)、第三源极(S3),且所述第一源极(S1)作为控制信号接地端,所述第二源极(S2)、第三源极(S3)作为大电流通路接线端口,所述第一源极(S1)与开关二极管(D1)的正极之间还连接有PNP型的三极管(Q2),PNP型的三极管(Q2)的基极b连接开关二极管(D1)的负极,并将开关二极管(D1)的负极通过引出线拉出作为复合SJ-MOS芯片(1)的栅极G,PNP型的三极管(Q2)的发射极e连接开关二极管(D1)的正极,PNP型的三极管(Q2)的集电极c连接第一源极(S1)。

一种低功耗的复合SJ-MOS管及其制备方法

技术领域

[0001] 本发明涉及半导体器件的技术领域,尤其是一种低功耗的复合SJ-MOS管及其制备方法。

背景技术

[0002] 功率MOSFET管是功率变换器必不可少的元件,MOSFET管在电源供应器中是常见的应用,实现输入-输出电压的作用。

[0003] 99.99%开关电源的核心材料是铁氧体磁芯材料和功率MOSFET。目前大于50W电源的功率MOSFET无不利用散热器来降低功率器件温度。来保证器件正常工作。

[0004] 功率MOSFET叫做:金属-氧化物半导体场效应晶体管,简称金氧半场效晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)是一种可以广泛使用在电子设备中的半导体器件。MOSFET从平面MOS(VDMOS)到Cool-MOS再到超级结MOS管(英文名SJ-MOSFET管,简称: SJ-MOS管),已经是相当完善的产品了。

[0005] SJ-MOS具有以下四个优点。

[0006] ①通态阻抗小,通态损耗小。

[0007] 由于SJ-MOS的 R_{dson} 远远低于VDMOS,在系统电源类产品中SJ-MOS的导通损耗必然较之VDMOS小,大大提高了产品的效率。

[0008] ②同等功率规格下封装小,有利于功率密度的提高。

[0009] 首先,同等电流以及电压规格条件下,SJ-MOS的硅芯片面积要小于VDMOS工艺,这样作为MOS产品封装厂家,对于同一规格的产品,可以封装出来体积相对较小的产品,有利于电源系统功率密度的提高。

[0010] ③栅电荷小,对电路的驱动能力要求降低。

[0011] 传统VDMOS的栅电荷相对较大,我们在实际应用中经常会遇到由于IC的驱动能力不足造成的温升问题,部分产品在电路设计中为了增加IC的驱动能力,确保MOSFET的快速导通,我们不得不增加推挽或其它类型的驱动电路,从而增加了电路的复杂性。SJ-MOS的栅电容相对比较小,这样就可以降低其对驱动能力的要求,提高了系统产品的可靠性。

[0012] ④GD结电容小,开关速度加快,开关损耗小。

[0013] 由于SJ-MOS结构的改变,其输出的节电容也有较大的降低,从而降低了其导通及关断过程中的损耗。同时由于SJ-MOS栅电容也有了响应的减小,电容充电时间变短,大大的提高了SJ-MOS的开关速度。对于频率固定的电源来说,可以有效的降低其开通及关断损耗。提高整个电源系统的效率。这一点尤其在频率相对较高的电源上,效果更加明显。

[0014] 综上所述,由于SJ-MOS(全名: SJ-MOSFET)拥有较小的结电容,造就了超级结MOS管具有极快的开关特性。因为这种快速开关特性伴有极高的 dv/dt 和 di/dt ,因此通过器件和印刷电路板中的寄生元件会产生干扰甚至失控,最终导致产品的可靠性变差并产生极大的EMI干扰,另外工作频率的提高开关损耗占比也会变大,如图4所示。因此如何解决上述问题,降低SJ-MOS的EMI干扰,提高产品可靠性,同时降低SJ-MOS的功耗显得尤为重要。

发明内容

[0015] 本发明的目的是为了解决上述现有技术的不足而提供一种低功耗的复合SJ-MOS管及其制备方法。本发明研发了一种复合MOSFET管降低EMI干扰,解决现有的SJ-MOSFET在高频率时容易出现EMI干扰和高频率下的发热问题,最终能够实现在50W以上功率变换器中开关功率器件无需加装散热器的效果。

[0016] 为了实现上述目的,本发明所设计的一种低功耗的复合SJ-MOS管的制备方法,具体包括以下步骤:

[0017] 1) 增加栅极控制回路,在原有的SJ-MOSFET管的栅极控制电路中放置具有单向导通性的复合元件或符合单向导通的外部电路;

[0018] 2) 增加源极信号回路,在原有的SJ-MOSFET管上设置一个以上的源极引脚,实现将控制信号地与主回路地进行独立分开;

[0019] 3) 将栅极控制回路、源极信号回路和原有的SJ-MOSFET管进行一体封装并引出引脚。

[0020] 进一步,所述的复合元件是二极管与三极管复合构成的元件或三极管与三极管复合构成的元件。

[0021] 进一步,在步骤2下增加步骤4:增加加速放电管。

[0022] 本发明还公开了一种低功耗的复合SJ-MOS管,包括SJ-MOSFET管Q1,还包括开关二极管D1和PNP型的三极管Q2,将SJ-MOSFET管Q1、开关二极管D1以及PNP型的三极管Q2封装在同一壳体内构成复合SJ-MOS芯片1,在SJ-MOSFET管Q1的自身栅极端G1上连接所述开关二极管D1,且所述开关二极管D1的正极连接SJ-MOSFET管Q1的自身栅极端G1,所述SJ-MOSFET管Q1的自身漏极D11作为复合SJ-MOS芯片1的漏极D,所述SJ-MOSFET管Q1的自身源极引出有三根作为复合SJ-MOS芯片1的源极,分别是第一源极S1、第二源极S2、第三源极S3,且所述第一源极S1作为控制信号接地端,所述第二源极S2、第三源极S3作为大电流通路接线端口,所述第一源极S1与开关二极管D1的正极之间还连接有PNP型的三极管Q2,PNP型的三极管Q2的基极b连接开关二极管D1的负极,并将开关二极管D1的负极通过引出线拉出作为复合SJ-MOS芯片1的栅极G,PNP型的三极管Q2的发射极e连接开关二极管D1的正极,PNP型的三极管Q2的集电极c连接第一源极S1。

[0023] 本发明得到的一种低功耗的复合SJ-MOS管及其制备方法,通过将控制信号地和主回路地独立分开,集成加速放电管,实现避免EMI干扰串到控制回路中,降低放电路径,加快SJ-MOS关闭速度,降低关闭损耗,最终实现降低SJ-MOS的EMI干扰,提高可靠性,并降低SJ-MOS的功耗。

附图说明

[0024] 图1为本实施例中一种低功耗的复合SJ-MOS管的内部电路连接示意图;

[0025] 图2为本实施例中一种低功耗的复合SJ-MOS管的封装示意图;

[0026] 图3为本实施例中MOS管的开关时间定义示意图;

[0027] 图4为本实施例中米勒平台的示意图;

[0028] 图5为本实施例中一种低功耗的复合SJ-MOS管的MOS管处于开启时刻小信号分析模型图;

[0029] 图6为本实施例中一种低功耗的复合SJ-MOS管的MOS管处于关闭时刻小信号分析模型图；

[0030] 图7为本实施例中一种低功耗的复合SJ-MOS管实用过程中的MOS截止时刻EMI电流实际波形示意图。

具体实施方式

[0031] 下面结合附图和实施例对本发明进一步说明。

[0032] 实施例1：

[0033] 本实施例提供的一种低功耗的复合SJ-MOS管的制备方法，具体包括以下步骤：

[0034] 1) 增加栅极控制回路，在原有的SJ-MOSFET管的栅极控制电路中放置具有单向导通性的复合元件或符合单向导通的外部电路；

[0035] 2) 增加源极信号回路，在原有的SJ-MOSFET管上设置一个以上的源极引脚，实现将控制信号地与主回路地进行独立分开，以此降低寄生电感，避免了主回路寄生电感带来的EMI干扰串到控制回路中；

[0036] 3) 将栅极控制回路、源极信号回路和原有的SJ-MOSFET管进行一体封装并引出引脚，由于SJ-MOSFET管Q1在正常工作时，频率越高，产生的EMI干扰越大，损耗也越大，影响其自身的可靠性，本方法从源头上减小EMI的影响，避免了EMI进入到主回路中，极大地增强了SJ-MOSFET的频率提升范围，保证了产品的性能及可靠性。

[0037] 进一步，所述的复合元件是二极管与三极管复合构成的元件或三极管与三极管复合构成的元件。

[0038] 进一步，在步骤2下增加步骤4：增加加速放电管，理由是三极管的深度饱和原理具有存储效应，在SJ-MOSFET管Q1截至过程中SJ-MOSFET管Q1的Ciss电压使三极管深度饱和，即使Ciss放电到0V，三极管在深度饱和下会有1~2us存储时间，使得SJ-MOSFET管Q1在关闭时抵抗漏极的高速dv/dt，SJ-MOSFET管Q1可靠截止，又因三极管集成在封装内部，Ciss放电路径极短，使得MOSFET关闭速度大大提高使SJ-MOSFET管Q1关闭损耗降低。

[0039] 如图1、图2、图3、图4所示，本实施例还公开了一种低功耗的复合SJ-MOS管，包括SJ-MOSFET管Q1，还包括开关二极管D1和PNP型的三极管Q2，将SJ-MOSFET管Q1、开关二极管D1以及PNP型的三极管Q2封装在同一壳体内构成复合SJ-MOS芯片1，在SJ-MOSFET管Q1的自身栅极端G1上连接所述开关二极管D1，且所述开关二极管D1的正极连接SJ-MOSFET管Q1的自身栅极端G1，所述SJ-MOSFET管Q1的自身漏极D11作为复合SJ-MOS芯片1的漏极D，所述SJ-MOSFET管Q1的自身源极引出有三根作为复合SJ-MOS芯片1的源极，分别是第一源极S1、第二源极S2、第三源极S3，且所述第一源极S1作为控制信号接地端，所述第二源极S2、第三源极S3作为大电流通路接线端口，所述第一源极S1与开关二极管D1的正极之间还连接有PNP型的三极管Q2，PNP型的三极管Q2的基极b连接开关二极管D1的负极，并将开关二极管D1的负极通过引出线拉出作为复合SJ-MOS芯片1的栅极G，PNP型的三极管Q2的发射极e连接开关二极管D1的正极，PNP型的三极管Q2的集电极c连接第一源极S1。所述第二源极S2、第三源极S3作为大电流通路接线端口即为多源极功率地。

[0040] 本实施例中如图1所示，复合SJ-MOS芯片1中：G为栅极，D为漏极，第一源极S1、第二源极S2、第三源极S3均为源极，其中第一源极S1为控制信号地，第二源极S2、第三源极S3为

大电流通路,D1为开关二极管,Q1为原有的SJ-MOSFET管,Q2为PNP型的三极管,当G为高电平时,Q2的ce截止,D1导通,Q1栅极充电,Q1导通;当G为低电平时,Q2的ce导通,Q1栅极放电,经Q2回到地,此时控制回路与主回路分开,避免了主回路寄生电感带来的EMI干扰串回到控制回路中,由于Q2集成在封装内部,极短的放电路径使得MOSFET关闭速度大大提高,从而降低了SJ-MOSFET管Q1关闭的损耗。

[0041] 本产品实施例提供的一种动底板复合SJ-MOSFET,与现有产品相比,主要有以下三个方面的提升:

[0042] ①在栅极增加了开关二极管D1和PNP型的三极管Q2组成的复合控制电路,当栅极电平上升时,电流通过开关二极管D1到MOS管栅极充电,使SJ-MOSFET管Q1导通,由于米勒平台(需要说明的是本实施例中的米勒平台是一种本领域技术人员熟知的常规技术,故此不做具体描述)存在如图4所示,常规的封装会产生极大的开通EMI,现在第一源极S1驱动地与第二源极S2,第三源极S3的功率地分离,在第二源极S2,第三源极S3上感抗产生的反电动势不再影响控制回路,大大降低了SJ-MOSFET管Q1的开通EMI。

[0043] ②当栅极电平下降时,SJ-MOSFET管Q1的栅极电压通过PNP型的三极管Q2深度饱和原理加速放电,PNP型的三极管Q2的发射结和集电结都处于正向偏置, I_c-U_{ce} 输出特性曲线斜率趋近于无穷大,导电的状态下相当于短路,使SJ-MOSFET管Q1的栅极快速放电。

[0044] SJ-MOSFET管Q1在栅极快速放电后,漏极会产生极大的 dv/dt ,在常规MOS封装中,栅极阻抗非常大,极大的 dv/dt 会使MOSFET重新导通,导致常规MOS损耗增大甚至出现热点击穿的问题,而本发明的复合MOS的PNP型的三极管Q2在深度饱和的状态下,PNP型的三极管Q2在 I_b 电流下降到0时,ce并不马上退出饱和区,会持续 $1\mu\sim 2\mu s$ 时间,又因栅极放电回路中极小的阻抗,在MOSFET-G电压降低到0时有足够的时间抑制VD的高速 dv/dt 。

[0045] ③实施例中使用了多个源极引脚,如图2所示,提供一个额外的源极连接引脚,S2,S3为多源极功率地,S1为控制信号地,将功率电流与控制电流路径分离,开关过程中源极寄生电感对栅极驱动的影响将被消除。

[0046] 本实施例的信号分析图5、图6所示,本实施例中SJ-MOSFET管Q1的寄生参数电路示意图。从小信号模型分析图看出, L_g, L_{s1} 的大小对MOS开关速度产生影响,在封装工艺中缩短引线电感。 L_{s2}, L_{s3} 的大小对EMI产生影响,多源极引脚正是为减小 L_s 电感。

[0047] ①当G关闭时刻,Q2-ec导通,Q1- U_g 下降到米勒平台时, U_d 电压上升,由于 C_{rss} 存在, $(L_g+R_g+L_{s1})//C_{iss}$ 不等于0, U_g 电压在米勒平台抖动,导致 U_g 下降变缓,Q2集成在MOSFET内部, L_g, L_{s1} 忽略, R_g 起主要作用。

[0048] ②当 U_g 降低到0时,Q1有一个 $t_{off}+t_f$ 时间,在 t_f 时间中 U_d 电压升高到大约550V了,这时 I_d 开始下降。此时 U_g 已经下降到0了,这个电流下降时间越长损耗也越大。

[0049] 通过实验数据证明:这次实验的MOSFET的规格是8A,600V。

[0050] 把PNP型的三极管Q2移到外面和内置这两种方法,效率和EMI并没有很大改变。实测 $t_f=50ns$,与内置相同,EMI也相同。从上面2点分析, R_g 远远大于 L_g, L_{s1} 的阻抗,在关闭损耗中 t_f 占了50%。由于 R_g 太大了, t_f 无法进一步减小,损耗自然变化不大了。

[0051] 图7为本实施例中复合SJ-MOS芯片1的实际波形,下方的线为VD上升波形也就是 t_f 下降时间,上方的线为EMI干扰波形,频率大概在50MHz,根据 C_{rss} 在25V时大概在100p,那么这个阻抗为 $31R, R_g=10R$,在VD波形开始上升时, $U_g=25*R_g/(R_{crss}+R_g)=6.09V$ 刚好是 V_{th}

电压,如果要满足不产生EMI,Ug电压必须要小于 $1/2V_{th}$ 。也就是 $R_g < 5R$ 。

[0052] 当VD波形上升到定点后,EMI又有一个50MHz频率的干扰,根据 $C_{oss} = 20p@400V$ 在50MHz频率下的阻抗 $160R$, L_{s2}/L_{s3} 大概在 $10nH$,在50MHz频率下阻抗为 $3.1R$ 那么在 L_s 上的电压为 $400 * R_{L_s} / (R_{L_s} + R_{C_{oss}}) = 7.6V$ 变压器匝比为 $3:1$,刚好是图上的起始峰值电压。按一般IC触发电压是在 $3V$ 那么 L_s 要小于 $4nH$ 。

[0053] 总结,以上实验中, $R_g < 5R$ (R_g 跟 $C_{r_{ss}}$ 反比), t_f 尽量小, $L_s < 4nH$ (L_s 值跟 C_{oss} 反比) MOSFET R_g 和 $C_{r_{ss}}$ 芯片根据芯片确定的,封装能做的就是 L_g, L_{s1} ,这2个值尽量小, C_{oss} 可以通过封装 L_{s2}, L_{s3} 来弥补。

[0054] 在本实施中所述的MOSFET表示: Metal-Oxide-Semiconductor Field-Effect Transistor,即金属-氧化物半导体场效应晶体管;

[0055] EMI: Electromagnetic Interference,电子产品工作时对周边的其他电子产品造成干扰。

[0056] 本实施例通过将控制信号地和主回路地独立分开,集成加速放电管,实现避免EMI干扰串到控制回路中,降低放电路径,加快mosfet关闭速度,降低关闭损耗。

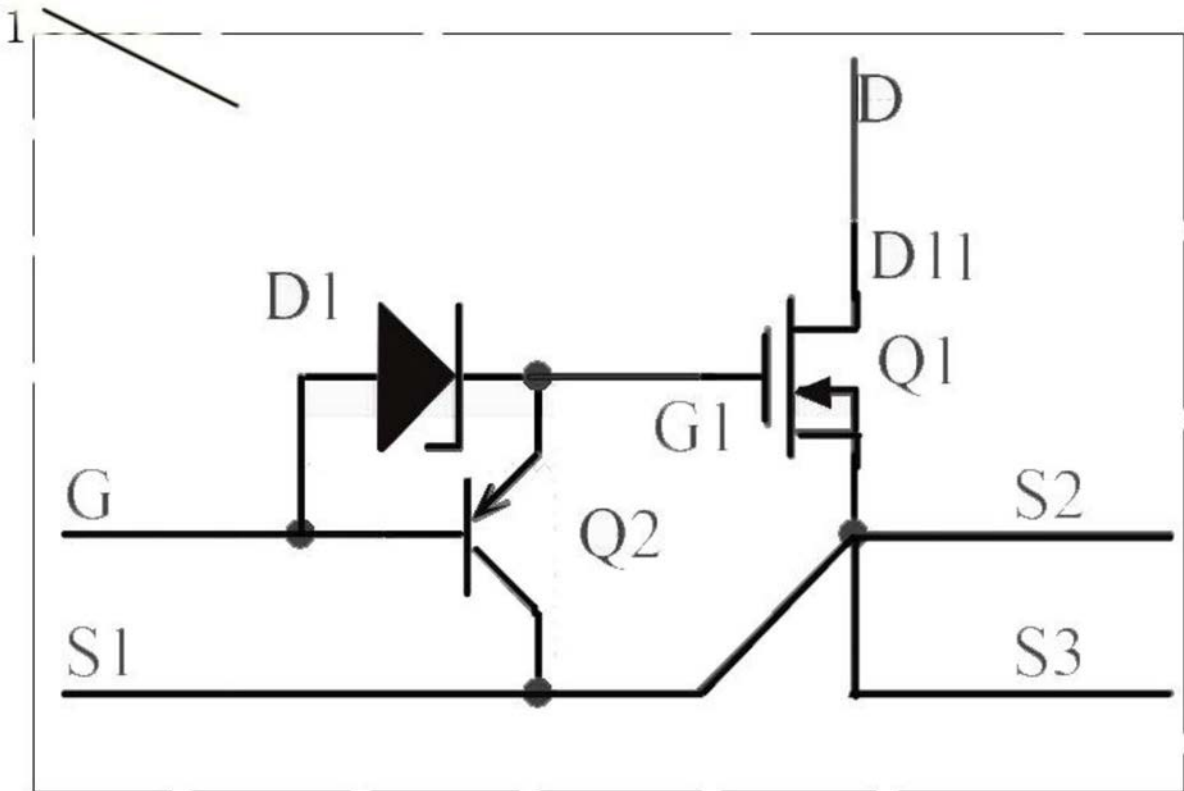


图1

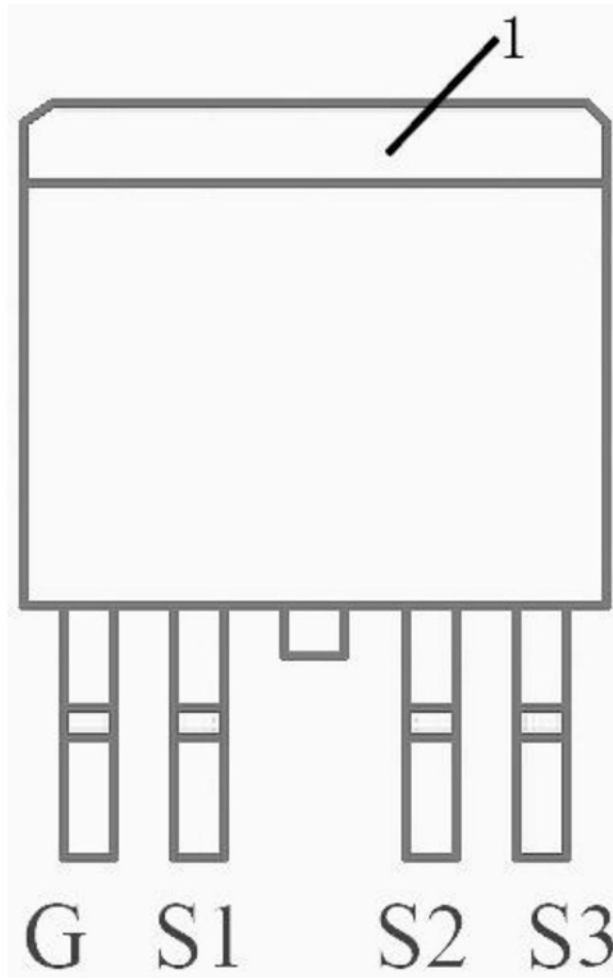


图2

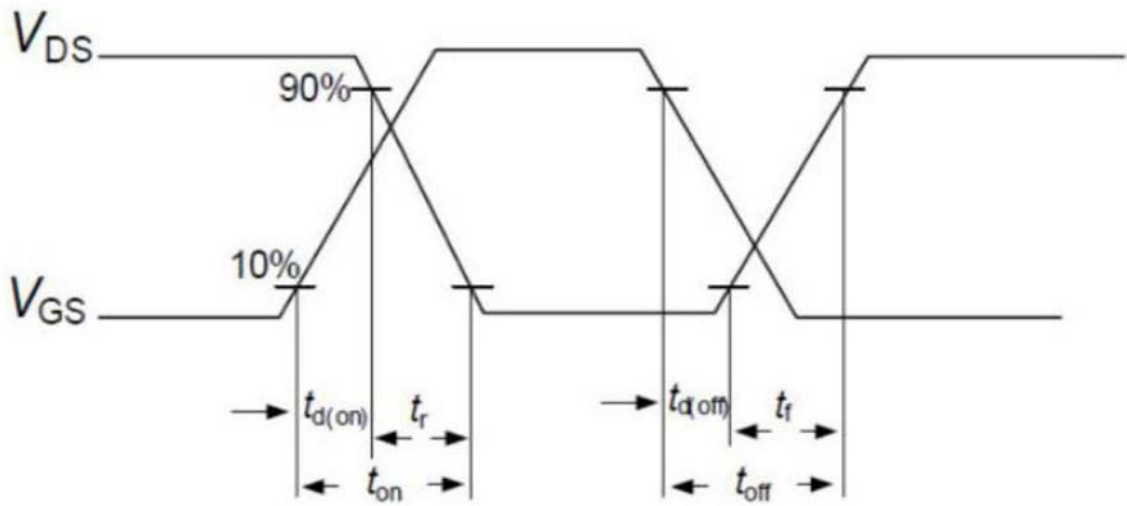
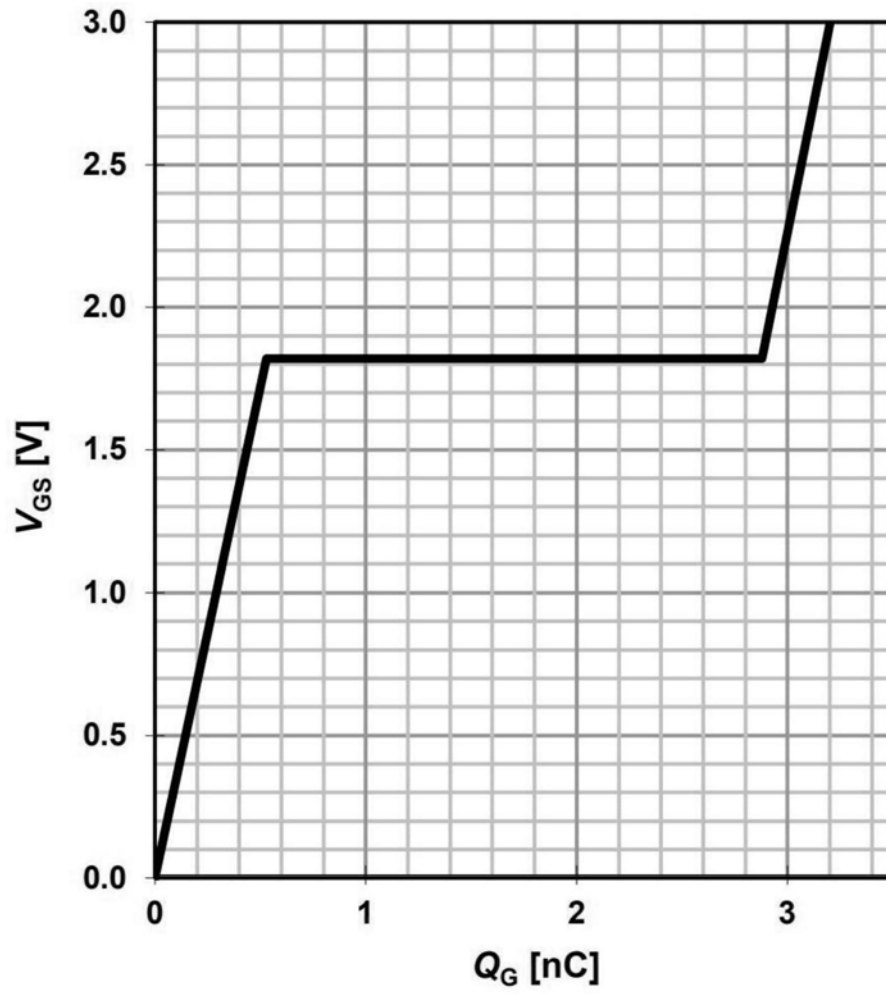


图3



$V_{GS} = f(Q_G); V_{DCLINK} = 400\text{ V}; I_D = 5\text{ A}$

图4

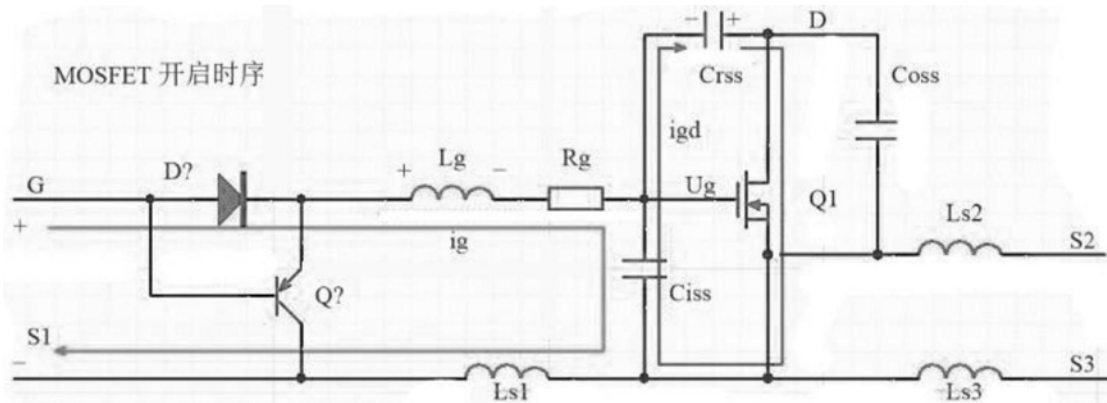


图5

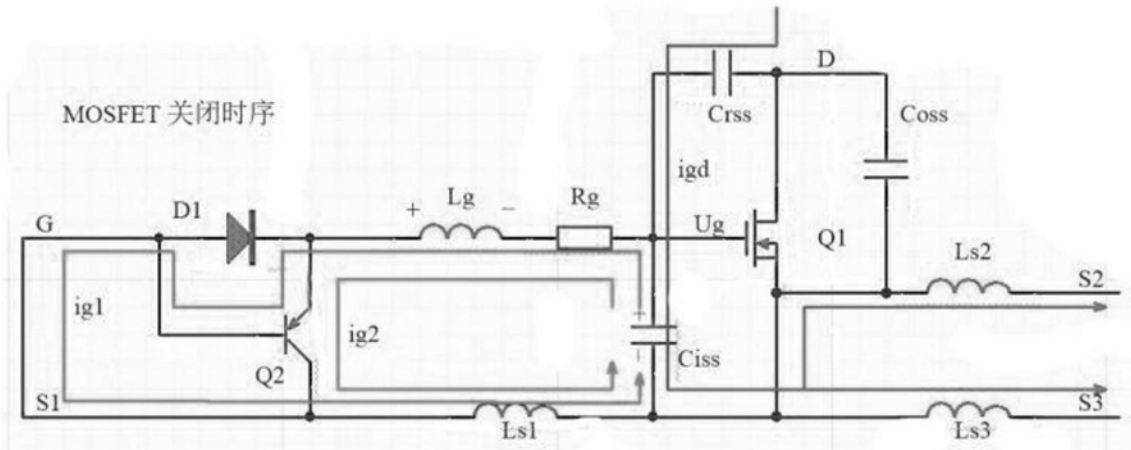


图6

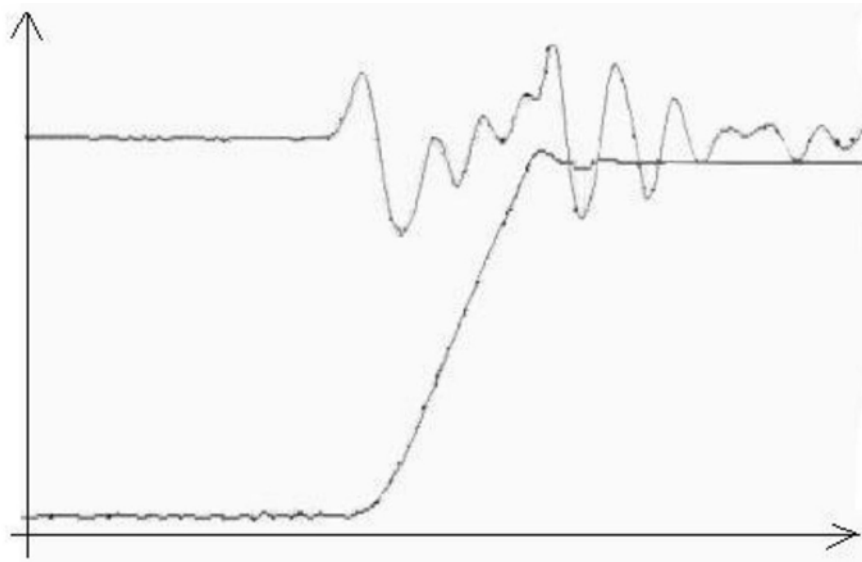


图7